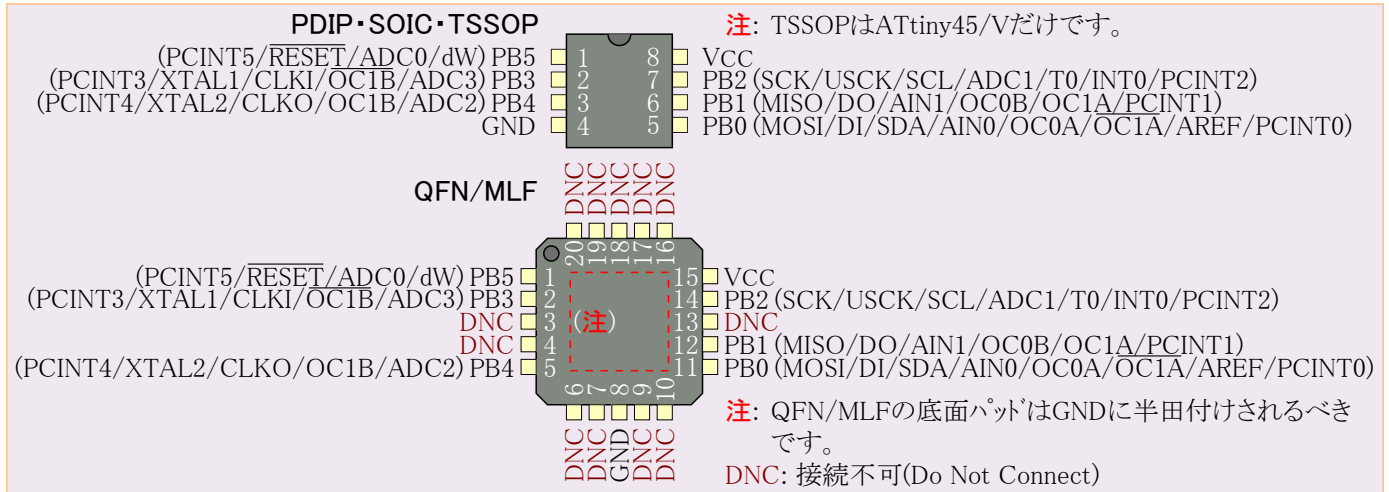


### 特徴

- 高性能、低消費AVR® 8ビット マイクロ コントローラ
- 進化したRISC構造
  - 強力な123命令(多くは1周期実行)
  - 32個の1バイト長汎用レジスタ
  - 完全なスタティック動作
  - 20MHz時、20MIPSに達する高速動作
- 不揮発性プログラム用メモリとデータ用メモリ
  - 実装自己書き換え可能な2/4/8Kバイト(1/2/4K語)フラッシュ メモリ内蔵
    - 10,000回の書き換え耐久性
  - 128/256/512バイトのEEPROM
    - 100,000回の書き換え耐久性
  - 128/256/512バイトの内蔵SRAM
  - ソフトウェア保護用の設定可能な施錠機能
- 内蔵周辺機能
  - 前置分周器と2つのPWM出力付き8ビットタイマ/カウンタ
  - 独立した前置分周器付き高速8ビットタイマ/カウンタ
    - 独立した比較レジスタでの2つの高周波数PWM出力
    - 設定可能な沈黙時間生成器
  - 開始条件検出器付き多用途直列インターフェース(USI)
  - 10ビット A/D変換器
    - 4つのシングル エント' チャンネル
    - 設定可能な利得(×1, ×20)付き2つの差動ADCチャンネル
    - 温度測定
  - 設定可能な専用発振器付きウォッチドッグ タイマ
  - アナログ比較器
- 特殊マイクロ コントローラ機能
  - デバッグWIRE内蔵デバッグ機能
  - SPIポート経由の実装書き込み
  - 外部及び内部の割り込み
  - アイドル、A/D変換雑音低減、パワーダウンの3つの低消費動作
  - 強化した電源ONリセット回路
  - 設定可能な低電圧検出器(BOD)回路
  - 校正付き内蔵RC発振器
- I/Oと外圍器
  - 6ビットの設定変更可能なI/O
  - 8ピンPDIP、8リット' SOIC、20ピンQFN/MLF、8リット' TSSOP (ATtiny45/Vのみ)
- 動作速度
  - ATtiny25/45/85V : 0~4MHz/1.8~5.5V, 0~10MHz/2.7~5.5V
  - ATtiny25/45/85 : 0~10MHz/2.7~5.5V, 0~20MHz/4.5~5.5V
- 工業用温度範囲
- 低消費電力
  - 300μA (1MHz, 1.8V, 活動動作)
  - 0.1μA (1.8V, パワーダウン動作)
- 動作電圧
  - 1.8~5.5V (ATtiny25/45/85V)
  - 2.7~5.5V (ATtiny25/45/85)

## 1. ピン配置



### 1.1. ピン概要

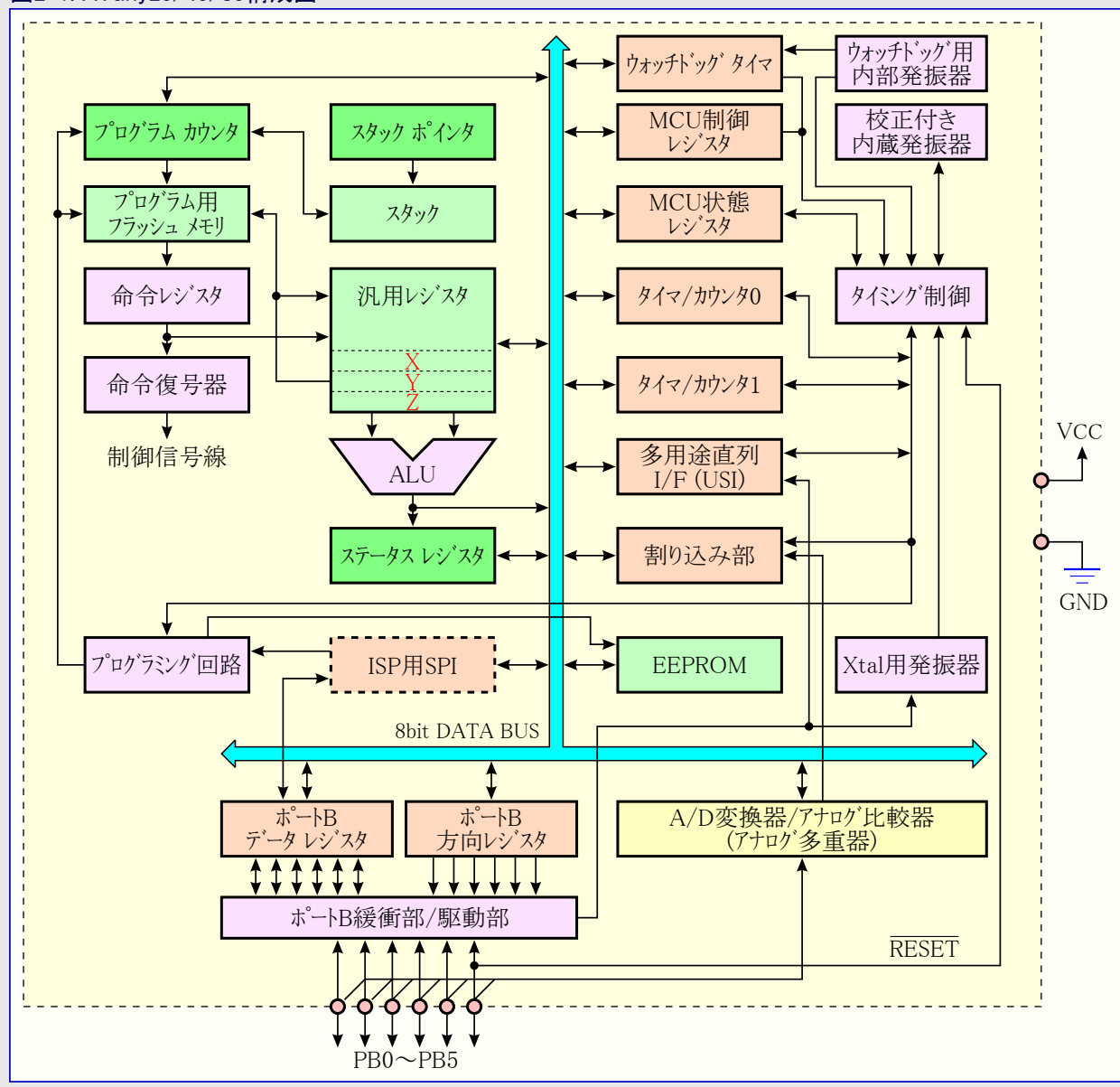
- 1.1.1. VCC** 電源ピン。
- 1.1.2. GND** グラントピン。
- 1.1.3. PB5～PB0 (ポートB)** ポートBは(ビット単位で選択される)内蔵プルアップ抵抗付きの6ビット双方向入出力ポートです。ポートB出力緩衝部は共に高い吐き出し/吸い込み能力の対称駆動特性です。入力するとき、プルアップ抵抗が有効の場合、外部的にLowへ引き込まれたポートBピンにはソース電流が流れます。リセット条件が有効になると、クロックが走行していなくても、ポートBピンはHi-Zにされます。  
ポートBは39頁の「**ポートBの交換機能**」で示されるATtiny25/45/85の様々な特殊機能も扱います。  
ATtiny25デバイスのPB3とPB4入出力ポート(2ピンと3ピン)は、ATtiny15との下位互換性を支援するATtiny15互換動作で交換されます。
- 1.1.4.  $\overline{\text{RESET}}$**  リセット入力。RESETピンが禁止されていなければ、例えクロックが走行していなくても、最小パルス幅より長いこのピンのLowレベルはリセットを生成します。最小パルス幅は110頁の表21-4.で与えられます。より短いパルスはリセットの生成が保証されません。  
RESETピンは((駆動能力の弱い)入出力ピン)としても使用できます。

## 2. 概要

ATtiny25/45/85はAVR強化RISC構造を基にした低消費CMOS 8ビットマイクロコントローラです。1周期での強力な命令の実行によってATtiny25/45/85はMHzあたり1MIPSに達する単位処理量を成し遂げ、処理速度対消費電力の最適化を設計者に許します。

### 2.1. 構成図

図2-1. ATtiny25/45/85構成図



AVRコアは32個の汎用作業レジスタと豊富な命令群の組み合わせです。32個の全レジスタはALU(Arithmetic Logic Unit)に直結され、レジスタ間命令は1クロック周期で実行されます。AVR構造は現状のCISC型マイクロコントローラに対して最大10倍の単位処理量向上効果があります。

ATtiny25/45/85は2/4/8Kバイトの実装書き込み可能なフラッシュメモリ、128/256/512バイトのEEPROM、128/256/512バイトのSRAM、6本の汎用入出力線、32個の汎用作業レジスタ、比較動作付きの1つの8ビットタイマ/カウンタ、1つの8ビット高速タイマ/カウンタ、多用途直列インターフェース(USI)、内部及び外部割り込み、4チャンネルの10ビットA/D変換器、内蔵発振器付きの設定変更可能なウォッチドッグタイマ、ソフトウェアで選択できる3つの低消費動作を提供します。アイドル動作はCPUを停止し、一方SRAM、タイマ/カウンタ、A/D変換器、アナログ比較器、割り込み機構に機能の継続を許します。パワーダウン動作はレジスタの内容を保護し、発振器が停止するため、以降のハードウェアリセットか外部割り込みまで、他の全機能を禁止します。A/D変換雑音低減動作はA/D変換中の切り替え雑音を最小とするためにA/D変換器を除く全I/O部とCPUを停止します。

本デバイスはAtmelの高密度不揮発性メモリ技術を使用して製造されます。チップ上のISPフラッシュメモリは通常の不揮発性メモリ書き込み器によるSPI直列インターフェースを通して、またはAVRコア上で走行するチップ上のブートコードによる実装書き換えをプログラム用メモリに許します。

ATtiny25/45/85 AVRはCコンパイラ、マクロアセンブラ、プログラムデバッガ/シミュレータ、インサーキットエミュレータ、評価キットを含む完全なプログラム及びシステム開発ツールで支援されます。

## 3. 諸注意

### 3.1. 資料

包括的なデータシート、応用記述、ドライバ群と開発ツールの記述は<http://www.atmel.com/avr>でのダウンロードで利用可能です。

### 3.2. コード例

この資料はデバイスの様々な部分の使用法を手短に示す簡単なコード例を含みます。これらのコード例はアセンブルまたはコンパイルに先立ってデバイス定義ヘッダファイルがインクルードされると仮定します。全てのCコンパイラ製造業者がヘッダファイル内にビット定義を含めるとは限らず、またCでの割り込みの扱いがコンパイラに依存することに注意してください。より多くの詳細についてはコンパイラの資料で確認してください。

拡張I/O領域に配置したI/Oレジスタに対し、**IN**, **OUT**, **SBIS**, **SBIC**, **CBI**, **SBI**命令は拡張I/O領域へのアクセスを許す命令に置き換えられなければなりません。これは代表的に**SBRS**, **SBRC**, **SBR**, **CBR**命令と組み合わせた**LDS**, **STS**命令を意味します。全てのAVRデバイスが拡張I/O領域を含むとは限らないことに注意してください。(訳補: 本デバイスに拡張I/O領域はありません。)

### 3.3. 容量性接触感知

AtmelのQTouchライブラリはAtmelのAVRマイクロコントローラ上の接触感知インターフェース用の解決策を使用するための単一物を提供します。QTouchライブラリはQTouch®とQMatrix®採取法用の支援を含みます。

接触感知は接触チャネルと感知器を定義することで応用プログラミングインターフェース(API)を用いてQTouchライブラリをリンクすることによってどの応用にも容易に追加されます。そして応用はチャネル情報を取得して接触感知器の状態を決めるためにAPIを呼び出します。

QTouchライブラリは無料でAtmelのウェブサイトからダウンロードすることができます。より多くの情報と実装の詳細についてはAtmelのウェブサイトからも入手可能なQTouchライブラリ使用者の手引きを参照してください。

### 3.4. データ保持力

信頼性証明結果はデータ保持誤り率の反映を示し、20年以上/85°Cまたは100年以上/25°Cで1PPMよりずっと小さな値です。

#### 追補. ATtiny15互換動作について (訳注:本項は便宜のため追加)

本デバイスはATtiny15互換で動作できます。この動作への設定は次の通りです。

- CKSELヒューズ=0011 : 18頁の「校正付き内蔵RC発振器」参照

この互換動作では基本的に高速周辺クロックを含むタイマ/カウンタ関係がATtiny15互換で動作します。本動作ではATtiny15での比較Bレジスタ(OCR1B)が本デバイスの比較Cレジスタ(OCR1C)に割り当てられていることに注意してください。但し、ATtiny15のOCR1Bと本デバイスのOCR1CのI/Oアドレスは一致しています。関連記述は以下を参照してください。

- ポートピン交換 : 2頁の「ピン概要」の「ポートB」参照
- 高速周辺クロック(PCK) : 16頁の「ATtiny15互換動作での内蔵PLL」参照
- タイマ/カウンタ動作 : 64頁からの「ATtiny15互換動作でのタイマ/カウンタ」参照

## 4. AVR CPU コア

### 4.1. 序説

ここでは一般的なAVRコア構造について説明します。このCPUコアの主な機能は正しいプログラム実行を保証することです。従ってCPUはメモリアクセス、計算実行、周辺制御、割り込み操作ができなければなりません。

### 4.2. 構造概要

最大効率と平行処理のため、AVRはプログラムとデータに対してメモリとバスを分離するハーバード構造を使用します。プログラムメモリ内の命令は単一段のパイプラインで実行されます。1命令の実行中に次の命令がプログラムメモリから事前取得されます。この概念は全部のクロック周期で命令実行を可能にします。プログラムメモリは実装書き換え可能なフラッシュメモリです。

高速レジスタファイルは1クロック周期アクセスの32個の8ビット長汎用レジスタを含みます。これは1クロック周期ALU(Arithmetic Logic Unit)操作を許します。代表的なALU操作では2つのオペランドがレジスタファイルからの出力で、1クロック周期内でその操作が実行され、その結果がレジスタファイルに書き戻されます。

32個中の6つのレジスタは効率的なアドレス計算ができるデータ空間アドレス指定用に3つの16ビット長間接アドレスポインタ用レジスタとして使用されます。これらアドレスポインタの1つはプログラム用フラッシュメモリ内の定数表参照用アドレスポインタとしても使用できます。これら16ビット長付加機能レジスタはX,Y,Zレジスタで、本項内で後述されます。

ALUはレジスタ間またはレジスタと定数間の算術及び論理操作を支援します。単一レジスタ操作もALUで実行できます。算術演算操作後、操作結果についての情報を反映するためにステータスレジスタ(SREG)が更新されます。

プログラムの流れは条件/無条件分岐や呼び出し命令によって提供され、全アドレス空間を直接アドレス指定できます。AVR命令の多くは16ビット語(ワード)形式ですが、32ビット命令もあります。

割り込みやサブルーチン呼び出し中、戻りアドレスを示すプログラムカウンタ(PC)はスタックに保存されます。スタックは一般的なデータ用SRAM上に実際には割り当てられ、従ってスタック容量は全SRAM容量とSRAM使用量でのみ制限されます。全ての使用者プログラムはリセット処理ルーチンで(サブルーチン呼び出しや割り込みが実行される前に)、スタックポインタ(SP)を初期化しなければなりません。SPはI/O空間で読み書きアクセスが可能です。データ用SRAMはAVR構造で支援される5つの異なるアドレス指定種別を通して容易にアクセスできます。

AVR構造に於けるメモリ空間は全て直線的な普通のメモリ配置です。

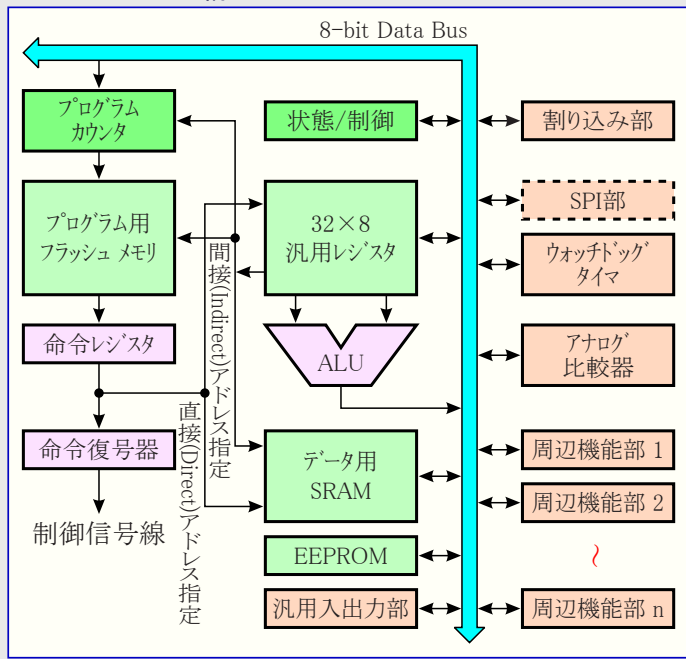
柔軟な割り込み部にはI/O空間の各制御レジスタとステータスレジスタ(SREG)の特別な全割り込み許可(I)ビットがあります。全ての割り込みは割り込みベクタ表に個別の割り込みベクタを持ちます。割り込みには割り込みベクタ表の位置に従う優先順があります。下位側割り込みベクタアドレスが高い優先順位です。

I/Oメモリ空間は制御レジスタや他のI/O機能としてCPU周辺機能用の64アドレスを含みます。I/Oメモリは直接またはレジスタファイルの次のデータ空間位置\$20～\$5Fとしてアクセスできます。

### 4.3. ALU (Arithmetic Logic Unit)

高性能なAVRのALUは32個の全汎用レジスタとの直結で動作します。汎用レジスタ間または汎用レジスタと即値間の演算操作は単一クロック周期内で実行されます。ALU操作は算術演算、論理演算、ビット操作の3つの主要な種類に大別されます。符号付きと符号なし両方の乗算と固定小数点形式を支援する乗算器(乗算命令)も提供する構造の実装(製品)もあります。詳細記述については「命令要約」章をご覧ください。

図4-1. AVR MCU構造



## 4.4. ステータス レジスタ

ステータスレジスタは最も直前に実行した演算命令の結果についての情報を含みます。この情報は条件処理を行うためのプログラムの流れ変更に使用できます。ステータスレジスタは「[命令一式参考書](#)」で詳述したように、全てのALU操作後、更新されることに注目してください。これは多くの場合でそれ用の比較命令使用の必要をなくし、高速でより少ないコードに帰着します。

ステータスレジスタは割り込み処理ルーチン移行時の保存と割り込みからの復帰時の回復(復帰)が自動的に行われません。これはソフトウェアによって扱われなければなりません。

### 4.4.1. SREG – ステータス レジスタ (Status Register)

AVRのステータスレジスタ(SREG)は次のように定義されます。

ビット	7	6	5	4	3	2	1	0	
\$3F (\$5F)	I	T	H	S	V	N	Z	C	SREG
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

#### ● ビット7 – I: 全割り込み許可 (Global Interrupt Enable)

全割り込み許可ビットは割り込みが許可されるために設定(1)されなければなりません。その時の個別割り込み許可制御は独立した制御レジスタで行われます。全割り込み許可ビットが解除(0)されると、個別割り込み許可設定に拘らず、どの割り込みも許可されません。Iビットは割り込みが起こった後にハードウェアによって解除(0)され、後続の割り込みを許可するために、**RETI**命令によって設定(1)されます。Iビットは「[命令一式参考書](#)」で記述されるように**SEI**や**CLI**命令で応用(プログラム)によって設定(1)や解除(0)もできます。

#### ● ビット6 – T: ビット変数 (Bit Copy Storage)

ビット複写命令、**BLD**(Bit Load)と**BST**(Bit Store)は操作したビットの転送元または転送先として、このTビットを使用します。レジスタファイルのレジスタからのビットは**BST**命令によってTに複写でき、Tのビットは**BLD**命令によってレジスタファイルのレジスタ内のビットに複写できます。

#### ● ビット5 – H: ハーフキャリー フラグ (Half Carry Flag)

ハーフキャリー(H)フラグはいくつかの算術操作でのハーフキャリーを示します。ハーフキャリーはBCD演算に有用です。詳細情報については「[命令要約](#)」記述をご覧ください。

#### ● ビット4 – S: 符号 (Sign Bit, S= N Ex-OR V)

Sフラグは常に負(N)フラグと2の補数溢れ(V)フラグの排他的論理和です。詳細情報については「[命令要約](#)」記述をご覧ください。

#### ● ビット3 – V: 2の補数溢れフラグ (2's Complement Overflow Flag)

2の補数溢れ(V)フラグは2の補数算術演算を支援します。詳細情報については「[命令要約](#)」記述をご覧ください。

#### ● ビット2 – N: 負フラグ (Negative Flag)

負(N)フラグは算術及び論理操作での負の結果(MSB=1)を示します。詳細情報については「[命令要約](#)」記述をご覧ください。

#### ● ビット1 – Z: ゼロフラグ (Zero Flag)

ゼロ(Z)フラグは算術及び論理操作でのゼロ(0)の結果を示します。詳細情報については「[命令要約](#)」記述をご覧ください。

#### ● ビット0 – C: キャリー フラグ (Carry Flag)

キャリー(C)フラグは算術及び論理操作でのキャリー(またはボロー)を示します。詳細情報については「[命令要約](#)」記述をご覧ください。



### 4.5. 汎用レジスタ ファイル

このレジスタ ファイルはAVRの増強したRISC命令群用に最適化されています。必要な効率と柔軟性を達成するために、次の入出力機構がレジスタ ファイルによって支援されます。

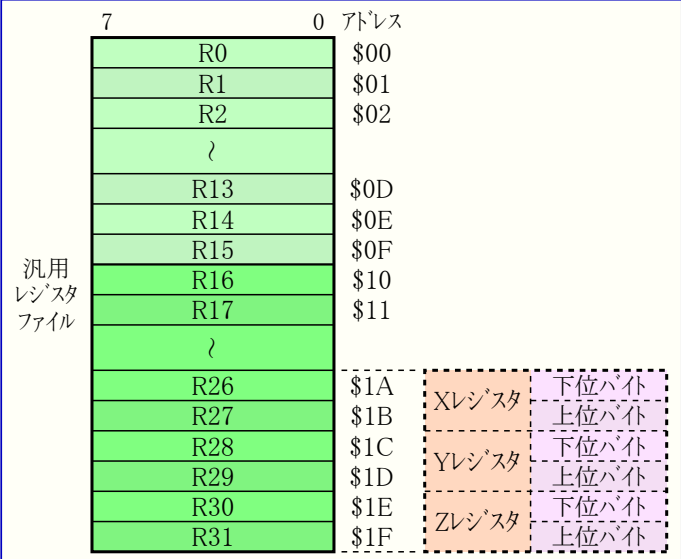
- 1つの8ビット出力オペランドと1つの8ビットの結果入力
- 2つの8ビット出力オペランドと1つの8ビットの結果入力
- 2つの8ビット出力オペランドと1つの16ビットの結果入力
- 1つの16ビット出力オペランドと1つの16ビットの結果入力

図4-2.はCPU内の32個の汎用作業レジスタの構造を示します。

レジスタ ファイルを操作する殆どの命令は全てのレジスタに直接アクセスし、それらの殆どは単一周期命令です。

図4-2.で示されるように各レジスタは使用者データ空間の最初の32位置へ直接的に配置することで、それらはデータ メモリ アドレスも割り当てられます。例えば物理的にSRAM位置として実装されていなくても、X,Y,Zレジスタ(ポインタ)がレジスタ ファイル内のどのレジスタの指示にも設定できるように、このメモリ構成は非常に柔軟なレジスタのアクセスを提供します。

図4-2. AVR CPU 汎用レジスタ構成図



#### 4.5.1. Xレジスタ, Yレジスタ, Zレジスタ

R26～R31レジスタには通常用途の使用にいくつかの追加機能があります。これらのレジスタはデータ空間の間接アドレス指定用の16ビットアドレスポインタです。3つのX,Y,Z間接アドレスレジスタは図4-3.で記載したように定義されます。

種々のアドレス指定種別で、これらのアドレスレジスタは固定変位、自動増加、自動減少としての機能を持ちます(詳細については「命令一式参考書」をご覧ください)。

図4-3. X,Y,Zレジスタ構成図

X レジスタ	15	XH (上位)		XL (下位)	0
	7	R27 (\$1B)	0	R26 (\$1A)	0
Y レジスタ	15	YH (上位)		YL (下位)	0
	7	R29 (\$1D)	0	R28 (\$1C)	0
Z レジスタ	15	ZH (上位)		ZL (下位)	0
	7	R31 (\$1F)	0	R30 (\$1E)	0

### 4.6. スタック ポインタ

スタックは主に一時データの保存、局所変数の保存、割り込みとサブルーチン呼び出し後の戻りアドレスの保存に使用されます。スタック ポインタレジスタは常にこのスタックの先頭(訳注:次に使用されるべき位置)を指し示します。スタックが高位メモリから低位メモリへ伸長するように実行されることに注意してください。これはスタックへのPUSH命令はスタック ポインタを減少するという意味です。

スタック ポインタはサブルーチンや割り込みのスタックが配置されるデータSRAMのスタック領域を指し示します。データSRAM内のスタック空間はサブルーチン呼び出しの実行や割り込みの許可の何れにも先立って、プログラムによって定義されなければなりません。スタック ポインタは\$0060以上を指示するように設定されなければなりません(なるべくなら定義名RAMEND)。スタック ポインタはPUSH命令でデータがスタックに格納されると-1され、サブルーチン呼び出しや割り込みで戻りアドレスがスタックに格納されると-2されます。スタック ポインタはPOP命令でデータがスタックから引き出されると+1され、サブルーチンからの復帰(RET)命令や割り込みからの復帰(RETI)命令でアドレスがスタックから引き出されると+2されます。

AVRのスタック ポインタはI/O空間内の2つの8ビットレジスタとして実装されます。実際に使用されるビット数は(そのデバイス)実装に依存します。SPLだけが必要とされる程に小さいAVR構造の実装(デバイス)のデータ空間もあることに注意してください。その場合、SPHレジスタは存在しません。

#### 4.6.1. SPH,SPL (SP) – スタック ポインタ (Stack Pointer)

ビット	15	14	13	12	11	10	9	8	
\$3E (\$5E)	–	–	–	–	–	–	(SP9)	(SP8)	SPH
Read/Write	R	R	R	R	R	R	R/W	R/W	
初期値	RAMEND	RAMEND	RAMEND	RAMEND	RAMEND	RAMEND	RAMEND	RAMEND	
ビット	7	6	5	4	3	2	1	0	
\$3D (\$5D)	SP7	SP6	SP5	SP4	SP3	SP2	SP1	SP0	SPL
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	RAMEND	RAMEND	RAMEND	RAMEND	RAMEND	RAMEND	RAMEND	RAMEND	

(訳補) 内蔵SRAMはATtiny25が128バイト(\$0060～\$00DF)、ATtiny45が256バイト(\$0060～\$015F)、ATtiny85が512バイト(\$0060～\$025F)です。従って、ATtiny45ではSPHのSP9が、ATtiny25ではSP9,8が利用できません。RAMENDはATtiny25が\$00DF(0000 0000 1101 1111)、ATtiny45が\$015F(0000 0001 0101 1111)、ATtiny85が\$025F(0000 0010 0101 1111)になります。

## 4.7. 命令実行タイミング

本項は命令実行の一般的なアクセス タイミング の概念を記述します。AVR CPUはチップ(デバイス)用に選択したクロック元から直接的に生成したCPUクロック( $clk_{CPU}$ )によって駆動されます。内部クロック分周は使用されません。

図4-4.はハーバード構造と高速アクセスレジスタファイルの概念によって可能とされる並列の命令取得と命令実行を示します。これは機能対費用、機能対クロック、機能対電源部に関する好結果と対応するMHzあたり1MIPSを達成するための基本的なパイプラインの概念です。

図4-5.はレジスタファイルに対する内部タイミングの概念を示します。単一クロック周期で2つのレジスタオペランドを使用するALU操作が実行され、その結果が転送先レジスタへ書き戻されます。

図4-4. 命令の取得と実行の並列動作

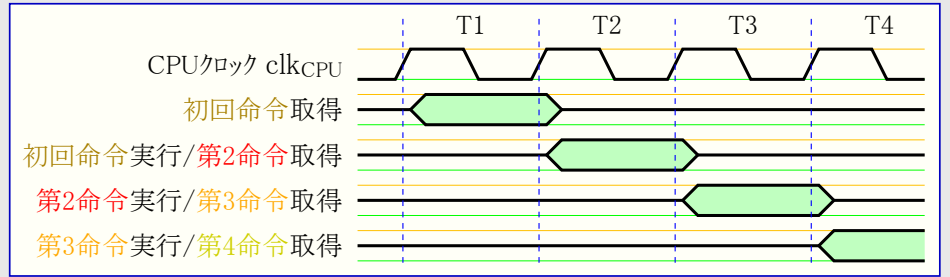
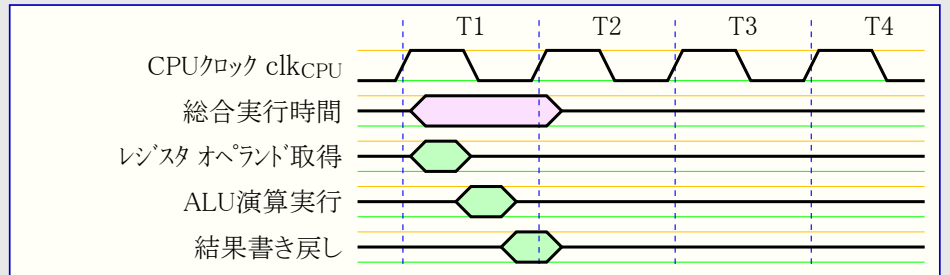


図4-5. 1周期ALU命令



## 4.8. リセットと割り込みの扱い

AVRは多くの異なる割り込み元を提供します。これらの割り込みと独立したリセット ベクタ各々はプログラム メモリ空間内に独立したプログラム ベクタを持ちます。全ての割り込みは割り込みを許可するために、ステータスレジスタ(SREG)の全割り込み許可(I)ビットと共に論理1が書かれなければならない個別の許可ビットを割り当てられます。

プログラム メモリ空間の最下位アドレスは既定によってリセットと割り込みベクタとして定義されます。ベクタの完全な一覧は32頁の「割り込み」で示されます。この一覧は各種割り込みの優先順位も決めます。下位側アドレスがより高い優先順位です。リセットが最高優先順位で、次が外部割り込み要求0(INT0)です。

割り込みが起こると全割り込み許可(I)ビットが解除(0)され、全ての割り込みは禁止されます。使用者ソフトウェアは多重割り込みを許可するため、全割り込み許可(I)ビットへ論理1を書けます。その後全ての許可した割り込みが現在の割り込みルーチンで割り込めます。全割り込み許可(I)ビットは割り込みからの復帰(RETI)命令が実行されると、自動的に設定(1)されます。

根本的に2つの割り込み形式があります。1つ目の形式は割り込み要求フラグを設定(1)する事象によって起動されます。これらの割り込みでは割り込み処理ルーチンを実行するために、プログラム カウンタは対応する現実の割り込みベクタを指示し、ハードウェアが対応する割り込み要求フラグを解除(0)します。割り込み要求フラグは解除(0)されるべきフラグのビット位置へ論理1を書くことによっても解除(0)できます。対応する割り込み許可ビットが解除(0)されている間に割り込み条件が起こると、割り込み要求フラグが設定(1)され、割り込みが許可されるか、またはこのフラグがソフトウェアによって解除(0)されるまで記憶(保持)されます。同様に、全割り込み許可(I)ビットが解除(0)されている間に1つまたはより多くの割り込み条件が起こると、対応する割り込み要求フラグが設定(1)されて全割り込み許可(I)ビットが設定(1)されるまで記憶され、その(I=1)後で優先順に従って実行されます。

2つ目の割り込み形式は割り込み条件が存在する限り起動し(続け)ます。これらの割り込みは必ずしも割り込み要求フラグを持っているとは限りません。割り込みが許可される前に割り込み条件が消滅すると、この割り込みは起動されません。

AVRが割り込みから抜け出すと常に主プログラムへ戻り、何れかの保留割り込みが扱われる前に1つ以上の命令を実行します。

ステータスレジスタ(SREG)は割り込みルーチンへ移行時の保存も、復帰時の再設定も自動的に行われないことに注意してください。これはソフトウェアによって扱われなければなりません。



割り込みを禁止するために**CLI**命令を使用すると、割り込みは直ちに禁止されます。**CLI**命令と同時に割り込みが起こっても、**CLI**命令後に割り込みは実行されません。次例は時間制限EEPROM書き込み手順中に割り込みを無効とするために、これがどう使用できるかを示します。

#### アセンブリ言語プログラム例

```
IN      R16, SREG          ;ステータスレジスタを保存
CLI     ;EEPROM書き込み手順中割り込み禁止
SBI     EECR, EEMPE        ;EEPROM主書き込み許可
SBI     EECR, EEPE         ;EEPROM書き込み開始
OUT     SREG, R16          ;ステータスレジスタを復帰
```

#### C言語プログラム例

```
char cSREG;                /* ステータスレジスタ保存変数定義 */
cSREG = SREG;              /* ステータスレジスタを保存 */
_cli();                    /* EEPROM書き込み手順中割り込み禁止 */
EECR |= (1<<EEMPE);       /* EEPROM主書き込み許可 */
EECR |= (1<<EEPE);        /* EEPROM書き込み開始 */
SREG = cSREG;              /* ステータスレジスタを復帰 */
```

割り込みを許可するために**SEI**命令を使用すると、次例で示されるようにどの保留割り込みにも先立って**SEI**命令の次の命令が実行されます。

#### アセンブリ言語プログラム例

```
SEI     ;全割り込み許可
SLEEP   ;休止形態移行 (割り込み待ち)
```

#### C言語プログラム例

```
_sei();                    /* 全割り込み許可 */
_sleep();                  /* 休止形態移行 (割り込み待ち) */
```

**注:** SLEEP命令までは割り込み禁止、保留割り込み実行前に休止形態へ移行します。

### 4.8.1. 割り込み応答時間

許可した全てのAVR割り込みに対する割り込み実行応答は最小4クロック周期です。4クロック周期後、実際の割り込み処理ルーチンに対する**プログラム ベクタ アドレス**が実行されます。この4クロック周期時間中にプログラム カウンタ(PC)がスタック上に保存(プッシュ)されます。このベクタは標準的に割り込み処理ルーチンへの無条件分岐で、この分岐は2クロック周期(**訳注:**原文は3(**JMP**命令=3を想定、実際は**RJMP**命令=2))要します。複数周期命令実行中に割り込みが起こると、その割り込みが扱われる前に、この命令が完了されます。MCUが休止形態の時に割り込みが起こると、割り込み実行応答時間は4クロック周期増やされます。この増加は選択した休止形態からの起動時間に加えてです。

割り込み処理ルーチンからの復帰は4クロック周期要します。これらの4クロック周期中、プログラム カウンタ(PC:2バイト)がスタックから取り戻され(ポップ)、スタック ポインタは増加され(+2)、**ステータス レジスタ(SREG)の全割り込み許可(I)ビット**が設定(1)されます。

## 5. AVR メモリ

この項はATtiny25/45/85の各種メモリを記述します。AVR構造にはプログラムメモリ空間とデータメモリ空間の2つの主要なメモリ空間があります。加えてATtiny25/45/85はデータ保存用EEPROMメモリが特徴です。3つのメモリ空間全ては一般的な直線的アドレスです。

### 5.1. 実装書き換え可能なプログラム用フラッシュメモリ

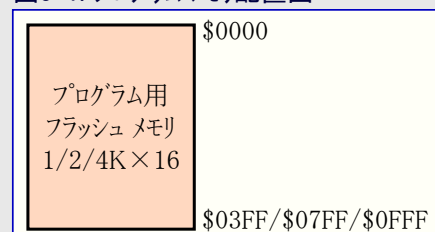
ATtiny25/45/85はプログラム保存用に実装書き換え可能な2/4/8Kバイトのフラッシュメモリをチップ上に含みます。全てのAVR命令が16または32ビット幅のため、このフラッシュメモリは1/2/4K×16ビットとして構成されます。

フラッシュメモリは最低10,000回の消去/書き込み回数の耐久性があります。ATtiny25/45/85のプログラムカウンタ(PC)は10/11/12ビット幅で、従って1/2/4Kプログラムメモリ位置のアドレス指定です。97頁の「[メモリプログラミング](#)」はSPIピンを使用するフラッシュメモリの直列プログラミングの詳細な記述を含みます。

定数表は全てのプログラムメモリアドレス空間に配置できます。(LPM命令記述参照)

命令の取得と実行のタイミング図は8頁の「[命令実行タイミング](#)」で示されます。

図5-1. プログラムメモリ配置図



### 5.2. データ用SRAMメモリ

図5-2はATtiny25/45/85のSRAMメモリ構成方法を示します。

下位224/352/608データメモリ位置はレジスタファイル、I/Oメモリ、データ用内蔵SRAMに充てます。先頭の32位置はレジスタファイル、次の64位置は標準I/Oメモリ、そして最後の128/256/512位置はデータ用内蔵SRAMに充てます。

直接、間接、変位付き間接、事前減少付き間接、事後増加付き間接の5つの異なるアドレス指定種別でデータメモリ(空間)を網羅します。レジスタファイル内のレジスタR26～R31は間接アドレス指定ポインタ用レジスタが特徴です。

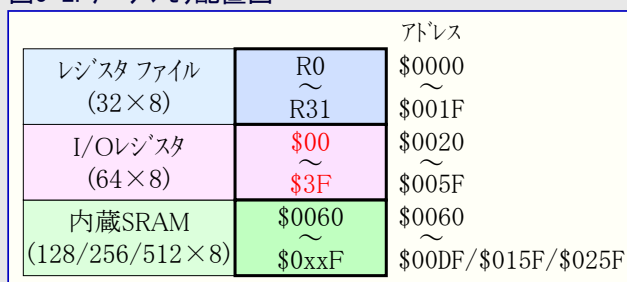
直接アドレス指定はデータ空間全体に届きます。

変位付き間接動作はYまたはZレジスタで与えられる基準アドレスからの63アドレス位置に届きます。

自動の事前減少付きと事後増加付きのレジスタ間接アドレス指定動作を使用するとき、(使用される)X,Y,Zアドレスレジスタは減少(-1)または増加(+1)されます。

ATtiny25/45/85の32個の汎用レジスタ、64個のI/Oレジスタ、128/256/512バイトのデータ用内蔵SRAMは、これら全てのアドレス指定種別を通して全部アクセスできます。レジスタファイルは7頁の「[汎用レジスタファイル](#)」で記述されます。

図5-2. データメモリ配置図



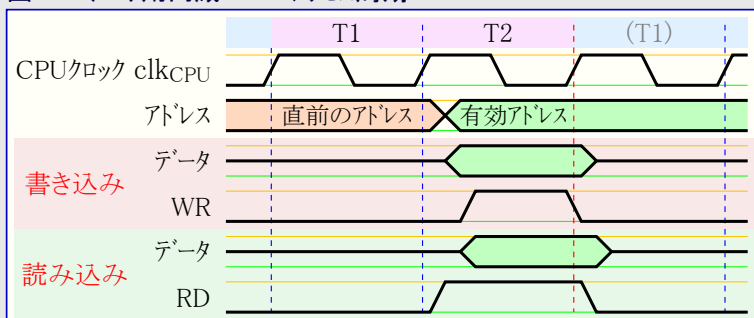
注: 赤字はI/Oアドレス

#### 5.2.1. データメモリアクセスタイミング

本節は内部メモリアクセスに対する一般的なアクセスタイミングの概念を記述します。データ用内蔵SRAMアクセスは図5-3で記載されるように2clk<sub>CPU</sub>周期で実行されます。

(訳注) 内蔵SRAMのアクセスを含む代表的な命令はT1,T2の2周期で実行され、T1で対象アドレスを取得/(算出)/確定し、T2で実際のアクセスが行われます。後続する(T1)は次の命令のT1です。

図5-3. データ用内蔵SRAMアクセス周期



## 5.3. データ用EEPROMメモリ

ATtiny25/45/85は128/256/512バイトのデータ用EEPROMを含みます。それは単一バイトが読み書きできる分離したデータ空間として構成されます。EEPROMは最低100,000回の消去/書き込み回数の耐久性があります。CPUとEEPROM間のアクセスは以降の[EEPROMアドレスレジスタ](#)、[EEPROMデータレジスタ](#)、[EEPROM制御レジスタ](#)で詳細に記述されます。(ISPの)詳細については100頁の「[直列プログラミング](#)」をご覧ください。

### 5.3.1. EEPROMアクセス

EEPROMアクセスレジスタはI/O空間でアクセス可能です。

EEPROMの消去/書き込み(訳注:原文はアクセス)時間は[表5-1](#)で与えられます。(書き込みは)自己タイミング機能ですが、使用者ソフトウェアは**次バイトが書ける時を検知**してください。使用者コードがEEPROMに書く命令を含む場合、いくつかの予防処置が取られなければなりません。嚴重に濾波した電源では電源の投入/切断でVCCが緩やかに上昇または下降しそうです。これはデバイスが何周期かの時間、使用されるクロック周波数に於いて最小として示されるより低い電圧で走行する原因になります。これらの状態で問題を避ける方法の詳細については12頁の「[EEPROMデータ化けの防止](#)」をご覧ください。

予期せぬEEPROM書き込みを防止するため特別な書き込み手順に従わなければなりません。この詳細についてはEEPROM制御レジスタの説明と以下の「[非分離バイト書き込み](#)」と「[分離バイト書き込み](#)」を参照してください。

EEPROMが読まれると、CPUは次の命令が実行される前に4クロック周期停止されます。EEPROMが書かれると、CPUは次の命令が実行される前に2クロック周期停止されます。

### 5.3.2. 非分離バイトプログラミング

非分離バイトプログラミングの使用は最も簡単な動作です。EEPROMにバイトを書くとき、使用者はEEARにアドレス、[EEDR](#)にデータを書かなければなりません。[EEPMMnビット](#)が'00'ならば、(EEMPEが1を書かれる後の4周期内の)EEPEの1書き込みは消去/書き込み動作を起動します。消去と書き込みの両周期は1操作で行われ、総プログラミング時間は[表5-1](#)で与えられます。EEPEビットは消去と書き込み動作が完了されるまで設定(1)に留まります。デバイスがプログラミング動作中、他のどのEEPROM操作の実行も不可能です。

### 5.3.3. 分離バイトプログラミング

2つの異なる操作として消去と書き込み周期を分離することが可能です。これは或る時間制限(代表的には電源電圧不足)に対してシステムが短いアクセス時間を必要とする場合に有用かもしれません。この方法の優位性を得るため、書かれるべき位置が書き込み操作前に消去されてしまっていることが必要とされます。しかし、消去と書き込みが分離されるため、時間が重大な操作の実行をシステムが許す時(代表的には電源投入後)に消去操作を行うことが可能です。

### 5.3.4. 消去

バイトを消去するにはアドレスがEEARに書かれなければなりません。EEPMMnビットが'01'なら、(EEMPEが1を書かれた後の4周期内の)EEPEの1書き込みは消去動作だけを起動します(プログラミング時間は[表5-1](#)で与えられます)。EEPEビットは消去動作が完了されるまで設定(1)に留まります。デバイスがプログラミング動作中、他のどのEEPROM操作の実行も不可能です。

### 5.3.5. 書き込み

(特定)位置を書くため、使用者はEEARにアドレス、EEDRにデータを書かなければなりません。EEPMMnビットが'10'なら、(EEMPEが1を書かれる後の4周期内の)EEPEの1書き込みは書き込み動作だけを起動します(プログラミング時間は[表5-1](#)で与えられます)。EEPEビットは書き込み動作が完了されるまで設定(1)に留まります。書かれるべき位置が書き込み前に消去されていなければ、元の格納データは失ったとみなされなければなりません。デバイスがプログラミング動作中、他のどのEEPROM操作の実行も不可能です。

EEPROMアクセスの時間に校正済み内蔵RC発振器が使用されます。発振器周波数が21頁の「[OSCCAL - 発振校正レジスタ](#)」で記述した必要条件内であることを確かめてください。

次のコード例はアセンブリ言語とC言語でのEEPROM消去、書き込み、または非分離書き込み関数を示します。本例は(例えば全割り込み禁止によって)割り込みが制御され、これらの関数実行中に割り込みが起きない前提です。

#### アセンブリ言語プログラム例

```
EEPROM_WR:  SBIC    EECR, EEPE                ;EEPROMプログラミング完了ならばスキップ
            RJMP    EEPROM_WR                ;以前のEEPROMプログラミング完了まで待機
;
            LDI     R19, (0<<EPM1) | (0<<EPM0) ;プログラミング種別値取得(本例は非分離)
            OUT     EECR, R19                ;対応プログラミング種別設定
            OUT     EEARH, R18               ;EEPROMアドレス上位バイト設定
            OUT     EEARL, R17               ;EEPROMアドレス下位バイト設定
            OUT     EEDR, R16               ;EEPROM書き込み値を設定
            SBI     EECR, EEMPE             ;EEPROM主プログラム許可ビット設定
            SBI     EECR, EEPE             ;EEPROMプログラミング開始(プログラム許可ビット設定)
            RET                               ;呼び出し元へ復帰
```

#### C言語プログラム例

```
void EEPROM_write(unsigned int uiAddress, unsigned char ucData)
{
    while(EECR & (1<<EEPE));                /* 以前のEEPROMプログラミング完了まで待機 */
    EECR = (0<<EPM1) | (0<<EPM0);           /* 対応プログラミング種別設定 */
    EEAR = uiAddress;                        /* EEPROMアドレス設定 */
    EEDR = ucData;                          /* EEPROM書き込み値を設定 */
    EECR |= (1<<EEMPE);                     /* EEPROM主プログラム許可 */
    EECR |= (1<<EEPE);                     /* EEPROMプログラミング開始 */
}
```

次のコード例はアセンブリ言語とC言語でのEEPROM読み込み関数を示します。本例は割り込みが制御され、これらの関数実行中に割り込みが起きない前提です。

#### アセンブリ言語プログラム例

```
EEPROM_RD:  SBIC    EECR, EEPE                ;EEPROMプログラミング完了ならばスキップ
            RJMP    EEPROM_RD                ;以前のEEPROMプログラミング完了まで待機
;
            OUT     EEARH, R18               ;EEPROMアドレス上位バイト設定
            OUT     EEARL, R17               ;EEPROMアドレス下位バイト設定
            SBI     EECR, EERE             ;EEPROM読み出し開始(読み込み許可ビット設定)
            IN      R16, EEDR               ;EEPROM読み出し値を取得
            RET                               ;呼び出し元へ復帰
```

#### C言語プログラム例

```
unsigned char EEPROM_read(unsigned int uiAddress)
{
    while(EECR & (1<<EEPE));                /* 以前のEEPROMプログラミング完了まで待機 */
    EEAR = uiAddress;                        /* EEPROMアドレス設定 */
    EECR |= (1<<EERE);                     /* EEPROM読み出し開始 */
    return EEDR;                           /* EEPROM読み出し値を取得, 復帰 */
}
```

### 5.3.6. EEPROMデータ化けの防止

低VCCの期間中、正しく動作するための供給電圧がCPUとEEPROMに対して低すぎるためにEEPROMデータが化け得ます。これらの問題はEEPROMを使用する基板段階の装置と同じで、同じ設計上の解決策が適用されるべきです。

EEPROMデータ化けは電圧が低すぎる時の2つの状態によって起こされ得ます。1つ目として、EEPROMへの通常の手続きは正しく動作するための最低電圧が必要です。2つ目として、供給電圧が低すぎると、CPU自身が命令を間違えて実行し得ます。

EEPROMデータ化けは次の推奨設計によって容易に避けられます。

不十分な供給電源電圧の期間中、AVRのRESETを活性(Low)に保ってください。これは内蔵低電圧検出器(BOD)を許可することによって行えます。内蔵BODの検出電圧が必要とした検出電圧と一致しない場合、外部低VCCリセット保護回路が使用できます。書き込み動作実行中にリセットが起こると、この書き込み操作は供給電源電圧が充分ならば(継続)完了されます。

## 5.4. I/O メモリ (レジスタ)

ATtiny25/45/85のI/O空間定義は132頁の「レジスタ要約」で示されます。

ATtiny25/45/85の全てのI/Oと周辺機能はI/O空間に配置されます。全てのI/O位置はI/O空間と32個の汎用作業レジスタ間のデータ転送を行うLD/LDS/LDD命令とST/STS/STD命令によってアクセスされます。アドレス範囲\$00～\$1F内のI/OレジスタはSBI命令とCBI命令の使用で直接的にビットアクセス可能です。これらのレジスタではSBISとSBIC命令の使用によって単一ビット値が検査できます。より多くの詳細については「命令要約」章を参照してください。I/O指定命令INとOUTを使用するとき、I/Oアドレス\$00～\$3Fが使用されなければなりません。LD命令とST命令を使用し、データ空間としてI/Oレジスタをアクセスするとき、これらのアドレスに\$20が加算されなければなりません。

将来のデバイスとの共通性を保つため、アクセスされる場合、予約ビットは0が書かれるべきです。予約済みI/Oメモリ アドレスは決して書かれるべきではありません。

状態フラグのいくつかはそれらへ論理1を書くことによって解除(0)されます。CBIとSBI命令は指定ビットだけを操作し、従って状態フラグのようなものを含むレジスタに使用できることに注意してください。CBIとSBI命令は(I/Oアドレス)\$00～\$1Fのレジスタでのみ動作します。

I/Oと周辺制御レジスタは以降の項で説明されます。

### 5.4.1. 汎用I/Oレジスタ (訳注:共通性から本項追加)

ATtiny25/45/85は3つの汎用I/Oレジスタを含みます。これらのレジスタはどの情報の格納にも使用でき、特に全体変数や状態フラグの格納に有用です。(I/O)アドレス範囲\$00～\$1Fの汎用I/OレジスタはSBI,CBI,SBIS,SBIC命令の使用で直接ビットアクセスが可能です。

## 5.5. メモリ関係レジスタ

### 5.5.1. EEARH,EEARL (EEAR) – EEPROMアドレス レジスタ (EEPROM Address Register)

ビット	15	14	13	12	11	10	9	8	
\$1F (\$3F)	–	–	–	–	–	–	–	(EEAR8)	EEARH
Read/Write	R	R	R	R	R	R	R	R/W	
初期値	0	0	0	0	0	0	0	不定	
ビット	7	6	5	4	3	2	1	0	
\$1E (\$3E)	(EEAR7)	EEAR6	EEAR5	EEAR4	EEAR3	EEAR2	EEAR1	EEAR0	EEARL
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	不定	不定	不定	不定	不定	不定	不定	不定	

#### ● ビット15～9 – Res : 予約 (Reserved)

これらのビットは予約されており、常に0として読まれます。

#### ● ビット8～0 – EEAR8～0 : EEPROMアドレス (EEPROM Address)

EEAR8はATtiny85、EEAR7はATtiny45、EEAR6はATtiny25でのEEPROMの各々最上位アドレスビットです。より小さなEEPROMを持つデバイスでのこれらのビットは予約され、常に0を読みます。

EEAR5～0はEEPROMアドレスレジスタの下位側ビットです。EEPROMデータ バイトは0～127/255/511の範囲に直線的に配置されます。EEARの初期値は不定で、従ってEEPROMが入出力される前に正しい値が書かれなければなりません。

### 5.5.2. EEDR – EEPROMデータ レジスタ (EEPROM Data Register)

ビット	7	6	5	4	3	2	1	0	
\$1D (\$3D)	(MSB)							(LSB)	EEDR
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

#### ● ビット7～0 – EEDR7～0 : EEPROMデータ (EEPROM Data)

EEPROM書き込み操作に対してEEDRはEEPROMアドレスレジスタ(EEAR)で与えたアドレスのEEPROMへ書かれるべきデータを含みます。EEPROM読み込み操作に対してEEDRはEEARで与えたアドレスのEEPROMから読み出したデータを含みます。

### 5.5.3. EECR – EEPROM制御レジスタ (EEPROM Control Register)

ビット	7	6	5	4	3	2	1	0	
\$1C (\$3C)	–	–	EEPM1	EEPM0	EERIE	EEMPE	EEPE	EERE	EECR
Read/Write	R	R	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	不定	不定	0	0	不定	0	

#### ● ビット7 – Res : 予約 (Reserved)

このビットは将来の使用に予約されており、常に0として読まれます。将来のAVRデバイスとの共通性のため、常に本ビットへ0を書いてください。読み込み後、本ビットを遮蔽排除してください。



#### ●ビット6 – Res : 予約 (Reserved)

このビットは予約されており、常に0として読まれます。

#### ●ビット5,4 – EEPM1,0 : EEPROMプログラミング種別 (EEPROM Programming Mode Bits)

EEPROMプログラミング種別ビット設定はEEPROMプログラミング許可(EEPE)書き込み時にどのプログラミング動作が起動されるかを定義します。1つの非分離操作(旧値消去と新値書き込み)、または2つの異なる操作として消去と書き込み操作を分離してデータをプログラムする(書く)ことが可能です。各動作に対するプログラミング時間は表5-1.で示されます。EEPEが設定(1)されている間はEEPMMnへのどの書き込みも無視されます。リセット中、EEPMMnビットはEEPROMがプログラミング作業中を除いて'00'にリセットされます。

表5-1. EEPROMプログラミング種別

EEPMM1	EEPMM0	プログラミング時間	動作
0	0	3.4ms	1操作での消去と書き込み(非分離操作)
0	1	1.8ms	消去のみ
1	0	1.8ms	書き込みのみ
1	1	–	将来使用に予約

#### ●ビット3 – EERIE : EEPROM操作可割り込み許可 (EEPROM Ready Interrupt Enable)

EERIEの1書き込みはステータスレジスタ(SREG)の全割り込み許可(I)ビットが設定(1)されているなら、EEPROM操作可割り込みを許可します。EERIEの0書き込みは、この割り込みを禁止します。EEPROM操作可割り込みは不揮発性メモリ(フラッシュメモリとEEPROM)がプログラミングの準備可ならば継続する割り込みを発生します。

#### ●ビット2 – EEMPE : EEPROM主プログラム許可 (EEPROM Master Program Enable)

EEMPEビットはEEPROMプログラム許可(EEPE)ビットの1書き込みが有効か無効かどうかを決めます。

EEMPEが設定(1)されると、4クロック周期内のEEPE設定(1)は選択したアドレスのEEPROMをプログラムします。EEMPEが0なら、EEPE設定(1)は無効です。EEMPEがソフトウェアによって設定(1)されてしまうと、4クロック周期後にハードウェアがこのビットを0に解除します。

#### ●ビット1 – EEPE : EEPROMプログラム許可 (EEPROM Program Enable)

EEPROMプログラム許可信号(EEPE)はEEPROMへのプログラミング許可信号です。EEPEが(1)を書かれると、EEPROMはEEPMMnビット設定に従ってプログラムされます。論理1がEEPEへ書かれる前にEEPROM主プログラム許可(EEMPE)ビットは1を書かれねばならず、さもなければEEPROM書き込み(消去)は行われません。書き込み(プログラミング)アクセス時間が経過されると、EEPROMプログラム許可(EEPE)ビットはハードウェアによって解除(0)されます。EEPEが設定(1)されてしまうと、次の命令が実行される前にCPUは2周期停止されます。

#### ●ビット0 – EERE : EEPROM読み込み許可 (EEPROM Read Enable)

EEPROM読み込み許可信号(EERE)はEEPROMへの読み込みストローブです。EEREに正しいアドレスが設定されると、EEPROM読み出しを起動するためにEEREビットは1を書かれなければなりません。EEPROM読み出しアクセスは(その)1命令で行われ、要求したデータは直ちに利用できます。EEPROMが読まれるとき、次の命令が実行される前にCPUは4周期停止されます。使用者は読み込み操作を始める前にEEPEビットをポーリングすべきです。書き込み(プログラム)操作実行中の場合、EEPROMアドレスレジスタ(EEAR)の変更もEEPROM読み込みもできません。

### 5.5.4. GPIOR2 – 汎用I/Oレジスタ2 (General Purpose I/O Register 2)

ビット	7	6	5	4	3	2	1	0	
\$13 (\$33)	(MSB)							(LSB)	GPIOR2
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

### 5.5.5. GPIOR1 – 汎用I/Oレジスタ1 (General Purpose I/O Register 1)

ビット	7	6	5	4	3	2	1	0	
\$12 (\$32)	(MSB)							(LSB)	GPIOR1
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

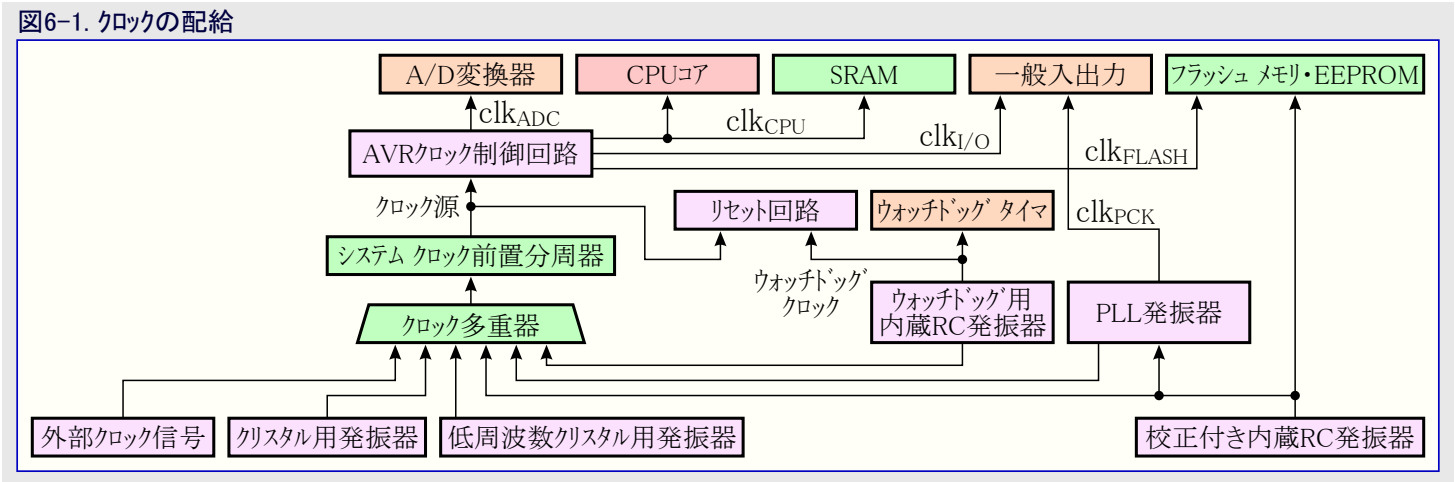
### 5.5.6. GPIOR0 – 汎用I/Oレジスタ0 (General Purpose I/O Register 0)

ビット	7	6	5	4	3	2	1	0	
\$11 (\$31)	(MSB)							(LSB)	GPIOR0
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

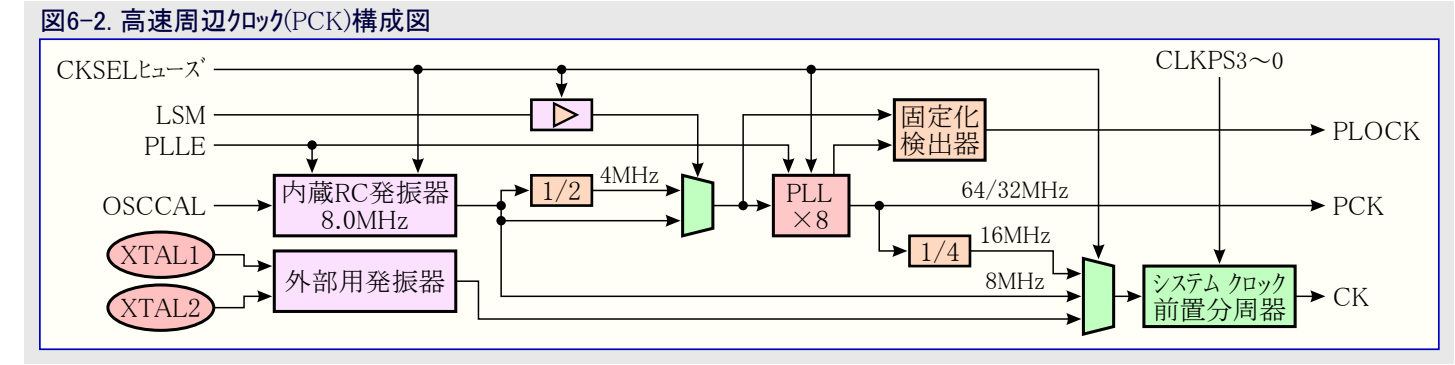
# 6. システム クロックとクロック選択

## 6.1. クロックシステムとその配給

図6-1はAVR内の主要なクロックシステムとその配給を示します。全てのクロックが与えられた時間有効である必要はありません。消費電力低減のため、23頁の「電力管理と休止形態」で記述される各種休止形態の使用によって、使用されていない部分のクロックが停止できます。クロックシステムは以下で詳述されます。



- 6.1.1. CPU クロック**  
clkCPU  
CPUクロックはAVRコアの動作と関係する系統部分に配給されます。このような部分の例は汎用レジスタファイル、ステータスレジスタ、スタックポインタを保持するデータメモリです。CPUクロックの停止はコアが一般的な操作や計算を実行することを禁止します。
- 6.1.2. I/O クロック**  
clkI/O  
I/Oクロックはタイマ/カウンタのようなI/O部の大部分で使用されます。I/Oクロックは外部割り込み部でも使用されますが、いくつかの外部割り込みは例えI/Oクロックが停止されても検出されることをこのような割り込みに許す非同期論理回路によって検出されることに注意してください。
- 6.1.3. フラッシュ クロック**  
clkFLASH  
フラッシュクロックはフラッシュメモリインターフェースの動作を制御します。このフラッシュクロックは常にCPUクロックと同時に活動します。
- 6.1.4. A/D変換クロック**  
clkADC  
A/D変換器には専用のクロック範囲が提供されます。これはデジタル回路によって生成される雑音を低減するためにCPUとI/Oクロックの停止を許します。これはより正確なA/D変換結果を与えます。
- 6.1.5. 高速周辺クロック**  
clkPCK  
ATtiny25/45/85の内部PLLは供給元入力から8倍したクロック周波数を発生します。既定でのPLLは供給元として8.0MHz内蔵RC発振器の出力を使用します。PLL制御/状態レジスタ(PLLCSR)の低速動作(LSM)ビットが設定(1)される場合、PLLは代わりにこのRC発振器の2分周出力を使用します。故に(基本の)PLL出力、高速周辺クロックは64MHzです。高速周辺クロックまたはそれから分周したクロックは、タイマ/カウンタ1に対するクロック元またはシステムクロックとして選択できます。図6-2をご覧ください。高速周辺クロックの周波数はPLLCSRのLSM設定(1)時に2分周され、32MHzのクロック周波数になります。PLLclkがシステムクロックとして使用される場合、LSMが設定(1)できないことに注意してください。



PLLはRC発振器に固定化し、発振校正レジスタ(OSCCAL)経由のRC発振器調整は同時に高速周辺クロックも調整します。けれどもRC発振器が8MHzより高い周波数にされるのが可能でも、高速周辺クロックは(最悪の場合)85MHzで飽和し、最高周波数での発振に留まります。この場合のPLLがRC発振器クロックのどれにも固定化されないことに注意されるべきです。従ってPLLを正しい動作範囲に保持するため、8MHzより高い周波数にOSCCAL補正を行うことは推奨されません。

内部PLLは以下の時に許可されます。

- PLL制御/状態レジスタ(PLLCSR)のPLL許可(PLLE)ビットが設定(1)される。
- CKSELヒューズが'0001'に設定される。
- CKSELヒューズが'0011'に設定される。

PLLCSRのPLL固定化検出(PLOCK)ビットはPLLが固定化されている時に設定(1)されます。

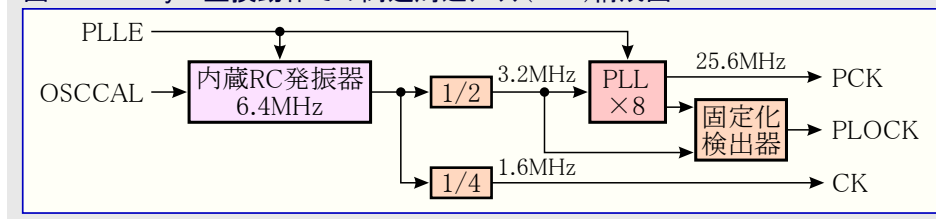
内蔵RC発振器とPLLはパワーダウンの休止形態でOFFへ切り替えられます。

### 6.1.6. ATtiny15互換動作での内蔵PLL

ATtiny25/45/85デバイスはATtiny15使用者用の移植のために、ATtiny15との下位互換用のATtiny15互換動作があります。ATtiny15互換動作はCKSELヒューズを'0011'に設定することによって選択されます。

ATtiny15互換動作での内蔵RC発振器周波数は6.4MHzに低下校正され、PLLの倍率は4倍に設定されます。図6-3をご覧ください。これらの補正でクロック系はATtiny15互換になり、高速周辺クロックの結果は(ATtiny15と同じ)25.6MHzの周波数になります。

図6-3. ATtiny15互換動作での高速周辺クロック(PCK)構成図



ATtiny15互換動作で低速動作が実装されないことに注意してください。

## 6.2. クロック元

このデバイスには右で示されるようにフラッシュヒューズビットによって選択可能な後続のクロック元選択があります。選択したクロック元からのクロックはAVRクロック発生器への入力で、適切な部署へ配給されます。

各クロック選択に対する様々な選択は次項で得られます。CPUがパワーダウンから起動するとき、選択したクロック元は命令実行開始前に安定な発振器動作を保証する起動時間に使用されます。CPUがリセットから始まる時、これらは通常動作開始前に安定電圧へ達するのを電源に許す付加遅延です。ウォッチドッグ発振器はこの起動時間の実時間部のタイミングに使用されます。各計時終了に使用されるウォッチドッグ(WDT)発振器の各周期数は表6-2で示されます。

表6-2. WDT発振器の代表計時終了値、周期数

代表的計時終了値	周期数
4.0ms	512
64ms	8K (8192)

表6-1. クロック種別選択

クロック種別	CKSEL3~0
外部水晶/セラミック発振子	1111~1000
外部低周波数水晶発振子	0110
128kHz内部(WDT)発振器	0100
6.4MHz校正付き内蔵RC発振器	0011 (注2)
8.0MHz校正付き内蔵RC発振器	0010 (注3)
PLLクロック	0001
外部クロック信号	0000
(予約)	01x1

注1: 1=非プログラム、0=プログラム、x=0または1。

注2: 本設定はATtiny15互換動作を選択し、システムクロックは4分周され1.6MHzクロック周波数になります。

注3: 本デバイスはこの選択で出荷されます。

6.2.1. 外部クロック信号

外部クロック元からデバイスを駆動するには、CLKIが図6-4.で示されるように駆動されるべきです。外部クロックでデバイスを走行するためには、CKSELヒューズが'0000'にプログラム(設定)されなければなりません。

このクロック元が選択されると、起動時間は表6-3.で示されるようにSUTヒューズによって決定されます。

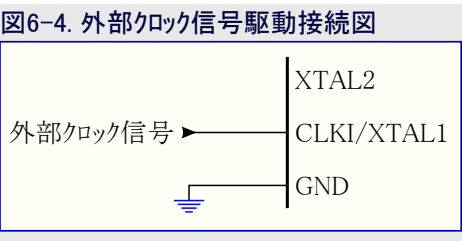


表6-3. 外部クロック信号駆動用起動遅延時間選択表

SUT1,0	パワーダウンからの 起動遅延時間	リセットからの付加遅延 時間 (VCC=5.0V)	推奨使用法
0 0	6 × CK	14 × CK	低電圧検出(BOD)リセット許可
0 1	6 × CK	14 × CK+4ms	高速上昇電源
1 0	6 × CK	14 × CK+64ms	低速上昇電源
1 1	(予約)		

外部クロックを供給するとき、MCUの安定な動作を保証するために供給したクロック周波数の急な変化を避けることが必要とされます。或るクロック周期から次への2%より大きな周波数変化は予測されない事態を引き起こします。このようなクロック周波数での変化中、MCUはリセットに保たれるのを保証することが必要とされます。

システム クロック前置分周器が安定な動作を保証しながら、内部クロック周波数の実行時変更の実現に使用できることに注意してください。詳細については20頁の「システム クロック前置分周器」を参照してください。

6.2.2. 高周波数PLLクロック – PLLCLK

これはタイマ/カウンタ1周辺機能の使用とシステム クロック元用の、RC発振器に固定化した公称64 MHzクロック速度を供給する内部PLLです。CKSELヒューズの'0001'プログラム(設定)によってシステム クロック元として選択されると、これは表6-4.で示されるように4分周されます。

このクロック元が選択されると、起動時間は表6-5.で示されるようにSUTヒューズによって決定されます。

表6-4. 高周波数PLLクロック動作種別

CKSEL3~0	公称周波数
0 0 0 1	16MHz

表6-5. 高周波数PLLクロック用起動遅延時間選択表

SUT1,0	パワーダウンからの 起動遅延時間	電源ONリセットからの付加 遅延時間 (VCC=5.0V)	推奨使用法
0 0	(1K+14) × CK+4ms	4ms	低電圧検出(BOD)リセット許可
0 1	(16K+14) × CK+4ms	4ms	高速上昇電源
1 0	(1K+14) × CK+64ms	4ms	低速上昇電源
1 1	(16K+14) × CK+64ms	4ms	低速上昇電源

### 6.2.3. 校正付き内蔵RC発振器

既定で校正された内蔵RC発振器は概ね8MHzクロックを供給します。電圧と温度に依存しますが、このクロックは使用者によって高精度な校正ができます。より多くの詳細については109頁の表21-2と127頁の「内部発振器周波数」をご覧ください。本デバイスはCKDIV8ヒューズがプログラム(0)で出荷されます。より多くの詳細については20頁の「システムクロック前置分周器」をご覧ください。

このクロックは表6-6.で示されるようにCKSELヒューズのプログラミングによってシステムクロックとして選択できます。選択したなら、外部部品なしで動作します。リセット中、ハードウェアが発振校正(OSCCAL)レジスタに予めプログラムされた校正值バイトを設定し、これによってRC発振器を自動的に校正します。この校正の精度は表21-2.で工場校正として示されます。

ソフトウェアからOSCCALレジスタを変更することによって(発振校正レジスタ(OSCCAL)参照)、工場校正を使用するよりも高い精度を得ることができます。この校正の精度は表21-2.で使用者校正として示されます。

この発振器がチップ(システム)クロックとして使用されるとき、ウォッチドッグ発振器は未だウォッチドッグタイマとリセット付加遅延タイマに使用されます。予め設定された校正值のより多くの情報については99頁の「校正值バイト」項をご覧ください。

校正付き内蔵RC発振器は表6-6.で示されるようにCKSELヒューズに'0011'を書くことによって6.4MHzを供給する設定にもできます。この設定はATtiny15互換動作として参照され、ATtiny15のように6.4MHzで校正されたクロック元の供給を意図されています。ATtiny15互換動作で、PLLはタイマ/カウンタ1用の25.6MHz周辺クロック信号を生成するのに6.4MHzで走行する内蔵RC発振器を使用します(64頁の「ATtiny15互換動作での8ビットタイマ/カウンタ」をご覧ください)。この動作では常に6.4MHzクロック信号が4分周され、1.6MHzシステムクロックを供給することに注意してください。

クロック元として校正付き内蔵8MHz発振器が選択されると、起動時間は下の表6-7.で示されるようにSUTヒューズによって決定されます。

表6-7. 校正付き内蔵RC発振器用起動遅延時間選択表

SUT1,0	パワーダウンからの 起動遅延時間	リセットからの付加遅延 時間 (VCC=5.0V)	推奨使用法
0 0	6 × CK	14 × CK (注1)	低電圧検出(BOD)リセット許可
0 1	6 × CK	14 × CK+4ms	高速上昇電源
1 0 (注2)	6 × CK	14 × CK+64ms	低速上昇電源
1 1	(予約)		

注1: RSTDISBLヒューズがプログラム(0)されると、プログラミング動作への移行可を保証するため、付加遅延時間は14 × CK+4.1msに増やされます。

注2: デバイスはこの選択で出荷されます。

ATtiny15互換動作での起動時間は表6-8.で示されるようにSUTヒューズによって決定されます。

表6-8. ATtiny15互換動作時校正付き内蔵RC発振器用起動遅延時間選択表

SUT1,0	パワーダウンからの 起動遅延時間	リセットからの付加遅延 時間 (VCC=5.0V)	推奨使用法
0 0	6 × CK	14 × CK+64ms	
0 1	6 × CK	14 × CK+64ms	
1 0	6 × CK	14 × CK+4ms	
1 1	1 × CK	14 × CK (注1)	

注1: RSTDISBLヒューズがプログラム(0)されると、プログラミング動作への移行可を保証するため、付加遅延時間は14 × CK+4.1msに増やされます。

概略で、ATtiny15互換動作でのより多くの情報は2頁の「ポートB (PB5~0)」、16頁の「ATtiny15互換動作での内蔵PLL」、92頁の「デバッグWIREの制限」、99頁の「校正值バイト」項と22頁の「クロック前置分周器選択」表で得られます。

表6-6. 校正付き内蔵RC発振器動作

CKSEL3~0	公称周波数 (MHz)
0 0 1 0	8.0 (注1)
0 0 1 1	6.4 (注2)

注1: デバイスはこの選択で出荷されます。

注2: 本設定はATtiny15互換動作を選択し、システムクロックは4分周され1.6MHzクロック周波数になります。



6.2.4. 128kHz内部発振器

128kHz内部発振器は128kHzのクロックを供給する低電力発振器です。この周波数は3V,25℃での公称値です。本クロックはCKSELヒューズを'0100'にプログラミング(設定)することによってシステムクロックとして選択できます。

このクロック元が選択されると、起動時間は表6-9.で示されるようにSUTヒューズによって決定されます。

表6-9. 128kHz内部発振器用起動遅延時間選択表			
SUT1,0	パワーダウンからの 起動遅延時間	リセットからの 付加遅延時間	推奨使用法
0 0	6×CK	14×CK (注1)	低電圧検出(BOD)リセット許可
0 1	6×CK	14×CK+4ms	高速上昇電源
1 0	6×CK	14×CK+64ms	低速上昇電源
1 1	(予約)		
注1: RSTDISBLヒューズがプログラム(0)されると、プログラミング動作への移行可を保証するため、付加遅延時間は14×CK+4.1msに増やされます。			

6.2.5. 低周波数クリスタル用発振器

デバイスに対するクロック元として時計用32.768kHzクリスタルを使用するには、CKSEL3~0ヒューズの'0110'設定によって低周波数クリスタル発振器が選択されなければなりません。クリスタルは図6-5.で示されるように接続されるべきです。32.768kHzクリスタル用の適当な負荷容量を探すには製造業者のデータシートを調べてください。

この発振器が選択されると、起動遅延時間は表6-10.で示されるようにSUTヒューズによって決定されます。

表6-10. 低周波数クリスタル用発振器起動遅延時間選択表			
SUT1,0	パワーダウンからの 起動遅延時間	リセットからの付加遅延 時間 (VCC=5.0V)	推奨使用法
0 0	1K×CK (注1)	4ms	高速上昇電源または低電圧検出(BOD)リセット許可
0 1	1K×CK (注1)	64ms	低速上昇電源
1 0	32K×CK	64ms	起動時の周波数安定
1 1	(予約)		

注1: これらの選択は起動での周波数安定性が重要でない場合だけ使用されるべきです。

低周波数クリスタル用発振器は各XTALピンに於いて表6-11.で見られる内部負荷容量を提供します。

表6-11. 低周波数クリスタル用発振器内部容量		
32kHz発振器形式	容量 (pF)	
	XTAL1	XTAL2
システムクロック用発振器	16	6

6.2.6. クリスタル/セラミック用発振器

XTAL1とXTAL2は図6-5.で示されるように、チップ上の発振器としての使用に設定できる反転増幅器の各々、入力と出力です。クリスタル発振子またはセラミック振動子のどちらでも使用できます。

C1とC2はクリスタル発振子とセラミック振動子の両方について常に等しくすべきです。このコンデンサの最適値は使用するクリスタル発振子やセラミック振動子、浮遊容量の量、その環境の電磁雑音に依存します。クリスタル発振子使用に対するコンデンサ選択について初期の指針のいくつかは表6-12.で与えられます。セラミック振動子については製造業者によって与えられたコンデンサ値が使用されるべきです。

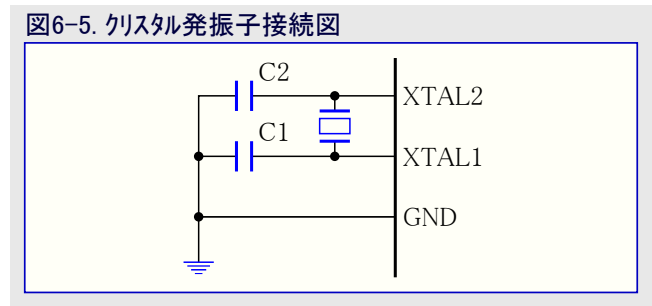


表6-12. クリスタル発振器動作		
CKSEL3~1	周波数範囲	推奨C1,2容量
100 (注1)	0.4~0.9MHz	-
101	0.9~3.0MHz	12~22pF
110	3.0~8.0MHz	12~22pF
111	8.0~ MHz	12~22pF
注1: この選択はクリスタル発振子ではなく、セラミック振動子でのみ使用されるべきです。		

発振器は示された周波数範囲で最適化された4つの異なる動作ができます。この動作は、表6-12.で示されたCKSEL3~1ヒューズによって選択されます。

CKSEL0ヒューズはSUT1,0ヒューズと共に、表6-13.で示される起動遅延時間を選択します。

表6-13. クリスタル発振子/セラミック振動子用起動遅延時間選択表

CKSEL0	SUT1,0	パワーダウンからの 起動遅延時間	リセットからの付加遅延 時間 (VCC=5.0V)	推奨使用法
0	0 0	258×CK (注1)	14×CK+4ms	外部セラミック振動子、高速上昇電源
	0 1	258×CK (注1)	14×CK+64ms	外部セラミック振動子、低速上昇電源
	1 0	1K×CK (注2)	14×CK	外部セラミック振動子、低電圧検出(BOD)リセット許可
	1 1	1K×CK (注2)	14×CK+4ms	外部セラミック振動子、高速上昇電源
1	0 0	1K×CK (注2)	14×CK+64ms	外部セラミック振動子、低速上昇電源
	0 1	16K×CK	14×CK	外部クリスタル発振子、低電圧検出(BOD)リセット許可
	1 0	16K×CK	14×CK+4ms	外部クリスタル発振子、高速上昇電源
	1 1	16K×CK	14×CK+64ms	外部クリスタル発振子、低速上昇電源

**注1:** これらの選択はデバイスの最高周波数付近での動作でないとき、応用にとって起動での周波数安定性が重要でない場合だけ使用されるべきです。これらの選択はクリスタル発振子用ではありません。

**注2:** これらの選択はセラミック振動子での使用を意図され、起動での周波数安定性を保証します。デバイスの最高周波数付近での動作でないとき、応用にとって起動での周波数安定性が重要でない場合はクリスタル発振子も使用できます。

### 6.2.7. 既定のクロック元

このデバイスはCKSEL=0010, SUT=10, CKDIV8=プログラム(0)で出荷されます。従って既定クロック元設定は最長起動時間の8MHzで走行する内蔵RC発振器、8で前置分周する初期システム クロックで、1.0MHzのシステム クロックになります。この既定設定は全ての使用者が実装または並列書き込み器を使用して、それらを希望したクロック元設定にできることを保証します。

### 6.3. システム クロック前置分周器

ATtiny25/45/85のシステム クロックはクロック前置分周レジスタ(CLKPR)の設定によって分周できます。この特徴(機能)は必要とされる処理能力が低い時の消費電力削減に使用できます。これは全クロック種別で使用でき、CPUと全同期周辺機能のクロック周波数に影響を及ぼします。clkCPU、clkFLASH、clkI/O、clkADCは表6-15.で示された値によって分周されます。

#### 6.3.1. 切り替え時間

前置分周器設定間を切り替えるとき、システム クロック前置分周器は中間(経過途中)の周波数が直前の設定に対応するクロック周波数または新規設定に対応するクロック周波数のどちらよりも高くなく、クロック系で不具合が起きないことを保証します。

前置分周器として実行するリップル カウンタは分周されないクロック周波数で走行し、CPUのクロック周波数より速いかもしれません。従って例え(カウンタ値が)読めるとしても、前置分周器の状態を決めることはできず、1から他へのクロック分周値切り替えを行う正確な時間は必ずしも予測できません。

CLKPS値が書かれる時から新規クロック周波数が活性(有効)になる前にT1+T2~T1+2×T2間かかります。この間で2つの有効なクロック端が生成されます。ここでのT1は直前のクロック周期、T2は新規前置分周器設定に対応する周期です。

### 6.4. クロック出力緩衝部 (外部クロック出力)

本デバイスは(XTAL2ピンとして使用しない時に)システム クロックをCLKOピンに出力できます。この出力を許可するにはCKOUTヒューズがプログラム(0)されなければなりません。この動作はチップのクロックがシステム上の他の回路を駆動する時用です。このヒューズがプログラム(0)された時にI/Oピンの標準動作が無視され、このクロックがリセット中に出力されないことに注意してください。内部RC発振器、WDT発振器、PLL、外部クロック(CLKI)はクロックがCLKOに出力される時に選択することができます。クリスタル用発振器(XTAL1,XTAL2)はCLKOでのクロック出力用に使用できません。システム クロック前置分周器が使用されると、CKOUTヒューズがプログラム(0)された時の出力は分周したシステム クロックです。

## 6.5. クロック関係レジスタ

### 6.5.1. OSCCAL – 発振校正レジスタ (Oscillator Calibration Register)

ビット	7	6	5	4	3	2	1	0	
\$31 (\$51)	CAL7	CAL6	CAL5	CAL4	CAL3	CAL2	CAL1	CAL0	OSCCAL
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	デバイス固有の校正値								

#### ● ビット7～0 – CAL7～0 : 発振校正値 (Oscillator Calibration Value)

発振校正レジスタは発振器周波数の偏差処理を省くための内蔵発振器の調整に使用されます。チップのリセット中、109頁の表21-2で指定されるように工場で校正された周波数を与える、予めプログラムされた値が本レジスタへ自動的に書かれます。応用ソフトウェアは発振器周波数を変更するために、このレジスタに書くことができます。この発振器は表21-2で指定される周波数に校正できます。この範囲外への校正は推奨されません。

この発振器はフラッシュメモリとEEPROMの書き込みアクセス時間に使用され、これらの書き込み時間はそれに応じて影響されることに注意してください。フラッシュメモリまたはEEPROMが書かれる場合、8.8MHzより高く校正してはいけません。そうでなければ、フラッシュメモリまたはEEPROM書き込みは失敗するかもしれません。

CAL7ビットは発振器に関する操作範囲を決めます。このビットの(0)設定は低周波数範囲になり、(1)設定は高周波数範囲になります。この2つの周波数範囲は重複し、別の言葉では、OSCCAL=\$7F設定はOSCCAL=\$80設定より高い周波数になります。

CAL6～0ビットは選択した範囲内の周波数調整に使用されます。\$00設定はその範囲の最低周波数になり、\$7F設定はその範囲の最高周波数になります。

MCUの安定な動作を保証するために校正値は小さく変更されるべきです。或るクロック周期から次への2%より大きな周波数変化は予測されない事態を引き起こします。OSCCAL変更は各校正に対して\$20を越えるべきではありません。このようなクロック周波数変更の間、MCUはリセットに保たれるのを保証することが必要です。

(訳注) 表6-14は不適切で本来削除されるべき表です。

表6-14. 内蔵RC発振器周波数範囲

OSCCAL値	公称周波数に対する割合	
	Min	Max
\$00	50 %	100 %
\$3F	75 %	150 %
\$7F	100 %	200 %

### 6.5.2. CLKPR – クロック前置分周レジスタ (Clock Prescale Register)

ビット	7	6	5	4	3	2	1	0	
\$26 (\$46)	CLKPCE	–	–	–	CLKPS3	CLKPS2	CLKPS1	CLKPS0	CLKPR
Read/Write	R/W	R	R	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	内容参照	内容参照	内容参照	内容参照	

#### ● ビット7 – CLKPCE : クロック分周値変更許可 (Clock Prescaler Change Enable)

CLKPSビットの変更を許可するためにCLKPCEビットは論理1を書かれなければなりません。CLKPCEビットは同時にCLKPRの他の全ビットが0を書かれる時だけ更新されます。CLKPCEは書き込み後4クロック周期またはCLKPSビット書き込み時、ハードウェアによって解除(0)されます。この制限時間(4クロック周期)内のCLKPCEビット再書き込みは制限時間の延長もCLKPCEビットの解除(0)も行いません。

#### ● ビット6～4 – Res : 予約 (Reserved)

これらのビットは予約されており、常に0として読めます。

#### ● ビット3～0 – CLKPS3～0 : クロック分周値選択 (Clock Prescaler Select Bits 3～0)

これらのビットは選択したクロック元と内部システムクロック間の分周値を定義します。これらのビットは応用の必要条件に合わせた各種クロック周波数を実行時に書けます。分周値が使用されると、分周器はMCUへの主クロックを分周し、全ての同期周辺機能の速度が減じられます。分周値は表6-15で与えられます。

予期せぬクロック周波数の変更を防ぐため、CLKPSビットの変更は次の特別な書き込み手順に従わなければなりません。

① クロック分周値変更許可(CLKPCE)ビットに1、CLKPR内の他の全ビットに0を書きます。

② (次からの)4周期以内にCLKPCEビットを0とする欲したCLKPS値を書きます。

前置分周器設定変更時、書き込み手続きが割り込まれないことを保証するため、割り込みは禁止されなければなりません。

CKDIV8ヒューズがCLKPSビットの初期値を決めます。CKDIV8が非プログラム(1)にされると、CLKPSビットは'0000'にリセットされます。CKDIV8がプログラム(0)されると、CLKPSビットは起動時に8分周を与える'0011'にリセットされます。現在の動作条件でデバイスの最高周波数より高い周波数のクロック元を選択した場合、この機能が使用されるべきです。CKDIV8ヒューズ設定に拘らず、どの値もCLKPSビットへ書けることに注意してください。応用ソフトウェアは現在の動作条件でデバイスの最高周波数より高い周波数のクロック元を選択した場合、十分な分周値が選択されることを保証しなければなりません。このデバイスはCKDIV8ヒューズがプログラム(0)で出荷されます。

表6-15. クロック前置分周器選択

CLKPS3	0								1							
CLKPS2	0				1				0				1			
CLKPS1	0		1		0		1		0		1		0		1	
CLKPS0	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1
分周値(数)	1	2	4	8	16	32	64	128	256	(予約)						

注: 前置分周器はATtiny15互換動作で禁止され、[クロック前置分周レジスタ\(CLKPR\)](#)書き込みも[CKDIV8ヒューズ](#)のプログラミング(結果)のどちらもシステム クロックに何も影響しません(常に1.6MHz)。

## 7. 電力管理と休止形態

高機能と産業的に先行するコード効率性は低電力の応用に対してAVRマイクロコントローラを理想的に選択させます。加えて、休止形態は応用でMCU内の未使用部を一時停止することを可能にし、それによって節電します。AVRは応用で必要な消費電力に仕立てることを使用者に許す様々な休止形態を提供します。

### 7.1. 休止形態種別

15頁の図6-1はATtiny25/45/85の各種クロックシステムとその配給を示します。この図は適切な休止形態選択を手助けします。表7-1は各種休止形態とそれらの起動元を示します。

表7-1. 各休止形態に於ける動作クロック範囲と復帰起動要因

休止種別	動作クロック範囲					発振器 主クロック 供給元 許可	復帰起動要因 (割り込み)					
	clk CPU	clk FLASH	clk IO	clk ADC	clk PCK		INT0 ピン変化	SPM/ EEPROM 操作可	USI 開始条件	A/D変換 完了	その他 I/O	ウォッチ ドッグ
アイドル			○	○	○	○	○	○	○	○	○	○
A/D変換雑音低減				○		○	①	○	○	○		○
パワーダウン							①		○			○

① INT0についてはレベル割り込みだけです。

3つの休止形態の何れかへ移行するにはMCU制御レジスタ(MCUCR)の休止許可(SE)ビットが論理1を書かれ、SLEEP命令が実行されなければなりません。MCUCRの休止種別選択(SM1,0)ビットはSLEEP命令によって活性(有効)にされる休止形態(アイドル、A/D変換雑音低減、パワーダウン)のどれかを選びます。一覧については表7-2をご覧ください。

MCUが休止形態中に許可した割り込みが起ると、MCUは起動します。その時にMCUは起動時間に加えて4周期停止され、割り込みルーチンを実行し、そしてSLEEP命令の次の命令から実行を再開します。デバイスが休止から起動するとき、レジスタファイルとSRAMの内容は変えられません。休止形態中にリセットが起ると、MCUは起動し、リセットベクタから実行します。

レベルで起動した割り込みが起動復帰に使用される場合、MCUを起動(とMCUがその割り込み処理ルーチンへ移行)するには、変更したレベルが一定時間保持されなければならないことに注意してください。詳細については33頁の「外部割り込み」を参照してください。

#### 7.1.1. アイドル動作

休止種別選択(SM1,0)ビットが'00'を書かれるとき、SLEEP命令はMCUをアイドル動作へ移行させ、CPUを停止しますが、A/D変換器、アナログ比較器、USI、タイマ/カウンタ、ウォッチドッグ、割り込み機構の継続動作を許します。この休止形態は基本的にclkCPUとclkFLASHを停止する一方、他のクロックに走行を許します。

アイドル動作はMCUにタイマ溢れなどの内部割り込みだけでなく、外部で起動された割り込みからの起動も可能にします。アナログ比較器割り込みからの起動が必要とされないなら、アナログ比較器制御/状態レジスタ(ACSR)のアナログ比較器禁止(ACD)ビットを設定(1)することによってアナログ比較器を電源断にできます。これはアイドル動作での消費電力を削減します。A/D変換が許可されるなら、この動作に移行すると変換が自動的に始まります。

#### 7.1.2. A/D変換雑音低減動作

SM1,0ビットが'01'を書かれるとき、SLEEP命令はMCUをA/D変換雑音低減動作へ移行させ、CPUを停止しますが、A/D変換器、外部割り込み、ウォッチドッグの(許可されていれば)継続動作を許します。この休止形態は基本的にclkI/O、clkCPU、clkFLASHを停止する一方、他のクロックに走行を許します。

これはA/D変換に対する雑音環境を改善し、より高い分解能の測定を可能にします。A/D変換器が許可されている場合、この動作に移行すると、変換が自動的に始まります。A/D変換完了割り込みからの他、外部リセット、ウォッチドッグリセット、低電圧検出(BOD)リセット、SPM/EEPROM操作可割り込み、INT0の外部レベル割り込み、ピン変化割り込みだけが、A/D変換雑音低減動作からMCUを起動できます。

#### 7.1.3. パワーダウン動作

SM1,0ビットが'10'を書かれると、SLEEP命令はMCUをパワーダウン動作へ移行させます。この動作では発振器が停止される一方、外部割り込み、USI開始条件検出、ウォッチドッグ機能は(許可されていれば)継続して動作します。外部リセット、ウォッチドッグリセット、低電圧検出(BOD)リセット、USI開始条件検出、INT0の外部レベル割り込み、ピン変化割り込みだけがMCUを起動できます。この休止形態は生成した全てのクロックを停止し、非同期部の動作だけを許します。



## 7.2. ソフトウェア低電圧検出(BOD)禁止

低電圧検出器(BOD)がBODLEVELヒューズ(98頁の表20-4.参照)によって許可されていると、BODは休止期間中に電源電圧を活発に監視します。いくつかのデバイスはパワーダウン休止動作でソフトウェアでBODを禁止することによる節電が可能です。この休止形態電力消費はBODがヒューズによって全面的に禁止される時と同じ水準になるでしょう。

BODがソフトウェアで禁止される場合、BOD機能は休止形態移行後、直ちにOFFされます。休止からの起動復帰で、BODは再び自動的に許可されます。これは休止期間中にVCCレベルが落ちた場合の安全な動作を保証します。

BODが禁止されてしまうと、休止形態からの起動時間はリセットからの起動と同じになります。使用者は内部基準(バントギャップ)電圧が始動のための時間を持ち、MCUがコードの実行を継続する前にBODが正しく動作するような起動時間を手動で設定しなければなりません。98頁の「ヒューズ下位バイト」表でSUT1,0とCKSEL3~0ヒューズをご覧ください。

BOD禁止はMCU制御レジスタ(MCUCR)のBOD休止(BODS)ビットによって制御されます。26頁の「MCUCR – MCU制御レジスタ」をご覧ください。このビットへの1書き込みはパワーダウン動作でのBODをOFFにし、一方このビットの0はBOD活動(有効)を保ちます。既定設定は0、換言するとBOD活動(有効)です。

BODSビットへの書き込みは許可ビットと時間制限手順によって制御されます。26頁の「MCUCR – MCU制御レジスタ」をご覧ください。

### 7.2.1. 制限

BOD禁止機能は以下のデバイスにだけ実装されています。

- ATtiny24：改訂Eとそれ以降
- ATtiny44：改訂Dとそれ以降
- ATtiny84：改訂Cとそれ以降

改訂はデバイス外囲器上に記され、以下のように配置され得ます。

- 8P3と8S2外囲器の裏側
- 20M1外囲器の表側

### 7.3. 電力削減

電力削減レジスタ(26頁の「[PRR – 電力削減レジスタ](#)」参照)は消費電力削減のために個別周辺機能へのクロックを停止する方法を提供します。周辺機能は現状で固定化され、I/Oレジスタは読み込みも書き込みもできません。クロックを停止している時に周辺機能によって使用されていた資源は占有されたままなので、その周辺機能は殆どの場合、クロックを停止する前に禁止されるべきです。周辺機能部の起動はPRRのビットを解除(0)することによって行い、その周辺機能部を停止前と同じ状態にします。

周辺機能部の停止は全体に亘る重要な消費電力削減のために活動動作とアイドル動作で使用できます。その他の休止形態ではクロックが予め停止されます。例については117頁の「[周辺機能部供給電流](#)」をご覧ください。

### 7.4. 消費電力の最小化

これらはAVRが制御するシステムで消費電力の最小化を試みる時に考慮するためのそれぞれの検討点です。一般的に休止形態は可能な限り多く使用されるべきで、休止種別は動作するデバイスの機能が可能な限り少なくなるために選択されるべきです。必要とされない全ての機能は禁止されるべきです。特に次の機能部は最低可能消費電力の達成を試みるとき、特別な考慮を必要とするでしょう。

#### 7.4.1. A/D変換器 (ADC)

許可したなら、A/D変換器は全休止形態で許可されます。節電のため、休止形態の何れかへ移行する前にA/D変換器は禁止されるべきです。A/D変換器がOFF、そして再びONに切り替えられると、次の(最初の)変換は延長された(初回)変換になります。A/D変換器操作の詳細については82頁の「[A/D変換器](#)」を参照してください。

#### 7.4.2. アナログ比較器

アイドル動作へ移行するとき、アナログ比較器は使用されないなら、禁止されるべきです。A/D変換雑音削減動作へ移行するとき、アナログ比較器は禁止されるべきです。その他の休止形態でのアナログ比較器は自動的に禁止されます。しかしアナログ比較器が入力として内部基準電圧を使用する設定の場合、全休止形態でアナログ比較器は禁止されるべきです。さもなければ内部基準電圧は休止形態と無関係に許可されます。アナログ比較器設定法の詳細については80頁の「[アナログ比較器](#)」を参照してください。

#### 7.4.3. 低電圧検出器(BOD)

低電圧検出器(BOD)が応用で必要とされないなら、この部署はOFFにされるべきです。低電圧検出器がBODLEVELヒューズによって許可されていると全休止形態で許可され、故に常時電力を消費します。これはより深い休止形態での総消費電流にとって重要な一因になります。低電圧検出器(BOD)設定法の詳細については28頁の「[低電圧検出\(BOD\)](#)」と24頁の「[ソフトウェア低電圧検出器\(BOD\)禁止](#)」をご覧ください。

#### 7.4.4. 内部基準電圧

内部基準電圧は低電圧検出器(BOD)、アナログ比較器、A/D変換器によって必要とされる時に許可されます。これら部署が上の項で記述されたように禁止されると、内部基準電圧は禁止され、電力を消費しません。再び許可する場合、この出力が使用される前に使用者は基準電圧へ起動(安定時間)を与えなければなりません。基準電圧が休止形態でON保持される場合、この出力は直ちに使用できます。起動時間の詳細については29頁の「[内部基準電圧](#)」を参照してください。

#### 7.4.5. ウォッチドッグ タイマ

ウォッチドッグ タイマが応用で必要とされないなら、この部署はOFFにされるべきです。ウォッチドッグ タイマが許可されていると全休止形態で許可され、故に常時電力を消費します。これはより深い休止形態での総消費電流にとって重要な一因になります。ウォッチドッグ タイマ設定法の詳細については29頁の「[ウォッチドッグ タイマ](#)」を参照してください。

#### 7.4.6. ポートピン

休止形態へ移行するとき、全てのポートピンは最小電力使用に設定されるべきです。最も重要なことはその時にピンが抵抗性負荷を駆動しないのを保証することです。I/Oクロック(clk<sub>I/O</sub>)とA/D変換クロック(clk<sub>ADC</sub>)の両方が停止される休止形態ではデバイスの入力緩衝部が禁止されます。これは必要とされない時に入力論理回路によって電力が消費されないことを保証します。いくつかの場合で入力論理回路は起動条件を検出するために必要とされ、その時は許可されます。どのピンが許可されるかの詳細については37頁の「[デジタル入力許可と休止形態](#)」を参照してください。入力緩衝部が許可され、入力信号が浮いている状態のままか、またはアナログ信号電圧がVCC/2付近の場合、入力緩衝部は過大な電力を消費するでしょう。

アナログ入力ピンに対するデジタル入力緩衝部は常に禁止されるべきです。入力ピンでのVCC/2付近のアナログ信号入力は活動動作でも重要な電流を引き起こし得ます。デジタル入力緩衝部はデジタル入力禁止レジスタ0(DIDR0)の書き込みによって禁止できます。詳細については81頁と91頁の「[DIDR0 – デジタル入力禁止レジスタ0](#)」を参照してください。

## 7.5. 電力管理用レジスタ

### 7.5.1. MCUCR – MCU制御レジスタ (MCU Control Register)

このMCU制御レジスタは電力管理用の制御ビットを含みます。

ビット	7	6	5	4	3	2	1	0	
\$35 (\$55)	BODS	PUD	SE	SM1	SM0	BODSE	ISC01	ISC00	MCUCR
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

#### ● ビット7 – BODS : BOD休止 (BOD Sleep)

低電圧検出器(BOD)休止機能はいくつかのデバイスでだけ利用可能です。24頁の「制限」をご覧ください。

休止間(23頁の表7-1.参照)にBODを禁止するために、BODSEビットは論理1を書かれなければなりません。BODSビットの書き込みはMCUCRのBOD休止許可(BODSE)ビットと時間制限手順によって制御されます。最初にBODSとBODSEの両方が1に設定されなければなりません。次に4クロック周期内にBODSが1に設定され、BODSEが0に設定されなければなりません。BODSビットはそれが設定された後の3クロック周期間活性(有効)です。SLEEP命令は実際の休止形態に対してBODをOFFにするために、BODSが活性(有効)の間に実行されなければなりません。BODSビットは3クロック周期後、自動的に解除(0)されます。

BOD休止が実装されていないデバイスでは、このビットが使用されず、常に0として読めます。

#### ● ビット5 – SE : 休止許可 (Sleep Enable)

SLEEP命令が実行される時にMCUを休止形態へ移行させるには、休止許可(SE)ビットが論理1を書かれなければなりません。MCUの目的外休止形態移行を避けるため、SLEEP命令実行直前に休止許可(SE)ビットを設定(1)し、起動後直ちに解除(0)することが推奨されます。

#### ● ビット4,3 – SM1,0 : 休止種別選択 (Sleep Mode Select Bits 1 and 0)

これらのビットは表7-2.で示される利用可能な3つの休止形態の1つを選択します。

#### ● ビット2 – BODSE : BOD休止許可 (BOD Sleep Enable)

BOD休止機能はいくつかのデバイスでだけ利用可能です。24頁の「制限」をご覧ください。

BODSEビットはBOD休止(BODS)ビット記述で説明されるように、BODS制御ビットの設定を許可します。このBOD禁止は時間制限手順によって制御されます。

このビットはソフトウェアBOD禁止が実装されていないデバイスで使用されず、それらのデバイスで常に0として読めます。

表7-2. 休止形態種別選択

SM1	SM0	休止形態種別
0	0	アイドル動作
0	1	A/D変換雑音低減動作
1	0	パワーダウン動作
1	1	(予約)

### 7.5.2. PRR – 電力削減レジスタ (Power Reduction Register)

電力削減レジスタは周辺機能のクロック信号の禁止を許すことによって消費電力削減の方法を提供します。

ビット	7	6	5	4	3	2	1	0	
\$20 (\$40)	–	–	–	–	PRTIM1	PRTIM0	PRUSI	PRADC	PRR
Read/Write	R	R	R	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

#### ● ビット7～4 – Res : 予約 (Reserved)

これらのビットは予約されており、常に0として読めます。

#### ● ビット3 – PRTIM1 : タイマ/カウンタ1電力削減 (Power Reduction Timer/Counter1)

このビットへの1書き込みはタイマ/カウンタ1部を停止します。タイマ/カウンタ1が許可されると、停止前と同様に動作は継続します。

#### ● ビット2 – PRTIM0 : タイマ/カウンタ0電力削減 (Power Reduction Timer/Counter0)

このビットへの1書き込みはタイマ/カウンタ0部を停止します。タイマ/カウンタ0が許可されると、停止前と同様に動作は継続します。

#### ● ビット1 – PRUSI : 多用途直列インターフェース電力削減 (Power Reduction USI)

このビットへの1書き込みはその部分へのクロック停止によって多用途直列インターフェース(USI)を停止します。USIの再起動時、USIは正しい動作を保証するために再初期化されるべきです。

#### ● ビット0 – PRADC : A/D変換器電力削減 (Power Reduction ADC)

このビットへの1書き込みはA/D変換器(ADC)を停止します。A/D変換器は停止前に禁止されなければなりません。A/D変換クロックはアナログ比較器のいくつかの部分でも使用され、本ビット=1時、アナログ比較器が使用できないことに注意してください。

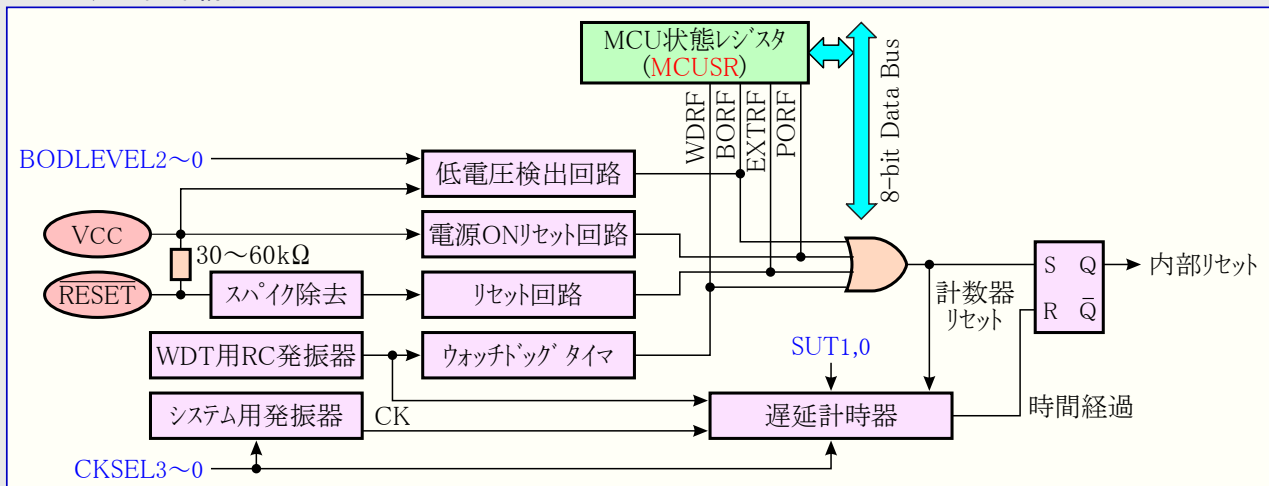
注: アナログ比較器は81頁の「ACSR – アナログ比較器 制御/状態レジスタ」でのアナログ比較器禁止(ACD)ビットの使用で禁止されます。  
(訳注: 共通性から本注追加)

## 8. システム制御とリセット

### 8.1. AVRのリセット

リセット中、全てのI/Oレジスタはそれらの初期値に設定され、プログラムはリセットベクタから実行を開始します。リセットベクタに配置される命令は、きっとリセット処理ルーチンへの無条件相対分岐(RJMP)命令でしょう。プログラムが決して割り込み元を許可しないなら、割り込みベクタは使用されず、これらの位置に通常のプログラムコードが配置できます。図8-1.の回路構成図はリセット論理回路を示します。リセット回路の電気的特性は110ページの「システムとリセットの特性」で与えられます。

図8-1. リセット回路構成



AVRのI/Oポートはリセット元が有効になると直ちにそれらの初期状態にリセットされます。これはどのクロック元の走行も必要ありません。全てのリセット元が無効にされてしまった後、遅延計数器(タイマ)が始動され、内部リセットを引き伸ばします。これは通常動作開始前に安定電圧へ達することを電源に許します。遅延タイマの遅延時間はSUTヒューズとCKSELヒューズを通して使用者によって定義されます。この遅延時間についての各種選択は16ページの「クロック元」で示されます。

### 8.2. リセット元

ATtiny25/45/85には次の4つのリセット元があります。

- **電源ONリセット** ..... 供給電圧が電源ONリセット閾値電圧(V<sub>POT</sub>)以下でMCUがリセットされます。
- **外部リセット** ..... RESETピンが最小パルス幅以上Lowレベルに保たれると、MCUがリセットされます。
- **ウォッチドッグリセット** ... ウォッチドッグリセット動作が許可され、ウォッチドッグタイマが終了すると、MCUがリセットされます。
- **低電圧リセット** ..... 低電圧検出器(BOD)が許可され、供給電圧(VCC)が低電圧検出電圧(V<sub>BOT</sub>)以下でMCUがリセットされます。

### 8.2.1. 電源ONリセット

電源ONリセット(POR)パルスはチップ上の検出回路によって生成されます。検出電圧は110頁の「システムとリセットの特性」で定義されます。POR信号はVCCが検出電圧以下の時は必ず活性(有効)にされます。POR回路は供給電圧異常検出は勿論、始動リセットの起動にも使用できます。

電源ONリセット回路はデバイスが電源投入でリセットされることを保証します。電源ONリセット閾値電圧( $V_{POR}$ )への到達はVCCの上昇後にデバイスがどのくらいリセットを保つかを決める遅延計数器(タイマ)を起動します。VCCがこの検出電圧以下に低下すると、リセット信号はどんな遅延もなく再び有効にされます。

図8-2. 内蔵電源ONリセット ( $\overline{RESET}$ はVCCに接続)

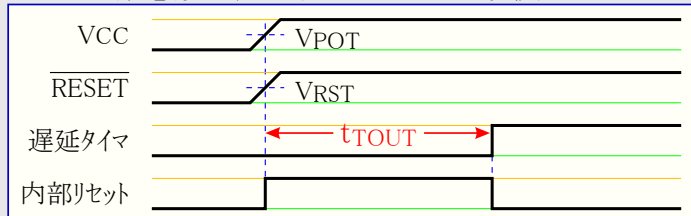
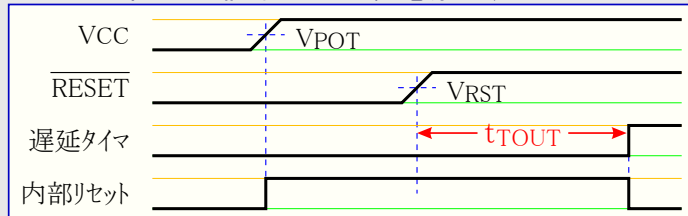


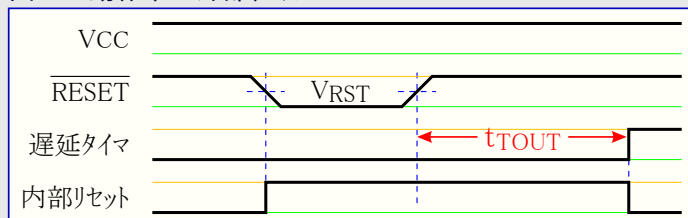
図8-3. 外部RESET信号による延長電源ONリセット



### 8.2.2. 外部リセット

外部リセットは $\overline{RESET}$ ピンのLowレベルによって生成されます。クロックが動いていなくても、最小パルス幅(110頁の「システムとリセットの特性」参照)以上のリセットパルスはリセットを生成します。短すぎるパルスはリセット生成が保証されません。印加された信号の上昇がリセット閾値電圧( $V_{RST}$ )に達すると(遅延タイマを起動し)、遅延タイマは遅延時間( $t_{TOUT}$ )経過後にMCUを始動します。

図8-4. 動作中の外部リセット



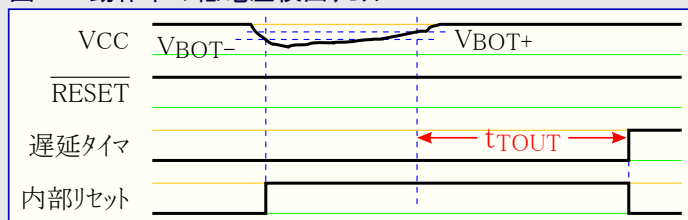
### 8.2.3. 低電圧(ブラウンアウト)検出リセット

ATtiny25/45/85には固定化された起動(検出)電圧と比較することで動作中のVCCを監視するチップ上の低電圧検出(BOD)回路があります。BODの起動電圧はBODLEVELヒューズによって選択できます。この起動電圧はスパイク対策BODを保证するためにヒステリシスを持ちます。検出電圧のヒステリシスは $V_{BOT+}=V_{BOT}+V_{HYST}/2$ 、 $V_{BOT-}=V_{BOT}-V_{HYST}/2$ と解釈されるべきです。

BODが許可され、VCCが起動電圧以下に下降すると(図8-5の $V_{BOT-}$ )、低電圧リセットが直ちに有効とされます。VCCが起動電圧以上に上昇すると(図8-5の $V_{BOT+}$ )、(遅延タイマが起動され)遅延タイマは遅延時間( $t_{TOUT}$ )経過後にMCUを始動します。

BOD回路は電圧が110頁の「システムとリセットの特性」で与えられる $t_{BOD}$ 時間より長く起動電圧以下に留まる場合のみ、VCCでの低下を検出します。

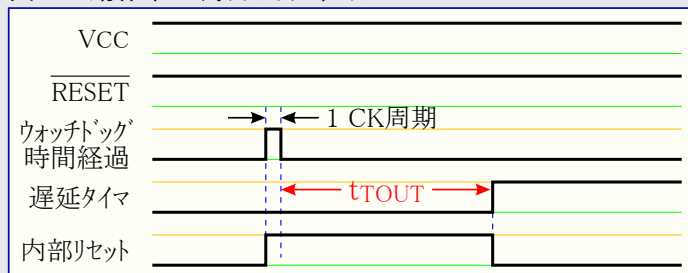
図8-5. 動作中の低電圧検出リセット



### 8.2.4. ウォッチドッグ リセット

ウォッチドッグ時間経過時、(内部的に)1CK周期幅の短いリセットパルス生成します。このパルスの下降端で遅延タイマは遅延時間( $t_{TOUT}$ )の計時を始めます。ウォッチドッグタイマ操作の詳細については29頁を参照してください。

図8-6. 動作中のウォッチドッグ リセット





8.3. 内部基準電圧

ATtiny25/45/85は内部基準電圧が特徴です。この基準電圧は低電圧検出(BOD)に使用され、A/D変換やアナログ比較器の入力としても使用できます。

8.3.1. 基準電圧許可信号と起動時間

基準電圧には使用されるべき方法に影響を及ぼすかもしれない起動時間があります。この起動時間は、110頁の「システムとリセットの特性」で与えられます。節電のために、この基準電圧は常にONではありません。この基準電圧は次の状態中ONです。

- ① 低電圧検出リセット許可時 (BODLEVELヒューズ<sup>\*</sup> ビットのプログラム(0)により)
- ② アナログ比較器基準電圧接続時 (アナログ比較器制御/状態レジスタ(ACSR)の基準電圧入力選択(ACBG)=1)
- ③ A/D変換部動作許可時 (A/D変換制御/状態レジスタA(ADCSRA)のA/D動作許可(ADEN)=1)

従って低電圧検出(BOD)が許可されていないと、ACBGの設定(=1)またはA/D変換部許可(ADEN=1)後、使用者はアナログ比較器またはA/D変換器出力が使用される前に基準電圧へ起動時間を与えなければなりません。パワーダウン動作での消費電力を減らすため、使用者はパワーダウン動作へ移行する前に基準電圧がOFFされるのを保証することで上の3つの状態を避けられます。

8.4. ウォッチドッグ タイマ

ウォッチドッグ タイマは128kHzで動く独立したチップ上の発振器からクロック駆動されます。ウォッチドッグ タイマ前置分周器の制御により、ウォッチドッグ リセット間隔は31頁の表8-3.で示されるように調整できます。ウォッチドッグ リセット(WDR)命令はウォッチドッグ タイマをリセットします。ウォッチドッグ タイマはそれが禁止される時とチップ リセットが起こる時もリセットされます。10種の異なるクロック周期がこのリセット周期を決めるために選択できます。別のウォッチドッグ リセットなしにリセット周期が経過すると、ATtiny25/45/85はリセットしてリセット ベクタから実行します。ウォッチドッグ リセットの詳細タイミングについては31頁の表8-3.を参照してください。

ウォッチドッグ タイマはリセットの代わりに割り込みを生成する設定にもできます。これはパワーダウン動作から起動するのにウォッチドッグを使用する時に大変有用となり得ます。

予期せぬウォッチドッグ禁止や予期せぬ計時終了周期変更を防ぐため、2つの異なる安全レベルが表8-1.で示されるWDTONヒューズ<sup>\*</sup>によって選択されます。詳細については次の「ウォッチドッグ タイマ設定変更の時間制限手順」を参照してください。

図8-7. ウォッチドッグ タイマ構成図 (訳注:内容に合せ修正)

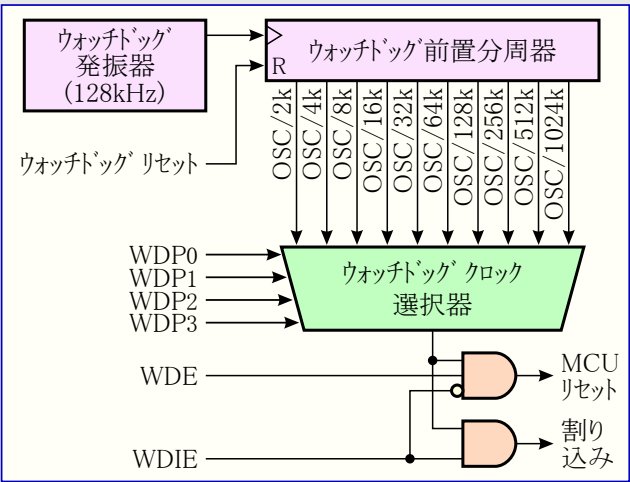


表8-1. WDTONヒューズ<sup>\*</sup>設定によるウォッチドッグ機能設定

WDTON ヒューズ <sup>*</sup>	安全レベル	WDT初期状態	WDT禁止方法	計時完了時間変更方法
非プログラム(1)	1	禁止	時間制限	なし(常時可)
プログラム(0)	2	許可	なし(常時許可)	時間制限

8.4.1. ウォッチドッグ タイマ設定変更の時間制限手順

ウォッチドッグ設定変更手順は安全レベル間で僅かに異なります。各レベルに対して独立した手順が記述されます。

- 8.4.1.1. 安全レベル1
- この動作種別ではウォッチドッグ タイマが初めに禁止されますが、どんな制限もなくウォッチドッグ許可(WDE)ビットに1を書くことにより許可できます。許可したウォッチドッグ タイマを禁止する時に時間制限手順が必要とされます。許可したウォッチドッグ タイマを禁止するには次の手順に従わなければなりません。
- ① 同じ操作(命令)でウォッチドッグ変更許可(WDCE)とウォッチドッグ許可(WDE)に論理1を書きます。WDEビットの直前の値に拘らず、論理1がWDEに書かれなければなりません。
  - ② 次からの4クロック周期内に同じ操作(命令)で欲したWDEとウォッチドッグ タイマ前置分周選択(WDP3~0)ビットを書きますが、WDCEビットは解除(0)されてです。
- 8.4.1.2. 安全レベル2
- この動作種別ではウォッチドッグ タイマが常に許可され、WDEビットは常に1として読めます。時間制限手順はウォッチドッグ計時完了周期を変更する時に必要とされます。ウォッチドッグ計時完了周期を変更するには次の手順に従わなければなりません。
- ① 同じ操作(命令)でWDCEとWDEに論理1を書きます。WDEビットが常に設定(1)されていても、WDEは時間制限手順を開始するために1を書かれなければなりません。
  - ② 次からの4クロック周期内に同じ操作(命令)で欲したWDP2~0ビットを書きますが、WDCEビットは解除(0)されてです。WDEビットに書かれた値は無関係です。

8.4.2. コード例

次のコード例はウォッチドッグ(WDT)をOFFに切り替えるアセンブリ言語とC言語の関数を示します。本例は(例えば全割り込み禁止によって)割り込みが制御され、それ故これらの関数実行中に割り込みが起きない前提です。

アセンブリ言語プログラム例

WDT\_OFF:

WDR

LDI R16, (0<<WDRF)

OUT MCUSR, R16

IN R16, WDTCSR

ORI R16, (1<<WDCE) | (1<<WDE)

OUT WDTCSR, R16

LDI R16, (0<<WDE)

OUT WDTCSR, R16

RET

;ウォッチドッグ タイマ リセット

;WDRF=0値を取得

;MCUSRのWDRFを解除(0)

;現WDTCSR値を取得

;WDCEとWDE論理1値を設定

;WDCEとWDEに論理1書き込み

;WDE論理0値を取得

;ウォッチドッグ禁止

;呼び出し元へ復帰

C言語プログラム例

void WDT\_off(void)

{

\_WDR();

MCUSR = 0x00;

WDTCSR |= (1<<WDCE) | (1<<WDE);

WDTCSR = 0x00;

/\* ウォッチドッグ タイマ リセット \*/

/\* MCUSRのWDRFを解除(0) \*/

/\* WDCEとWDEに論理1書き込み \*/

/\* ウォッチドッグ禁止 \*/

}

注: 4頁の「コード例」をご覧ください。

8.5. リセット関係レジスタ

8.5.1. MCUSR – MCU状態レジスタ (MCU Status Register)

MCU状態レジスタはどのリセット元がMCUリセットを起こしたかの情報を提供します。

ビット	7	6	5	4	3	2	1	0	
\$34 (\$54)	–	–	–	–	WDRF	BORF	EXTRF	PORF	MCUSR
Read/Write	R	R	R	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	内容参照	内容参照	内容参照	内容参照	

- **ビット7～4 – Res : 予約 (Reserved)**  
これらのビットは予約されており、常に0として読めます。
- **ビット3 – WDRF : ウォッチドッグ リセット フラグ (Watchdog Reset Flag)**  
このビットはウォッチドッグ リセットが起こると設定(1)されます。このビットは電源ONリセットまたは、このフラグへの論理0書き込みによってリセット(0)されます。
- **ビット2 – BORF : 低電圧リセット フラグ (Brown-Out Reset Flag)**  
このビットは低電圧リセットが起こると設定(1)されます。このビットは電源ONリセットまたは、このフラグへの論理0書き込みによってリセット(0)されます。
- **ビット1 – EXTRF : 外部リセット フラグ (External Reset Flag)**  
このビットは外部リセットが起こると設定(1)されます。このビットは電源ONリセットまたは、このフラグへの論理0書き込みによってリセット(0)されます。
- **ビット0 – PORF : 電源ONリセット フラグ (Power-on Reset Flag)**  
このビットは電源ONリセットが起こると設定(1)されます。このビットはこのフラグへの論理0書き込みによってのみリセット(0)されます。  
リセット条件の確認にリセット フラグを使用するため、使用者はプログラム内で可能な限り早くMCUSRを読み、そして解除(0)すべきです。別のリセットが起こる前にこのレジスタが解除(0)されると、そのリセット元はリセット フラグを調べることによって得られます。

8.5.2. WDTCR – ウォッチドッグ タイマ制御レジスタ (Watchdog Timer Control Register)

ビット	7	6	5	4	3	2	1	0	
\$21 (\$41)	WDIF	WDIE	WDP3	WDCE	WDE	WDP2	WDP1	WDP0	WDTCR
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	不定	0	0	0	

●ビット7 – WDIF : ウォッチドッグ割り込み要求フラグ (Watchdog Interrupt Flag)

ウォッチドッグ タイマが割り込みに設定され、ウォッチドッグ タイマで計時完了が起こると、本ビットが設定(1)されます。対応する割り込み処理ベクタを実行すると、WDIFはハードウェアによって解除(0)されます。代わりにWDIFはこのフラグへの論理1書き込みによっても解除(0)されます。ステータスレジスタ(SREG)の全割り込み許可(I)ビットとウォッチドッグ割り込み許可(WDIE)が設定(1)されていれば、ウォッチドッグ計時完了割り込みが実行されます。

●ビット6 – WDIE : ウォッチドッグ割り込み許可 (Watchdog Interrupt Enable)

このビットが1を書かれ、ステータスレジスタ(SREG)の全割り込み許可(I)ビットが設定(1)されると、ウォッチドッグ割り込みが許可されます。この動作ではウォッチドッグ タイマで計時完了が起きる場合、リセットに代わって対応する割り込みが実行されます。

WDEが設定(1)されると、WDIEは計時完了が起きるとき、ハードウェアによって自動的に解除(0)されます。これは割り込みを使用する間のウォッチドッグ リセット保護を維持するのに有用です。WDIEビットが解除(0)された後、次の計時完了はリセットを生成するでしょう。このウォッチドッグ リセットを避けるには、各割り込み後にWDIEが設定(1)されなければなりません。

表8-2. ウォッチドッグ タイマ設定

WDE	WDIE	動作状態	計時完了での動作
0	0	停止	なし
0	1	走行	割り込み
1	0	走行	リセット
1	1	走行	割り込み

●ビット4 – WDCE : ウォッチドッグ変更許可 (Watchdog Change Enable)

ウォッチドッグ許可(WDE)ビットが論理0を書かれるとき、このビットは設定(1)されなければなりません。さもなければ、ウォッチドッグは禁止されません。一旦1を書かれると、ハードウェアが4クロック周期後、このビットを解除(0)します。ウォッチドッグ禁止手順についてはWDEビットの記述を参照してください。このビットは前置分周ビットを変更する時も設定(1)されなければなりません。29頁の「ウォッチドッグ タイマ設定変更の時間制限手順」をご覧ください。

●ビット3 – WDE : ウォッチドッグ許可 (Watchdog Enable)

ウォッチドッグ許可(WDE)が論理1を書かれるとウォッチドッグ タイマが許可され、WDEが論理0を書かれるとウォッチドッグ タイマ機能が禁止されます。WDEはウォッチドッグ変更許可(WDCE)ビットが論理レベル1を持つ場合だけ解除(0)できます。許可されているウォッチドッグ タイマを禁止するには次の手順に従わなければなりません。

① 同じ操作(命令)内で、ウォッチドッグ変更許可(WDCE)ビットとウォッチドッグ許可(WDE)ビットに論理1を書きます。例え禁止操作を始める前のWDEが1に設定されていても、論理1がWDEに書かれなければなりません。

② 次からの4クロック周期内で、論理0をWDEに書きます。これがウォッチドッグを禁止します。

安全レベル2では上記の手順でもウォッチドッグ タイマを禁止することができません。29頁の「ウォッチドッグ タイマ設定変更の時間制限手順」をご覧ください。

安全レベル1ではWDEがMCUSRのウォッチドッグ リセット フラグ(WDRF)によって無効にされます。WDRFの説明については30頁の「MCUSR – MCU状態レジスタ」をご覧ください。これはWDRFが設定(1)されていると、WDEが常に設定(1)されることを意味します。WDEを解除(0)するには上記手順でウォッチドッグを禁止する前にWDRFが解除(0)されなければなりません。この特徴は失敗を引き起こす状態中の複数リセットと失敗後の安全な起動を保証します。

**注:** ウォッチドッグ タイマが応用で使用されないなら、デバイス初期化でウォッチドッグ禁止手順を全て行なうことが重要です。ウォッチドッグが偶然に許可されると(例えばポインタの逸脱や低電圧(ブラウンアウト)状態)、デバイスはリセットし、その転化が次のウォッチドッグ リセットを引き起こすでしょう。この状態を避けるため、応用ソフトウェアは初期化ルーチンでWDRFフラグとWDE制御ビットを常に解除(0)すべきです。

●ビット5,2~0 – WDP3~0 : ウォッチドッグ タイマ前置分周選択 (Watchdog Timer Prescaler 3,2,1 and 0)

このWDP3~0ビットはウォッチドッグ タイマが許可される時のウォッチドッグ タイマの前置分周を決めます。異なる前置分周値と対応する計時完了周期は表8-3.で示されます。

表8-3. ウォッチドッグ前置分周器選択																
WDP3	0								1							
WDP2	0				1				0				1			
WDP1	0		1		0		1		0		1		0		1	
WDP0	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1
WDT発振周期数	2k	4k	8k	16k	32k	64k	128k	256k	512k	1024k	(予約) (注)					
代表的計時完了周期 (VCC=5V)	16ms	32ms	64ms	0.125s	0.25s	0.5s	1.0s	2.0s	4.0s	8.0s						

**注:** 選択した場合、1010未満の有効な設定の(どれか)1つが使用されます。

## 9. 割り込み

本項はATtiny25/45/85によって実行される割り込み操作の詳細を記述します。AVR割り込み操作の一般説明については8頁の「リセットと割り込みの扱い」を参照してください。

### 9.1. ATtiny25/45/85の割り込みベクタ

ATtiny25/45/85の割り込みベクタは下の表9-1.で記述されます。

表9-1. リセットと割り込みのベクタ

ベクタ番号	プログラム アドレス	発生元	備考
1	\$0000	リセット	電源ON, WDT, BOD等の各種リセット
2	\$0001	INT0	外部割り込み要求0
3	\$0002	PCINT (PCI)	ピン変化割り込み要求
4	\$0003	タイマ/カウンタ1 COMPA	タイマ/カウンタ1比較A一致
5	\$0004	タイマ/カウンタ1 OVF1	タイマ/カウンタ1溢れ
6	\$0005	タイマ/カウンタ0 OVF0	タイマ/カウンタ0溢れ
7	\$0006	EEPROM EE_RDY	EEPROM 操作可
8	\$0007	アナログ比較器 ANA_COMP	アナログ比較器出力遷移
9	\$0008	A/D変換器 ADC	A/D変換完了
10	\$0009	タイマ/カウンタ1 COMPB	タイマ/カウンタ1 比較B一致
11	\$000A	タイマ/カウンタ0 COMPA	タイマ/カウンタ0 比較A一致
12	\$000B	タイマ/カウンタ0 COMPB	タイマ/カウンタ0 比較B一致
13	\$000C	ウォッチドッグ WDT	ウォッチドッグ計時完了
14	\$000D	USI START	USI 開始条件検出
15	\$000E	USI OVF	USI 計数器溢れ

プログラムが決して割り込み元を許可しないなら、割り込みベクタは使用されず、これらの位置に通常のプログラム コードが配置できます。

ATtiny25/45/85での代表的で一般的な割り込みベクタ アドレス構成設定が次のプログラム例で示されます。

#### アセンブリ言語プログラム例

```
$0000      ORG      $0000      ;プログラム用フラッシュ メモリ先頭位置

$0000      RJMP     RESET      ;各種リセット
$0001      RJMP     INTO_ISR    ;外部割り込み要求0
$0002      RJMP     PCINT0_ISR  ;ピン変化割り込み要求
$0003      RJMP     TIM1_COMP_A ;タイマ/カウンタ1比較A一致
$0004      RJMP     TIM1_OVF_ISR;タイマ/カウンタ1溢れ
$0005      RJMP     TIM0_OVF_ISR;タイマ/カウンタ0溢れ
$0006      RJMP     EE_RDY_ISR  ;EEPROM操作可
$0007      RJMP     ANA_COMP_ISR;アナログ比較器出力遷移
$0008      RJMP     ADC_ISR     ;A/D変換完了
$0009      RJMP     TIM1_COMP_B ;タイマ/カウンタ1比較B一致
$000A      RJMP     TIM0_COMP_A ;タイマ/カウンタ0比較A一致
$000B      RJMP     TIM0_COMP_B ;タイマ/カウンタ0比較B一致
$000C      RJMP     WDT_OVF_ISR ;ウォッチドッグ計時完了
$000D      RJMP     USI_START_ISR;USI 開始条件検出
$000E      RJMP     USI_OVF_ISR ;USI 計数器溢れ
;
$000F      RESET:   "命令"      ;主プログラム開始
```

注: 4頁の「コード例」をご覧ください。



9.2. 外部割り込み

外部割り込みはINT0ピンまたはPCINT0～5ピンの何れかによって起動されます。許可したなら、例えばINT0またはPCINT0～5ピンが出力として設定されても、割り込みが起動することに注目してください。この特徴はソフトウェア割り込みを生成する方法を提供します。ピン変化割り込みPCIは許可したPCINT0～5の何れかが切り替わると起動します。ピン変化割り込み許可レジスタ(PCMSK)は、どのピンがピン変化割り込み要因となるかを制御します。PCINT0～5でのピン変化割り込みは非同期に検知されます。これはそれらの割り込みがアイドル動作以外の休止形態からもデバイスを起動するのに使用できることを意味します。

INT0割り込みは上昇端または下降端(含む両端)またはLowレベルによって起動できます。これはMCU制御レジスタ(MCUCR)の詳述で示される設定です。INT0割り込みがレベル起動として設定、且つ許可されると、そのピンがLowに保持される限り、割り込みは(継続的に)起動します。INT0の上昇端または下降端割り込みの認知は15頁の「クロックシステムとその配給」で記述されるI/Oクロックの存在を必要とすることに注意してください。

9.2.1. Lowレベル割り込み

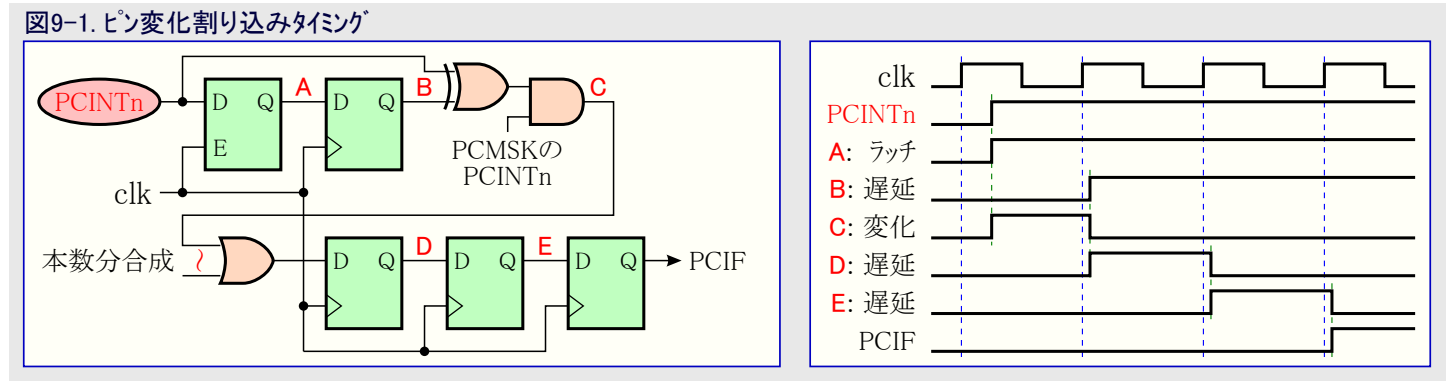
INT0のLowレベル割り込みは非同期に検知されます。これはそれらの割り込みがアイドル動作以外の休止形態からもデバイスを起動するのに使用できることを意味します。I/Oクロックはアイドル動作を除く全休止形態で停止されます。

レベル起動割り込みがパワーダウン動作からの起動に使用される場合、この必要としたレベルはレベル割り込みを起動する完全な起動復帰のため、MCUに対して充分長く保持されなければならないことに注意してください。このレベルが起動時間の最後に先立って消滅すると、MCUは今までどおり起動しますが、割り込みが生成されません。起動時間は15頁の「システムクロックとクロック選択」で示されるようにSUTヒューズとCKSELヒューズで定義されます。

デバイスが起動復帰する前に割り込みピン上のLowレベルが取り去られると、プログラム実行は割り込み処理ルーチンへ転換されませんが、SLEEP命令に続く命令から継続します。

9.2.2. ピン変化割り込みタイミング

ピン変化割り込みの例は図9-1.で示されます。



9.3. 外部割り込み用レジスタ

9.3.1. MCUCR – MCU制御レジスタ (MCU Control Register)

MCU制御レジスタは割り込み条件制御ビットを含みます。

ビット	7	6	5	4	3	2	1	0	
\$35 (\$55)	BODS	PUD	SE	SM1	SM0	BODSE	ISC01	ISC00	MCUCR
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット1,0 – ISC01,0 : 外部割り込み0条件制御 (Interrupt Sense Control 0 bit1 and 0)

外部割り込み0はステータスレジスタ(SREG)の全割り込み許可(I)ビットと一般割り込み許可レジスタ(GIMSK)の外部割り込み0許可(INT0)ビットが設定(1)される場合のINT0外部ピンによって活性(有効)にされます。割り込みを活性にする外部INT0ピンのエッジとレベルは表9-2.で定義されます。INT0ピンの値はエッジ検出に先立って採取されます。エッジまたは論理変化割り込みが選択される場合、1クロック周期よりも長く留まるパルスは割り込みを生成します。より短いパルスは割り込み発生が保証されません。Lowレベル割り込みが選択される場合、そのLowレベルは割り込みを生成するために現在実行している命令の完了まで保たれなければなりません。

表9-2. 外部割り込み0(INT0)割り込み条件

ISC01	ISC00	割り込み発生条件
0	0	INT0ピンのLowレベル
0	1	INT0ピンの論理変化(両端)
1	0	INT0ピンの下降端
1	1	INT0ピンの上昇端



### 9.3.2. GIMSK – 一般割り込み許可レジスタ (General Interrupt Mask Register)

ビット	7	6	5	4	3	2	1	0	
\$3B (\$5B)	–	INT0	PCIE	–	–	–	–	–	GIMSK
Read/Write	R	R/W	R/W	R	R	R	R	R	
初期値	0	0	0	0	0	0	0	0	

#### ● ビット7,4~0 – Res : 予約 (Reserved)

これらのビットは予約されており、常に0として読めます。

#### ● ビット6 – INT0 : 外部割り込み0許可 (External Interrupt Request 0 Enable)

ステータスレジスタ(SREG)の全割り込み許可(I)ビットが設定(1)され、INT0ビットが設定(1)されると、INT0外部ピン割り込みが許可されます。MCU制御レジスタ(MCU\_CR)の割り込み条件制御0のビット1と0(ISC01,0)はこの外部割り込みがINT0ピンの上昇端、下降端、両端、またはLowレベルのどれで活性(有効)にされるかを定義します。例えばINT0ピンが出力として設定されても、このピンの動きは割り込み要求を引き起こします。外部割り込み要求0に対応する割り込みはINT0割り込みベクタから実行されます。

#### ● ビット5 – PCIE : ピン変化割り込み許可 (Pin Change Interrupt Enable)

ステータスレジスタ(SREG)の全割り込み許可(I)ビットが設定(1)され、このPCIEビットが設定(1)されると、ピン変化割り込みが許可されます。許可したPCINT0~5ピンの何れかの変化が割り込みを起こします。このピン変化割り込み要求に対応する割り込みはPCI割り込みベクタから実行されます。PCINT0~5ピンはピン変化割り込み許可レジスタ(PCMSK)によって個別に許可されます。

### 9.3.3. GIFR – 一般割り込み要求フラグ レジスタ (General Interrupt Flag Register)

ビット	7	6	5	4	3	2	1	0	
\$3A (\$5A)	–	INTF0	PCIF	–	–	–	–	–	GIFR
Read/Write	R	R/W	R/W	R	R	R	R	R	
初期値	0	0	0	0	0	0	0	0	

#### ● ビット7,4~0 – Res : 予約 (Reserved)

これらのビットは予約されており、常に0として読めます。

#### ● ビット6 – INTF0 : 外部割り込み0要求フラグ (External Interrupt Flag0)

INT0ピン上のエッジまたは論理変化が割り込み要求を起動すると、INTF0が設定(1)になります。ステータスレジスタ(SREG)の全割り込み許可(I)ビットと一般割り込み許可レジスタ(GIMSK)の外部割り込み0許可(INT0)ビットが設定(1)なら、MCUは対応する割り込みベクタへ飛びます。このフラグは割り込みルーチンが実行されると解除(0)されます。代わりにこのフラグは論理1を書くことによっても解除(0)できます。INT0がレベル割り込みとして設定されると、このフラグは常に解除(0)されます。

#### ● ビット5 – PCIF : ピン変化割り込み要求フラグ (Pin Change Interrupt Flag)

PCINT0~5ピンの何れかの論理変化が割り込み要求を起動すると、PCIFが設定(1)になります。ステータスレジスタ(SREG)の全割り込み許可(I)ビットと一般割り込み許可レジスタ(GIMSK)のピン変化割り込み許可(PCIE)ビットが設定(1)なら、MCUは対応する割り込みベクタへ飛びます。このフラグは割り込みルーチンが実行されると解除(0)されます。代わりに本フラグは論理1を書くことによっても解除(0)できます。

### 9.3.4. PCMSK – ピン変化割り込み許可レジスタ (Pin Change Mask)

ビット	7	6	5	4	3	2	1	0	
\$15 (\$35)	–	–	PCINT5	PCINT4	PCINT3	PCINT2	PCINT1	PCINT0	PCMSK
Read/Write	R	R	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

#### ● ビット7,6 – Res : 予約 (Reserved)

これらのビットは予約されており、常に0として読めます。

#### ● ビット5~0 – PCINT5~PCINT0 : ピン変化割り込み5~0許可 (Pin Change Enable Mask 5~0)

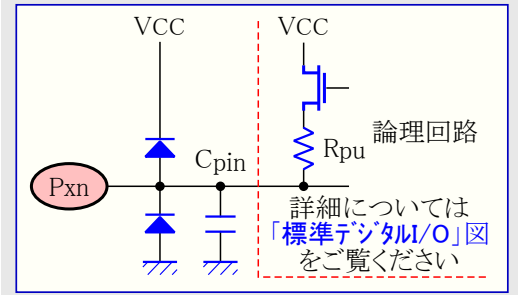
各PCINT0~5ビットは対応するI/Oピンでピン変化割り込みが許可されるかどうかを選びます。PCINT0~5と一般割り込み許可レジスタ(GIMSK)のPCIEが設定(1)なら、対応するI/Oピンのピン変化割り込みが許可されます。PCINT0~5が解除(0)されると、対応するI/Oピンのピン変化割り込みは禁止されます。

## 10. 入出力ポート

### 10.1. 序説

全てのAVRのポートは標準デジタルI/Oポートとして使用されるとき、真の読み-変更-書き(リード-モディファイ-ライト)を機能的に持ちます。これは**SBI**と**CBI**命令で他のどのピンの方  
向をも無意識に変更することなく、1つのポートピンの方向を変更できることを意味  
します。(出力として設定されていれば)駆動値を変更、または(入力として設定され  
ていれば)プルアップ抵抗を許可/禁止する時にも同じく適用されます。各出力緩衝部  
は高い吐き出し(ソース)と引き込み(シンク)の両能力で対称的な駆動特性を持ちます。  
このピン駆動部はLED(表示器)を直接駆動するのに十分な強さです。全てのポートピ  
ンは個別に選択可能な、供給電圧で抵抗値が変化しないプルアップ抵抗を持ってい  
ます。全てのI/Oピンは図10-1.で示されるようにVCCとGNDの両方に保護ダイオードが  
あります。各値の完全な一覧については108頁の「電気的特性」を参照してくださ  
い。

図10-1. 入出力ピン等価回路



本項内の全てのレジスタとビットの参照は一般形で記されます。小文字の'**x**'はポート番号文字、小文字の'**n**'はビット番号を表します。けれどもプログラム内でレジスタやビット定義に使用するとき、正確な形式(例えば、ここで一般に記されたPORTxnがポートBのビット3に対しては**PORTB3**)が使用されなければなりません。物理的なI/Oレジスタとビット位置は42頁の「I/Oポート用レジスタ」で一覧されます。

各々1つの出力レジスタ(**PORTx**)、方向レジスタ(**DDRx**)、入力レジスタ(**PINx**)の各ポートに対して、3つI/Oメモリアドレス位置が割り当てられます。入力レジスタのI/O位置は読むだけで、一方出力レジスタと方向レジスタは読み書き(両方)です。けれども**PINx**レジスタのビットへの論理1書き込みは、出力レジスタの対応ビット値を(1/0)反転する結果になります。加えてMCU制御レジスタ(MCUCR)のプルアップ禁止(**PUD**)ビットが設定(1)されると、全ポートで全ビットに対してプルアップ機能を禁止します。

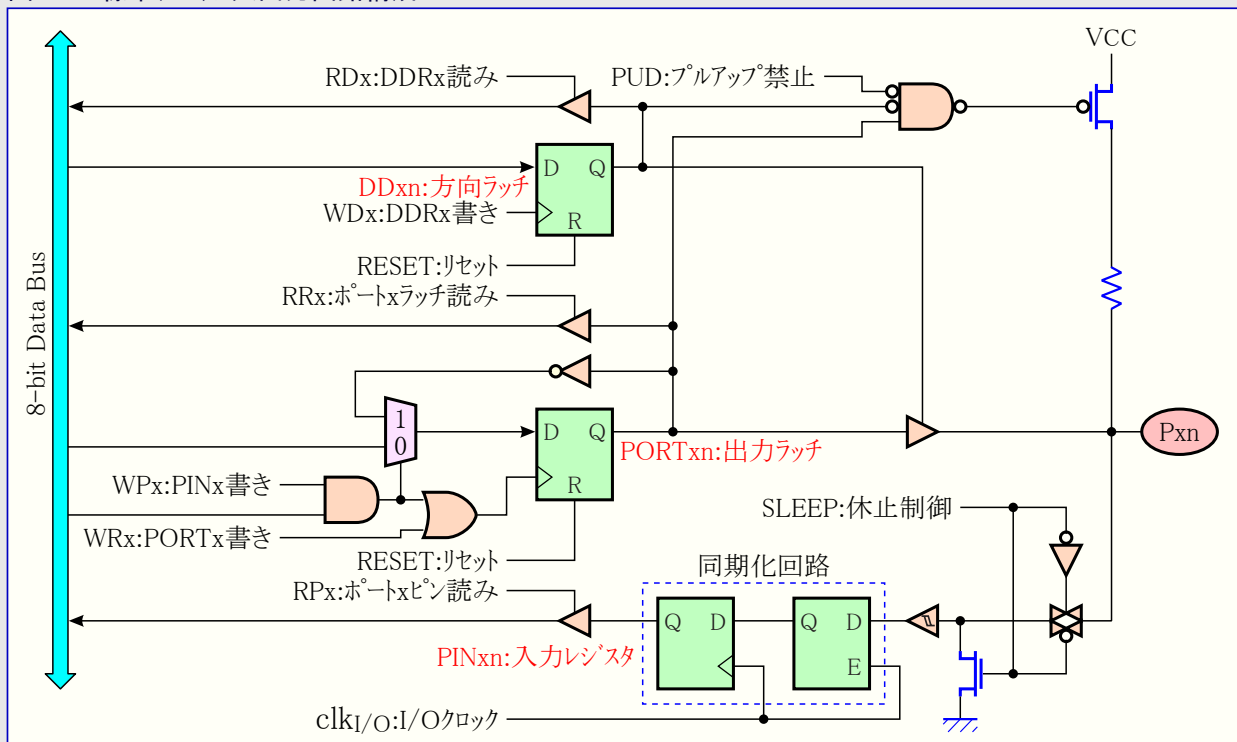
標準デジタルI/OとしてのI/Oポートの使用は次の「標準デジタル入出力としてのポート」で記述されます。多くのポートピンはデバイスの周辺機能用の交換機能と多重化されます。ポートピンとの各交換機能のインターフェース法は38頁の「交換ポート機能」で記述されます。交換機能の完全な記述については個別機能部項を参照してください。

ポートピンのいくつかの交換機能の許可は、そのポート内の他のピンの標準デジタル入出力としての使用に影響しないことに注意してください。

### 10.2. 標準デジタル入出力としてのポート

このポートは任意の内部プルアップ付き双方向I/Oポートです。図10-2.はここで属に**Pxn**と呼ばれるI/Oポートピンの1つの機能説明を示します。

図10-2. 標準デジタル入出力回路構成



注: WRx, WPx, WDx, RRx, RPx, RDxは同一ポート内の全ピンで共通です。  
clkI/O, SLEEP, PUDは全ポートで共通です。

10.2.1. ピンの設定

各ポートピンは3つのレジスタビット、DDxn、PORTxn、PINxnから成ります。42頁の「I/Oポート用レジスタ」で示されるように、DDxnビットはDDRx I/Oアドレス、PORTxnビットはPORTx I/Oアドレス、PINxnビットはPINx I/Oアドレスでアクセスされます。

DDRxレジスタ内のDDxnビットはそのピンの方向を選択します。DDxnが論理1を書かれるとPxnは出力ピンとして設定されます。DDxnが論理0を書かれるとPxnは入力ピンとして設定されます。

そのピンが入力ピンとして設定される時にPORTxnが論理1を書かれると、プルアップ抵抗が活性(有効)にされます。プルアップ抵抗をOFFに切り替えるにはPORTxnが論理0を書かれるか、またはそのピンが出力ピンとして設定されなければなりません。ポートピンは例えばクロックが動いていなくても、リセット条件が活性(有効)になるとHi-Zにされます。

そのピンが出力ピンとして設定される時にPORTxnが論理1を書かれると、そのポートピンはHigh(1)に駆動されます。そのピンが出力ピンとして設定される時にPORTxnが論理0を書かれると、そのポートピンはLow(0)に駆動されます。

10.2.2. ピンの出力交互切り替え

PINxnへの論理1書き込みはDDRxnの値に拘らず、PORTxnの値を反転切り替えます。SBI命令がポート内の1ビットの反転切り替えに使用できることに注目してください。

10.2.3. 入出力間の切り替え

Hi-Z入力(DDxn=0, PORTxn=0)とHigh出力(DDxn=1, PORTxn=1)間の切り替え時、プルアップ許可入力(DDxn=0, PORTxn=1)またはLow出力(DDxn=1, PORTxn=0)のどちらかの中間状態が生じるに違いありません。通常、ハイインピーダンス環境は強力なHigh(ソース)駆動部とプルアップ間の違いに気付かないので、プルアップが許可された状態は十分受け入れられます。この事例でないなら、全ポートの全プルアップを禁止するために、MCU制御レジスタ(MCUCR)のプルアップ禁止(PUD)ビットが設定(1)できます。

プルアップ入力とLow出力間の切り替えは同じ問題を発生します。使用者は中間状態としてHi-Z入力(DDxn=0, PORTxn=0)またはHigh出力(DDxn=1, PORTxn=1)のどちらかを使用しなければなりません。

表10-1. はピン値に対する制御信号の一覧を示します。

表10-1. ポートピンの設定					
DDxn	PORTxn	PUD (MCUCR)	入出力	プルアップ抵抗	備考
0	0	X	入力	なし	ハイインピーダンス (Hi-Z)
0	1	0	入力	あり	Pxnに外部からLowを入力するとソース電流が流れます。
0	1	1	入力	なし	ハイインピーダンス (Hi-Z)
1	0	X	出力	なし	Low (シンク)出力
1	1	X	出力	なし	High (ソース)出力

10.2.4. ピン値の読み込み

DDxn方向ビットの設定に関係なく、ポートピンはPINxnレジスタビットを通して読めます。図10-2.で示されるようにPINxnレジスタビットと先行するラッチは同期化回路を構成します。これは物理ピンが内部クロックのエッジ付近で値を変える場合の未定義状態(メタステーブル)を避けるために必要とされますが、それは遅延も持ち込みます。図10-3.は外部的に加えられたピン値を読む時の同期化タイミング図を示します。伝播遅延の最小と最大は各々tpd,minとtpd,maxで示されます。

(図10-3.で)システムクロックの最初の上昇端直後から始まるクロック周期を考察してください。このラッチはクロックがLowの時に閉じ、クロックがHighの時に同期ラッチ信号の斜線部分で示されるように通過(トランスペアレント)となります。この信号値はシステムクロックがLowになる時に保持(ラッチ)されます。それが続くクロックの上昇端でPINxnレジスタに取り込まれます。2つの矢印tpd,minとtpd,maxによって示されるように、ピン上の単一信号遷移は出現時点に依存して0.5~1.5システムクロック周期遅らされます。

ソフトウェアが指定したピン値を読み戻す時は、図10-4.で示されるようにNOP命令が挿入されなければなりません。OUT命令はシステムクロックの上昇端で同期ラッチを設定します。この場合、同期化回路を通過する遅延時間(tpd)は1システムクロック周期です。

図10-3. 外部供給ピン値読み込み時の同期化

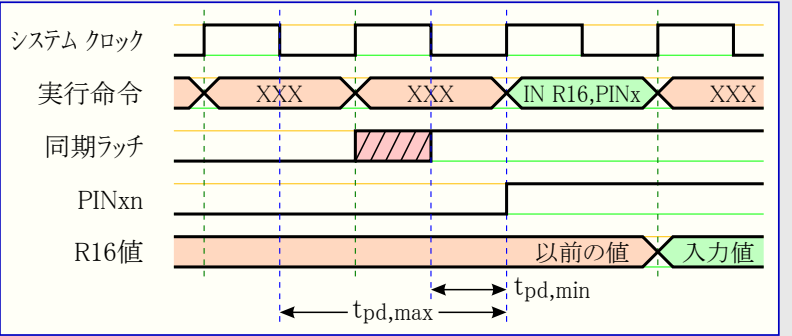
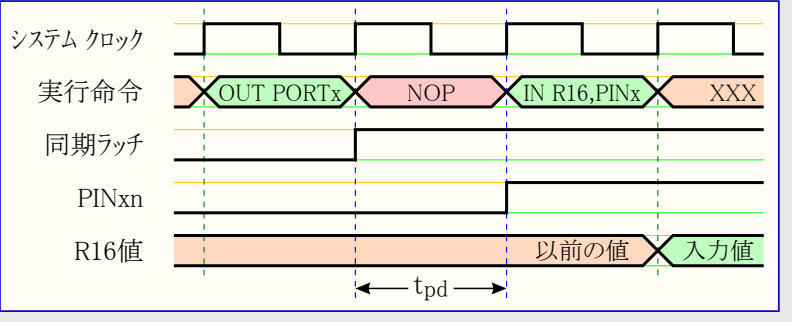


図10-4. プログラムで設定したピン値読み戻し時の同期化



次のコード例はポートBピンの0と1をHigh出力、2と3をLow出力、4をプルアップ指定として4と5を入力に設定する方法を示します。結果のピン値が再び読み戻されますが、前記で検討されたように、いくつかのピンへ直前に指定された値を読み戻すことができるようにNOP命令が挿入されます。

#### アセンブリ言語プログラム例

```

~
LDI    R16, (1<<PB4) | (1<<PB1) | (1<<PB0)      ;プルアップとHigh値を取得
LDI    R17, (1<<DDB3) | (1<<DDB2) | (1<<DDB1) | (1<<DDB0) ;出力ビット値を取得
OUT    PORTB, R16                                ;プルアップとHigh値を設定
OUT    DDRB, R17                                  ;入出力方向を設定
NOP                                           ;同期化遅延対処
IN     R16, PINB                                  ;ピン値読み戻し
~
;
```

#### C言語プログラム例

```

unsigned char i;
~
PORTB = (1<<PB4) | (1<<PB1) | (1<<PB0);          /* */
DDRB = (1<<DDB3) | (1<<DDB2) | (1<<DDB1) | (1<<DDB0); /* プルアップとHigh値を設定 */
__no_operation();                                /* 入出力方向を設定 */
i = PINB;                                         /* 同期化遅延対処 */
~
/* ピン値読み戻し */
/* */
```

**注:** アセンブリ言語プログラムについてはプルアップがピン0,1,4に設定されてから、ビット0と1の強力なHigh駆動部としての再定義、ビット2と3のLow駆動部としての定義、方向ビットが正しく設定されるまでの時間を最小とするために2つの一時レジスタが使用されます。

#### 10.2.5. デジタル入力許可と休止形態

図10-2.で示されるようにデジタル入力信号はシュミットトリガの入力をGNDにクランプできます。この図で**SLEEP**と印された信号は入力信号のいくつかが開放のまま、またはVCC/2付近のアナログ信号電圧を持つ場合の高消費電力を避けるため、**パワーダウン動作**でMCU休止制御器によって設定(1)されます。

**SLEEP**は外部割り込みピンとして許可されたポートピンに対しては無視されます。外部割り込み要求が許可されないなら、**SLEEP**は他のピンについてと同様に有効です。**SLEEP**は38頁の「**交換ポート機能**」で記載されるように様々な他の交換機能によっても無視されます。

外部割り込みが許可されていない”上昇端、下降端または論理変化(両端)割り込み”として設定された非同期外部割り込みピンに論理1が存在すると、上で言及した休止形態から(復帰)再開する時に、これらの休止形態に於けるクランプが要求された論理変化を生ずるので、対応する外部割り込み要求フラグが設定(1)されます。

#### 10.2.6. 未接続ピン

いくつかのピンが未使用にされる場合、それらのピンが定義されたレベルを持つのを保証することが推奨されます。例え上記のような深い休止形態で多くのデジタル入力が禁止されとしても、デジタル入力が許可される他の全ての動作(リセット、活動動作、アイドル動作)で消費電流削減のため、浮き状態入力は避けられるべきです。

未使用ピンの定義されたレベルを保証する最も簡単な方法は内部プルアップを許可することです。この場合、リセット中のプルアップは禁止されます。リセット中の低消費電力が重要なら、外部プルアップまたはプルダウンを使用することが推奨されます。未使用ピンを直接GNDまたはVCCに接続することは、ピンが偶然に出力として設定されると過電流を引き起こす可能性があるため推奨されません。



10.3. 交換ポート機能

多くのポートピンには標準デジタル入出力に加え交換機能があります。図10-5は単純化された図10-2.でのポートピン制御信号が交換機能によってどう重複できるかを示します。この重複信号は全てのポートピンに存在する訳ではありませんが、この図はAVR マイクロ コントローラ系統の全ポートピンに適用できる一般的な記述として取り扱います。

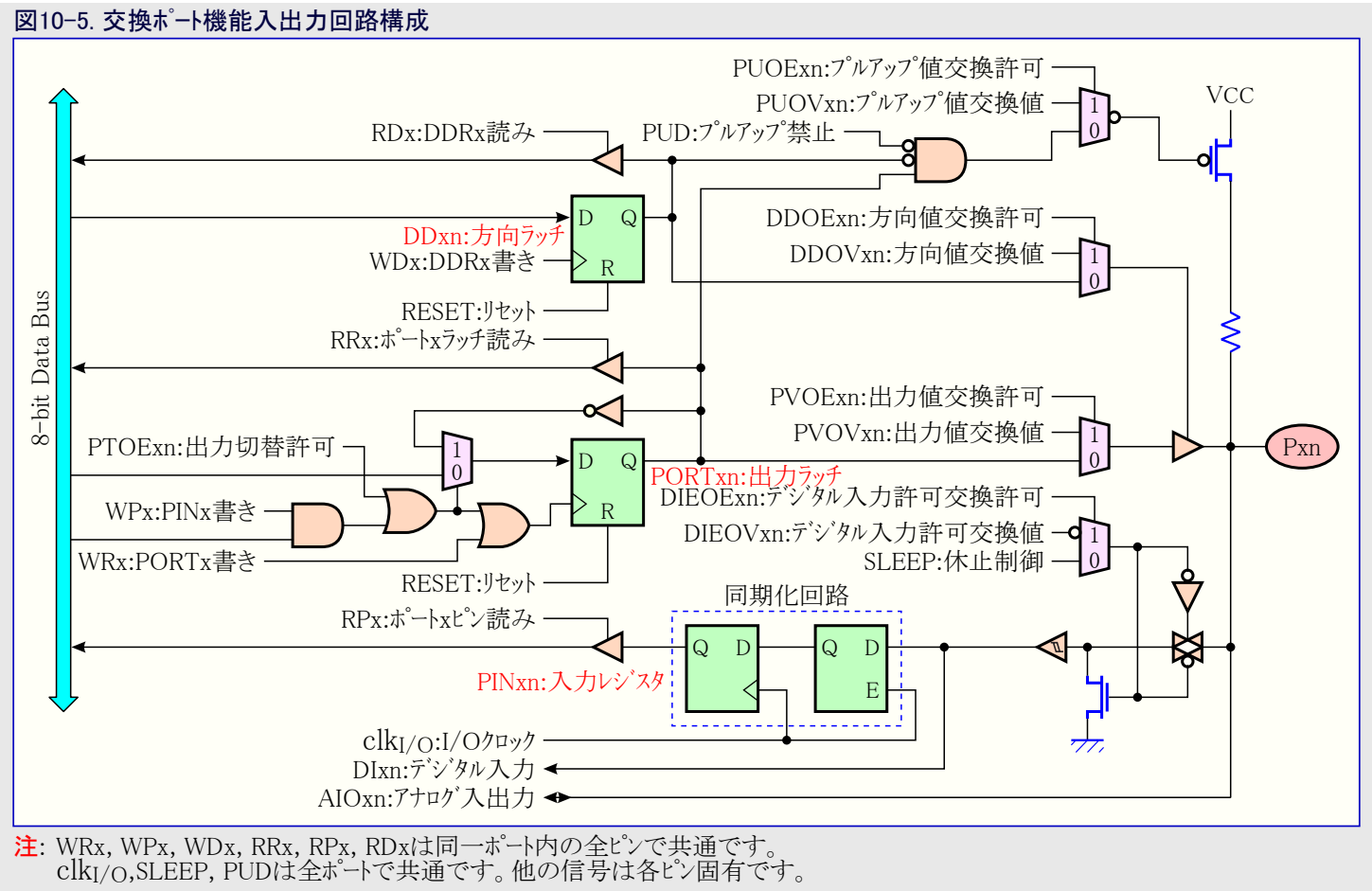


表10-2は重複(交換)信号の機能一覧を示します。図10-5.で示すピンとポートは次表で示されません。重複(交換)信号は交換機能を持つ機能部で内部的に生成されます。

表10-2. 交換機能用交換信号の一般定義		
信号略名	信号名	意味
PUOE	プルアップ値交換許可	1で、プルアップ許可はPUOV信号で制御され、0の場合、DDxn=0, PORTxn=1, PUD=0でプルアップが許可されます。
PUOV	プルアップ値交換値	PUOE=1時、DDxn, PORTxn, PUDの値に関係なく、プルアップの有(1)/無(0)を指定します。
DDOE	方向値交換許可	1で、出力駆動部はDDOV信号で制御され、0の場合、DDxnレジスタ値で制御されます。
DDOV	方向値交換値	DDOE=1時、DDxnレジスタ値に関係なく、出力駆動部のON(1)/OFF(0)を制御します。
PVOE	出力値交換許可	1で出力駆動部がONなら、ポート値はPVOV信号で制御されます。出力駆動部がONで0の場合、ポート値はPORTxnレジスタ値で制御されます。
PVOV	出力値交換値	PVOE=1時、PORTxnレジスタ値に関係なく、ポート値を制御(1/0)します。
PTOE	出力切替許可	PTOE=1時、PORTxnレジスタ値が反転します。
DIEOE	デジタル入力許可交換許可	1で、デジタル入力許可はDIEOV信号で制御され、0の場合、MCUの状態(活動動作、休止形態)によって決定されます。
OIEOV	デジタル入力許可交換値	DIEOE=1時、MCUの状態(活動動作、休止形態)に関係なく、デジタル入力を許可(1)/禁止(0)します。
DI	デジタル入力	交換機能用デジタル入力です。この信号は図上でシュミットトリガ出力に接続されていますが、これは同期化前となります。この信号はクロックとしての使用を除き、各交換機能自身が同期化します。
AIO	アナログ入出力	交換機能用アナログ入出力です。この信号はピンに直接接続され、双方向使用ができます。

次節は交換機能に関連する重複(交換)信号と各ポートの交換機能を簡単に記述します。更に先の詳細については交換機能の記述を参照してください。



### 10.3.1. ポートBの交換機能

ポートBピンの交換機能は表10-3.で示されます。

表10-3. ポートBピンの交換機能			
ポート ピン	交換機能	ポート ピン	交換機能
PB5	RESET (外部リセット入力)	PB1	MISO (SPI直列プログラミング データ入力)
	dW (デバッグWIRE入出力)		DO (3線動作USIデータ出力)
	ADC0 (A/D変換チャネル0入力)		OC0B (タイマ/カウンタ0比較B一致/PWM-B出力)
	PCINT5 (ピン変化割り込み5入力)		OC1A (タイマ/カウンタ1比較A一致/PWM-A非反転出力)
PB4	XTAL2 (システムクロック用発振増幅器出力)	PB0	AIN1 (アナログ比較器反転入力)
	CLKO (システムクロック出力)		PCINT1 (ピン変化割り込み1入力)
	OC1B (タイマ/カウンタ1比較B一致/PWM-B非反転出力)		
	ADC2 (A/D変換チャネル2入力)		
PB3	PCINT4 (ピン変化割り込み4入力)	PB0	MOSI (SPI直列プログラミング データ出力)
	XTAL1 (システムクロック用発振増幅器入力 または外部クロック信号入力)		DI (3線動作USIデータ入力)
	CLKI (外部システムクロック入力)		SDA (2線動作USI(TWI)データ入出力)
	OC1B (タイマ/カウンタ1比較B一致/PWM-B反転出力)		OC0A (タイマ/カウンタ0比較A一致/PWM-A出力)
PB2	ADC3 (A/D変換チャネル3入力)		OC1A (タイマ/カウンタ1比較A一致/PWM-A反転出力)
	PCINT3 (ピン変化割り込み3入力)		AIN0 (アナログ比較器非反転入力)
	SCK (SPI直列プログラミング クロック入力)		AREF (A/D変換外部基準電圧入力)
	USCK (3線動作USIクロック入出力)		PCINT0 (ピン変化割り込み0入力)
	SCL (2線動作USI(TWI)クロック入出力)		
	T0 (タイマ/カウンタ0 外部クロック入力)		
	INT0 (外部割り込み0入力)		
PB2	ADC1 (A/D変換チャネル1入力)		
	PCINT2 (ピン変化割り込み2入力)		

交換ピンの設定は次の通りです。

#### ● RESET/dW/ADC0/PCINT5 – ポートB ビット5 : PB5

**RESET** : 外部リセット入力はLow活性(有効)で、**RSTDISBL**ヒューズの非プログラム(1)により許可されます。このピンがRESETピンとして使用されると、プルアップが活性(有効)にされ、出力駆動部とデジタル入力は非活性(無効)にされます。

**dW** : デバッグWIRE許可(DWEN)ヒューズがプログラム(0)され、**施錠ビット**が非プログラム(1)にされると、対象デバイス内のデバッグWIREシステムが活性(有効)にされます。RESETポートピンはプルアップ許可のANDタイ(オープンドレイン)双方向I/Oピンとして設定され、対象デバイスとエミュレータ間の通信路になります。

**ADC0** : A/D変換器チャネル0入力。

**PCINT5** : ピン変化割り込み元5入力。

#### ● XTAL2/CLKO/OC1B/ADC2/PCINT4 – ポートB ビット4 : PB4

**XTAL2** : システムクロック発振器ピン2。内部RC発振器、外部クロック、PLLクロックを除いて、全てのチップクロック元用クロックピンとして使用されます。クロックピンとして使用されると、このピンはI/Oピンとして使用できません。チップクロック元として内蔵校正可能RC発振器、外部クロック、またはPLLクロックを使用すると、PB4は通常のI/Oピンとして取り扱います。

**CLKO** : システムクロック出力。分周したシステムクロックはPB4ピンに出力できます。分周したシステムクロックは**CKOUT**ヒューズがプログラム(0)されると、**PORTB4**と**DDRB4**設定に拘らず、出力されます。これはリセット中にも出力されます。

**OC1B** : タイマ/カウンタ1の比較B一致出力。PB4ピンは出力として設定(**DDRB4=1**)される時にタイマ/カウンタ1の比較B一致用外部出力として扱えます。このOC1BピンはPWM動作出力ピンでもあります。

**ADC2** : A/D変換器チャネル2入力。

**PCINT4** : ピン変化割り込み元4入力。

#### ● XTAL1/CLKI/OC1B/ADC3/PCINT3 – ポートB ビット3 : PB3

**XTAL1** : システムクロック発振器ピン1。内部RC発振器、PLLクロックを除く全てのチップクロック元用クロックピンとして使用されます。クロックピンとして使用されると、このピンはI/Oピンとして使用できません。

**CLKI** : 外部クロック元からのクロック入力、17頁の「外部クロック信号」をご覧ください。

**OC1B** : タイマ/カウンタ1の比較B一致反転出力。PB3ピンは出力として設定(**DDRB3=1**)される時にタイマ/カウンタ1の比較B一致用外部出力として扱えます。このOC1BピンはPWM動作出力反転出力ピンでもあります。

**ADC3** : A/D変換器チャネル3入力。

**PCINT3** : ピン変化割り込み元3入力。

● SCK/USCK/SCL/T0/INT0/ADC1/PCINT2 – ポートB ビット2 : PB2

SCK : SPI直列プログラミング用クロック入力。ソフトウェアからは利用できません。

USCK : 3線動作USIのクロック入出力。

SCL : 2線動作USI(TWI)のクロック入出力。

T0 : タイマ/カウンタ0外部クロック入力はタイマ/カウンタ0制御レジスタB(TCCR0B)のCS02とCS01ビットを設定(1)することによって許可されます。

INT0 : 外部割り込み0入力。PB2ピンはMCUへの外部割り込み元として扱えます。

ADC1 : A/D変換器チャネル1入力。

PCINT2 : ピン変化割り込み元2入力。

● MISO/DO/OC0B/OC1A/AIN1/PCINT1 – ポートB ビット1 : PB1

MISO : SPI直列プログラミング用データ入力。ソフトウェアからは利用できません。

DO : 3線動作USIのデータ出力。データ出力(DO)はPORTB1値を無効にし、データ方向(DDB1)ビットが設定(1)されると、ポートが駆動されます。けれどもPORTB1ビットは未だプルアップを制御し、方向が入力でPORTB1が設定(1)されるならプルアップを許可します。

OC0B : タイマ/カウンタ0の比較B一致出力。PB1ピンはタイマ/カウンタ0の比較B一致用外部出力として扱えます。この機能を扱うため、このピンは出力として設定(DDB1=1)されなければなりません。このOC0Bピンはタイマ機能のPWM動作用出力ピンでもあります。

OC1A : タイマ/カウンタ1の比較A一致出力。PB1ピンは出力として設定(DDB1=1)される時にタイマ/カウンタ1の比較A一致用外部出力として扱えます。このOC1AピンはPWM動作用出力ピンでもあります。

AIN1 : アナログ比較器の反転入力。アナログ比較器の機能を妨げるデジタルポート機能を避けるため、内部プルアップをOFFにした入力としてポートピンを設定してください。

PCINT1 : ピン変化割り込み元1入力。

● MOSI/DI/SDA/OC0A/OC1A/AIN0/AREF/PCINT0 – ポートB ビット0 : PB0

MISO : SPI直列プログラミング用データ出力。ソフトウェアからは利用できません。

DI : 3線動作USIのデータ入力。3線動作USIは標準ポート機能を無効にしませんので、ピンはDI機能用入力として設定しなければなりません。

SDA : 2線動作USIのデータ入出力(オープンドレイン出力)。直列データピンは双方向でオープンドレイン出力を使用します。SDAピンは出力としてこのピンを設定することによって許可されます。このピンはDDB0が設定(1)されるとき、PORTB0またはUSIシフトレジスタ(出力)が0の時にLowへ引き込まれます。プルアップは2線動作USIで禁止されます。

OC0A : タイマ/カウンタ0の比較A一致出力。PB0ピンは出力として設定(DDB0=1)される時にタイマ/カウンタ0の比較A一致用外部出力として扱えます。このOC0AピンはPWM動作用出力ピンでもあります。

OC1A : タイマ/カウンタ1の比較A一致出力。PB0ピンは出力として設定(DDB0=1)される時にタイマ/カウンタ1の比較A一致用外部出力として扱えます。このOC1AピンはPWM動作用反転出力ピンでもあります。

AIN0 : アナログ比較器の非反転入力。アナログ比較器の機能を妨げるデジタルポート機能を避けるため、内部プルアップをOFFにした入力としてポートピンを設定してください。

AREF : A/D変換用外部基準電圧。このピンが外部基準電圧またはAREFピンでの外部コンデンサとの内部基準電圧(1.1V)として使用されると、プルアップと出力駆動部はPB0で禁止されます。

PCINT0 : ピン変化割り込み元0入力。

表10-4.と表10-5.はポートBの交換機能を38頁の図10-5.で示される交換信号に関連付けます。

表10-4. ポートB5～3の交換機能用交換信号

信号名	PB5/RESET/ADC0/PCINT5	PB4/XTAL2/OC1B/ADC2/PCINT4	PB3/XTAL1/OC1B/ADC3/PCINT3
PUOE	RSTDISBL・DWEN	0	0
PUOV	1	0	0
DDOE	RSTDISBL・DWEN	0	0
DDOV	デバッグWIRE送信	0	0
PVOE	0	OC1B許可	OC1B許可
PVOV	0	OC1B	OC1B
PTOE	0	0	0
DIEOE	RSTDISBL+(PCINT5・PCIE+ADC0D)	PCINT4・PCIE+ADC2D	PCINT3・PCIE+ADC3D
DIEOV	ADC0D	ADC2D	ADC3D
DI	PCINT5入力	PCINT4入力	PCINT3入力
AIO	リセット入力/ADC0入力	ADC2入力	ADC3入力

注: RSTDISBLとDWENはプログラム(0)時が1です。

表10-5. ポートB2～0の交換機能用交換信号

信号名	PB2/SCK/USCK/SCL/T0/INT0/ADC1/PCINT2	PB1/MISO/DO/OC0B/OC1A/AIN1/PCINT1	PB0/MOSI/DI/SDA/OC0A/OC1A/AIN0/AREF/PCINT0
PUOE	2線USI	0	2線USI
PUOV	0	0	0
DDOE	2線USI	0	2線USI
DDOV	(SCL保持+PORTB2)+DDB2	0	(SDA+PORTB0)・DDB0
PVOE	2線USI・DDB2	OC0B許可+3線USI	OC0A許可+OC1A許可+(2線USI・DDB0)
PVOV	0	OC0B+OC1A+DO	OC0A+OC1A
PTOE	USITC	0	0
DIEOE	(PCINT2・PCIE)+ADC1D+USISIE	(PCINT1・PCIE)+ADC1D	(PCINT0・PCIE)+ADC0D+USISIE
DIEOV	ADC1D	AIN1D	AIN0D
DI	USCK/SCL/T0/INT0/PCINT2入力	PCINT1入力	DI/SDA/PCINT0入力
AIO	ADC1入力	アナログ比較器反転入力	アナログ比較器非反転入力

## 10.4. I/Oポート用レジスタ

### 10.4.1. MCUCR – MCU制御レジスタ (MCU Control Register)

ビット	7	6	5	4	3	2	1	0	
\$35 (\$55)	BODS	PUD	SE	SM1	SM0	BODSE	ISC01	ISC00	MCUCR
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

#### ● ビット4 – PUD : プルアップ禁止 (Pull-up Disable)

このビットが1を書かれると、例えばDDxnとPORTxnレジスタがプルアップを許可(DDxn=0, PORTxn=1)に設定されていても、I/Oポートのプルアップは禁止されます。この特徴についてより多くの詳細に関しては36頁の「[ピンの設定](#)」をご覧ください。

### 10.4.2. PORTB – ポートB出力レジスタ (Port B Data Register)

ビット	7	6	5	4	3	2	1	0	
\$18 (\$38)	–	–	PORTB5	PORTB4	PORTB3	PORTB2	PORTB1	PORTB0	PORTB
Read/Write	R	R	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

### 10.4.3. DDRB – ポートB方向レジスタ (Port B Data Direction Register)

ビット	7	6	5	4	3	2	1	0	
\$17 (\$37)	–	–	DDB5	DDB4	DDB3	DDB2	DDB1	DDB0	DDRB
Read/Write	R	R	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

### 10.4.4. PINB – ポートB入力レジスタ (Port B Input Address)

ビット	7	6	5	4	3	2	1	0	
\$16 (\$36)	–	–	PINB5	PINB4	PINB3	PINB2	PINB1	PINB0	PINB
Read/Write	R	R	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	不定	不定	不定	不定	不定	不定	

## 11. 8ビット タイマ/カウンタ0 (PWM付き)

### 11.1. 特徴

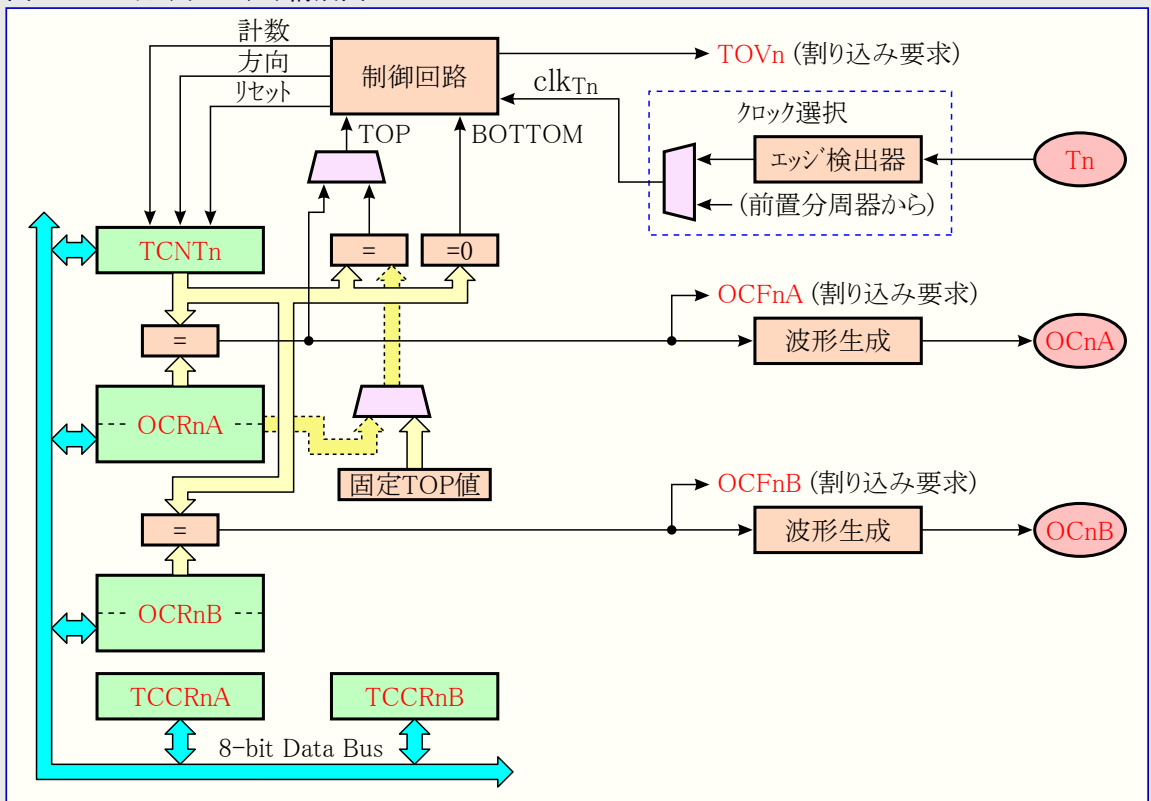
- 2つの独立した比較出力部
- 2重緩衝の比較レジスタ
- 比較一致でのタイマ/カウンタ解除 (自動再設定)
- 不具合なしで正しい位相のパルス幅変調器 (PWM)
- 可変PWM周期
- 周波数発生器
- 3つの独立した割り込み (TOV0, OCF0A, OCF0B)

### 11.2. 概要

タイマ/カウンタ0は2つの独立した比較出力部とPWM支援付きの汎用8ビット タイマ/カウンタ部です。それは正確なプログラム実行タイミング(事象管理)、波形生成を許します。

この8ビット タイマ/カウンタの簡略化した構成図は図11-1で示されます。I/Oピンの実際の配置については2ページの「ピン配置」を参照してください。CPUがアクセス可能な(I/OビットとI/Oピンを含む)I/Oレジスタは赤文字(訳注:原文は太字)で示されます。デバイス仕様のI/Oレジスタとビット位置は51ページの「8ビット タイマ/カウンタ用レジスタ」で一覧されます。

図11-1. 8ビット タイマ/カウンタ構成図



#### 11.2.1. 関係レジスタ

タイマ/カウンタ(TCNT0)と比較レジスタ(OCR0AとOCR0B)は8ビットのレジスタです。割り込み要求信号はタイマ/カウンタ割り込み要求レジスタ(TIFR)で全て見えます。全ての割り込みはタイマ/カウンタ割り込み許可レジスタ(TIMSK)で個別に遮蔽(禁止)されます。TIFRとTIMSKは本図で示されません。

このタイマ/カウンタは内部的、前置分周器経由、またはT0ピンの外部クロック元によってクロック駆動されます。クロック選択論理部はタイマ/カウンタが値を増加(または減少)するために使用するクロック元を制御します。クロック元が選択されないとき、タイマ/カウンタは動きません。クロック選択論理部からの出力はタイマ/カウンタクロック(clkT0)として参照されます。

2重緩衝化された比較レジスタ(OCR0AとOCR0B)はタイマ/カウンタ値と常に比較されます。この比較結果は比較出力(OC0AとOC0B)ピンでPWMまたは可変周波数出力を作成するための波形生成器によって使用できます。詳細については45ページの「比較出力部」をご覧ください。この比較一致発生は比較一致割り込み要求の発生に使用できる比較一致割り込み要求フラグ(OCF0AとOCF0B)も設定(1)します。



11.2.2. 定義

本項でのレジスタとビット参照の多くは一般形で書かれます。小文字の'n'はタイマ/カウンタ番号、この場合は0で置き換えます。小文字のxは比較出力部のチャンネル名を表し、この場合はAまたはBです。然しながらプログラムでレジスタまたはビット定義に使用する時は正確な形式が使用されなければなりません(例えばタイマ/カウンタ0のカウンタ値のアクセスに対してのTCNT0のように)。

表11-1.の定義は本資料を通して広範囲に渡って使用されます。

用語	意味
BOTTOM	タイマ/カウンタが\$00に到達した時。
MAX	タイマ/カウンタが\$FF(255)に到達した時。
TOP	タイマ/カウンタが指定された固定値(\$FF)またはOCR0A値に到達した時。この指定(TOP)値は動作種別に依存します。

11.3. タイマ/カウンタ0の前置分周器とクロック元

このタイマ/カウンタは内部または外部のクロック元によってクロック駆動できます。このクロック元はタイマ/カウンタ0制御レジスタB(TCCR0B)に配置されたクロック選択(CS02~0)ビットによって制御されるクロック選択論理回路によって選択されます。

11.3.1. 前置分周器での内部クロック元

タイマ/カウンタ0はシステム クロック(CSn2~0=001設定)によって直接的にクロック駆動できます。これはシステム クロック周波数(f<sub>clk\_I/O</sub>)と等しいタイマ/カウンタ最大クロック周波数での最高速動作を提供します。選択で前置分周器からの4つのタップの1つがクロック元として使用できます。この前置分周したクロックはf<sub>clk\_I/O</sub>/8, f<sub>clk\_I/O</sub>/64, f<sub>clk\_I/O</sub>/256, f<sub>clk\_I/O</sub>/1024の何れかの周波数です。

11.3.2. 前置分周器リセット

この前置分周器は自由走行です(換言するとタイマ/カウンタ0のクロック選択論理回路と無関係に動作します)。前置分周器はタイマ/カウンタのクロック選択によって影響を及ぼされないため、前置分周器の状態は前置分周したクロックが使用される状況に対して密接に関係します。タイマ/カウンタが許可され、前置分周器によってクロック駆動される(CSn2~0=5~2)とき、前置分周加工の一例が生じます。タイマ/カウンタが許可される時から最初の計数が起きるまでのシステム クロック周期数はNが前置分周値(8,64,256,1024)とすると、1~N+1 システム クロック周期になり得ます。

プログラム実行にタイマ/カウンタを同期することに対して前置分周器リセットを使用することが可能です。

11.3.3. 外部クロック元

T0ピンに印加した外部クロック元はタイマ/カウンタ クロック(f<sub>clk\_T0</sub>)として使用できます。このT0ピンはピン同期化論理回路によって全システム クロック周期に1回採取されます。この同期化(採取)された信号はその後にエッジ検出器を通して通過されます。図11-2.はT0同期化とエッジ検出器論理回路の機能等価構成図を示します。レジスタは内部システム クロック(f<sub>clk\_I/O</sub>)の上昇端でクロック駆動されます。ラッチは内部システム クロックのHigh区間で通過(Low区間で保持)です。

エッジ検出器は上昇端(CSn2~0=111)または下降端(CSn2~0=110)の検出毎に1つのclk<sub>T0</sub>パルスを生成します。

同期化とエッジ検出器論理回路はT0ピンへ印加したエッジから計数器が更新されるまでに2.5~3.5システム クロック周期の遅延をもたらします。

クロック入力の許可と禁止はT0が最低1システム クロック周期に対して安定してしまっている時に行われなければならない、さもなければ不正なタイマ/カウンタ クロック パルスが生成される危険があります。

印加された外部クロックの各半周期は正しい採取を保証するために1システム クロック周期より長くなければなりません。この外部クロックは50%/50%デューティ比で与えられるものとして、システム クロック周波数の半分未満(f<sub>EXTclk</sub><f<sub>clk\_I/O</sub>/2)であることが保証されなければなりません。エッジ検出器が採取を使用するために、検出できる外部クロックの最大周波数は採取周波数の半分です(ナイキストの標本化定理)。然しながら、発振元(クリスタル発振子、セラミック振動子、コンデンサ)公差によって引き起こされたシステム クロック周波数やデューティ比の変動のため、外部クロック元の最大周波数はf<sub>clk\_I/O</sub>/2.5未満が推奨されます。

外部クロック元は前置分周できません。

図11-2. T0ピンの採取等価構成図

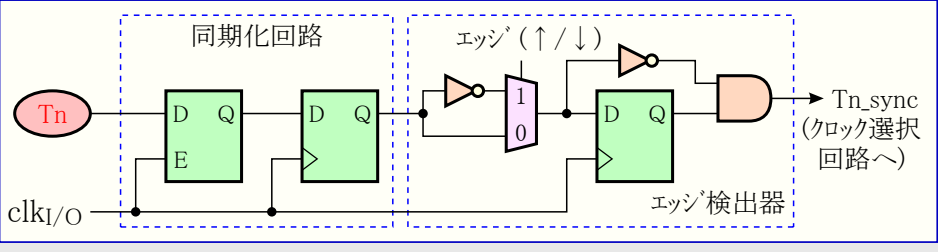
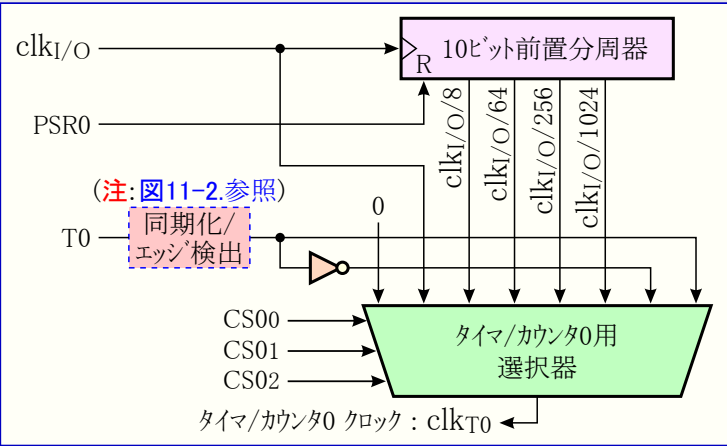
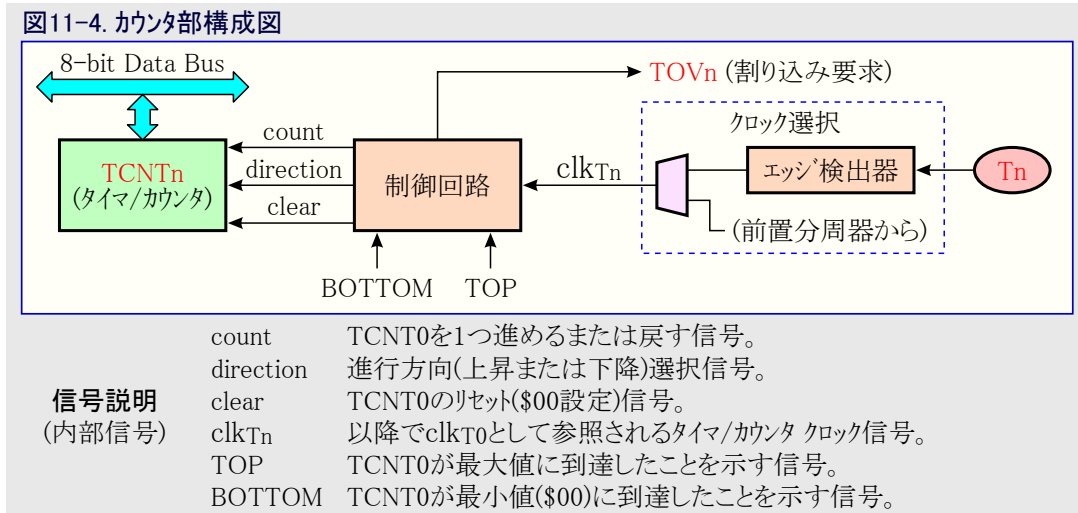


図11-3. タイマ/カウンタ0の前置分周器部構成図



## 11.4. 計数器部

8ビット タイマ/カウンタの主な部分は設定可能な双方向カウンタ部です。図11-4は、このカウンタとその周辺環境の構成図を示します。



使用した動作種別に依存して、カウンタは各タイマ/カウンタ クロック(clkT0)で解除(\$00)、増加(+1)、または減少(-1)されます。clkT0はクロック選択(CS02~0)ビットによって選択された内部または外部のクロック元から生成できます。クロック元が選択されない(CS02~0=000)とき、タイマ/カウンタは停止されます。けれどもTCNT0値はタイマ/カウンタ クロック(clkT0)が存在するしないに拘らず、CPUによってアクセスできます。CPU書き込みは全てのカウンタ解除や計数動作を無視します(上位優先順位を持ちます)。

計数順序(方法)はタイマ/カウンタ0制御レジスタA(TCCR0A)に配置された波形生成種別(WGM01,0)ビットとタイマ/カウンタ0制御レジスタB(TCCR0B)に配置された波形生成種別(WGM02)ビットの設定によって決定されます。これらはカウンタ動作(計数)方法とOC0A/OC0B比較出力に生成される方法間の接続に近いものです。進化した計数順序と波形生成についてより多くの詳細に関しては47頁の「動作種別」をご覧ください。

タイマ/カウンタ溢れ(TOV0)フラグはWGM02~0ビットによって選択された動作種別に従って設定(1)されます。TOV0はCPU割り込み発生に使用できます。

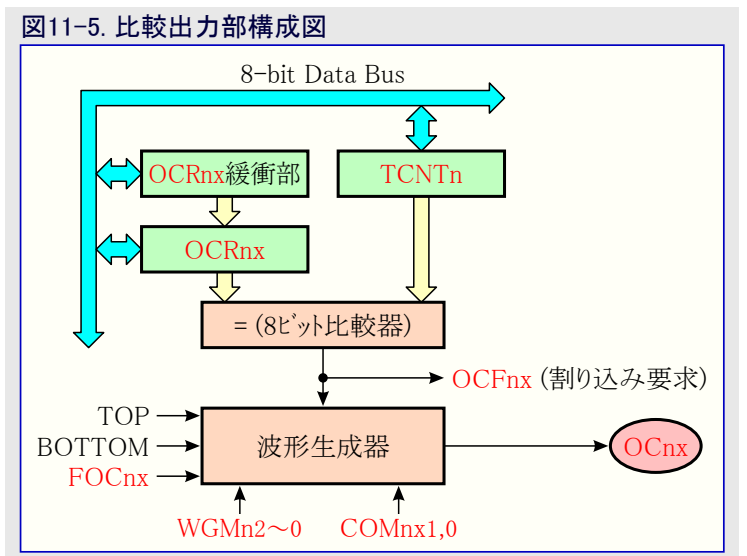
## 11.5. 比較出力部

この8ビット比較器はTCNT0と比較レジスタ(OCR0AとOCR0B)を継続的に比較します。TCNT0がOCR0AまたはOCR0Bと等しければ比較器は一致を指示します。この一致は次のタイマ/カウンタ クロック周期で比較割り込み要求フラグ(OCF0AまたはOCF0B)を設定(1)します。対応する割り込みが許可(I=1, OCIE0AまたはOCIE0B=1)されているならば、その比較割り込み要求フラグは比較割り込みを発生します。比較割り込み要求フラグは割り込みが実行されると自動的に解除(0)されます。代わりにこのフラグはこのI/Oビット位置に論理1を書くことによってソフトウェアでも解除(0)できます。波形生成器は波形生成種別(WGM02~0)ビットと比較出力選択(COM0x1,0)ビットによって設定された動作種別に従った出力を生成するのにこの一致信号を使用します。MAXとBOTTOM信号は動作種別(47頁の「動作種別」参照)のいくつかで両端値の特別な場合を扱うため、波形生成器によって使用されます。

図11-5は比較出力部の構成図を示します。

OCR0xはパルス幅変調(PWM)のどれかを使用する時に2重緩衝化されます。標準動作と比較一致タイマ/カウンタ解除(CTC)動作については2重緩衝動作が禁止されます。2重緩衝動作は計数の流れのTOPまたはBOTTOMのどちらかに対してOCR0xレジスタの更新を同期化します。この同期化は奇数長、非対称PWMパルスの発生を防ぎ、それによって不具合なしの出力を作成します。

OCR0xのアクセスは複雑なように思えますが決してそんなことはありません。2重緩衝動作が許可されるとCPUはOCR0x緩衝部をアクセスし、禁止されるとOCR0xレジスタを直接アクセスします。



(訳注) ここでは比較nxレジスタ全体をOCR0x、OCR0xを構成する緩衝部分をOCR0x緩衝部、実際の比較に使用されるレジスタ本体部分をOCR0xレジスタとして記述しています。他の部分での記述でも特に必要がある場合はこの記述方法を適用します。

### 11.5.1. 強制比較出力

非PWM波形生成動作での比較器の一致出力は、**強制変更(FOC0x)ビット**に1を書くことによって強制(変更)できます。比較一致の強制は**比較割り込み要求フラグ(OCF0x)**の設定(1)やタイマ/カウンタの再設定/解除を行いませんが、OC0xピンは実際の比較一致が起きた場合と同様に更新されます(**COM0x1,0ビット**設定がOC0xピンの設定(1)、解除(0)、1/0交互のどちらかを定義)。

### 11.5.2. TCNT0書き込みによる比較一致妨害

TCNT0への全てのCPU書き込みは、例えばタイマ/カウンタが停止されていても、次のタイマ/カウンタクロック周期で起こるどんな比較一致をも妨げます。この特質はタイマ/カウンタクロックが許可されている時に割り込みを起動することなく、TCNT0と同じ値に初期化されることをOCR0xに許します。

### 11.5.3. 比較一致部の使用

どの動作種別でのTCNT0書き込みでも1タイマ/カウンタクロック周期間、全ての比較一致を妨げるため、タイマ/カウンタが走行中であるか否かに拘らず、比較出力部を使用する場合、TCNT0を変更する時に危険を伴います。TCNT0に書かれた値がOCR0x値と同じ場合に比較一致は失われ(一致が発生せず)、不正な波形生成に終わります。同様にタイマ/カウンタが下降計数のとき、BOTTOMに等しいTCNT0値を書き込むことはできません。

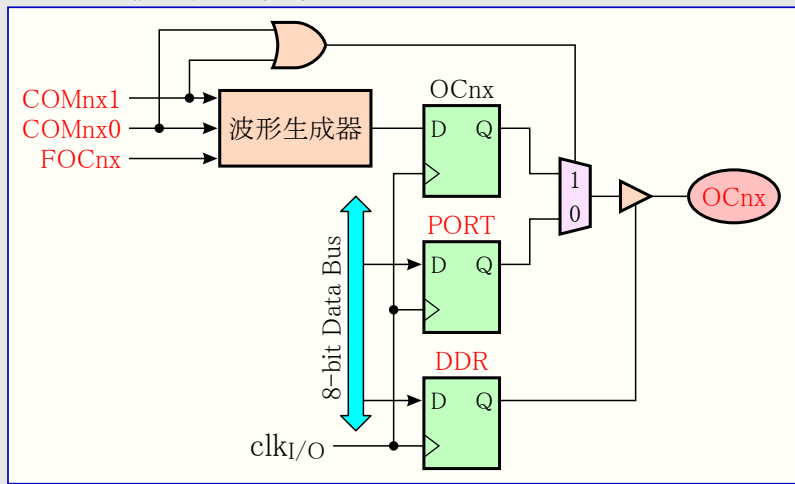
OC0xの初期設定はポートピンに対するポート方向レジスタを出力に設定する前に行われるべきです。OC0x値を設定する一番簡単な方法は標準動作で**強制変更(FOC0x)ストローブビット**を使用することです。波形生成動作種別間を変更する時でも、OC0x(内部)レジスタはその値を保ちます。

**比較出力選択(COM0x1,0)ビット**が比較値(OCR0x)と共に2重緩衝されないことに気付いてください。COM0x1,0ビットの変更は直ちに有効となります。

## 11.6. 比較一致出力部

**比較出力選択(COM0x1,0)ビット**は2つの機能を持ちます。波形生成器は次の比較一致での比較出力(OC0x)状態の定義にCOM0x1,0ビットを使用します。またCOM0x1,0ビットはOC0xピン出力元を制御します。**図11-6**はCOM0x1,0ビット設定によって影響を及ぼされる論理回路の簡略化した図を示します。図のI/Oレジスタ、I/Oビット、I/Oピンは**赤字(訳注:原文は太字)**で示されます。COM0x1,0ビットによって影響を及ぼされる標準I/Oポート制御レジスタ(PORTとDDR)の部分だけが示されます。**OC0xの状態**を参照するとき、その参照はOC0xピンでなく内部OC0xレジスタに対してです。システムリセットが起ると、OC0xレジスタは'0'にリセットされます。

図11-6. 比較一致出力回路図



COM0x1,0ビットのどちらかが設定(1)されると、標準I/Oポート機能は波形生成器からの比較出力(OC0x)によって無効にされます。けれどもOC0xピンの方向(入出力)はポートピンに対するポート方向レジスタ(DDR)によって未だ制御されます。OC0xピンに対するポート方向レジスタのビット(DDR\_OC0x)はOC0x値がピンで見えるのに先立って出力として設定されなければなりません。このポートの交換機能は波形生成種別と無関係です。

比較出力ピン論理回路の設計は出力が許可される前のOC0x状態の初期化を許します。いくつかのCOM0x1,0ビット設定が或る種の動作種別に対して予約されることに注意してください。**51頁の「8ビットタイマ/カウンタ用レジスタ」**をご覧ください。

### 11.6.1. 比較一致出力選択と波形生成

波形生成器は標準、CTC、PWM動作でCOM0x1,0ビットを違うふうに使います。全ての動作種別に対してCOM0x1,0=00設定は次の比較一致で実行すべきOC0xレジスタの動きがないことを波形生成器へ告げます。非PWM動作での比較出力動作については**51頁の表11-2**を参照してください。高速PWM動作については**51頁の表11-3**、位相基準PWMについては**51頁の表11-4**を参照してください。

COM0x1,0ビットの状態変更はこのビットが書かれた後の最初の比較一致で有効になります。非PWM動作について、この動作は**強制変更(FOC0x)ストローブビット**を使用することによって直ちに効果を得ることを強制できます。



## 11.7. 動作種別

動作種別、換言するとタイマ/カウンタと比較出力ピンの動作は波形生成種別(WGM02~0)ビットと比較出力選択(COM0x1,0)ビットの組み合わせによって定義されます。比較出力選択ビットは計数順序(動作)に影響を及ぼしませんが、一方波形生成種別ビットは影響を及ぼします。COM0x1,0ビットは生成されるPWM出力が反転されるべきか、されないべきか(反転または非反転PWM)どちらかを制御します。非PWM動作に対するCOM0x1,0ビットは比較一致で出力が解除(0)、設定(1)、1/0交互のどれにされるべきかを制御します(46頁の「比較一致出力部」をご覧ください)。

タイミング情報の詳細については50頁の「タイマ/カウンタ0のタイミング」を参照してください。(訳注:原書の図番号省略)

### 11.7.1. 標準動作

最も単純な動作種別が標準動作(WGM02~0=000)です。この動作種別での計数方向は常に上昇(+)で、カウンタ解除は実行されません。カウンタは8ビット最大値(TOP=\$FF)を通過すると単に範囲を超え、そして\$00(BOTTOM)から再び始めます。通常動作でのタイマ/カウンタ溢れ(TOV0)フラグはTCNT0が\$00になる時と同じタイマ/カウンタクロック周期で設定(1)されます。この場合のTOV0フラグは設定(1)のみで解除(0)されないことを除いて第9ビットのようになります。けれどもTOV0フラグを自動的に解除(0)するタイマ/カウンタ溢れ割り込みと組み合わせたタイマ/カウンタの分解能はソフトウェアによって増やせます。標準動作での考慮に特別な場合はなく、新しいカウンタ値は何時でも書けます。

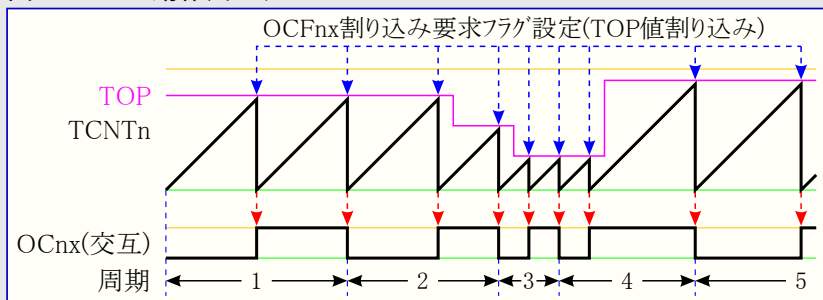
比較出力部は与えられた或る時間に割り込みを生成するのに使用できます。標準動作で波形を生成するのに比較出力を使用するのは、それが大変多くのCPU時間を占有するため推奨されません。

### 11.7.2. 比較一致タイマ/カウンタ解除(CTC)動作

比較一致タイマ/カウンタ解除(CTC)動作(WGM02~0=010)ではOCR0Aがカウンタの分解能を操作するのに使用されます。CTC動作ではカウンタ(TCNT0)値がOCR0Aと一致すると、カウンタは\$00に解除されます。OCR0Aはカウンタに対するTOP値、従って分解能も定義します。この動作種別はより大きい比較一致出力周波数の制御を許します。それは外部の出来事の計数操作も簡単にします。

CTC動作についてのタイミング図は図11-7.で示されます。カウンタ(TCNT0)値はTCNT0とOCR0A間で比較一致が起こるまで増加し、そしてその後にカウンタ(TCNT0)は解除(\$00)されます。

図11-7. CTC動作タイミング



注: COMnx1,0=01

OCF0Aフラグを使用することにより、タイマ/カウンタ値がTOP値に達する時毎に割り込みが生成できます。割り込みが許可されるなら、割り込み処理ルーチンはTOP値を更新するのに使用できます。けれども前置分周なしまたは低い前置分周値でカウンタが走行している時にBOTTOMと近い値にTOPを変更することは、CTC動作が2重緩衝機能を持たないために注意して行わなければなりません。OCR0Aに書かれた新しい値がTCNT0の現在値よりも低い(小さい)場合、タイマ/カウンタは(その回の)比較一致を失います。その後のカウンタは比較一致が起こるのに先立って最大値(\$FF)へ、そして次に\$00から始める計数をしなければならないでしょう。

CTC動作で波形出力を生成するため、OC0A出力は比較出力選択(COM0A1,0)ビットを交互動作(=01)に設定することによって各比較一致での論理レベル交互切り替えに設定できます。OC0A値はそのピンに対するデータ方向が出力(DDR\_OC0A=1)に設定されない限りポートピンで見えないでしょう。生成された波形はOCR0Aが0(\$00)に設定される時に $f_{OC0A} = f_{clk\_I/O} / 2$ の最大周波数を得ます。生成波形周波数は次式によって定義されます。

$$f_{OCnx} = \frac{f_{clk\_I/O}}{2 \times N \times (1 + OCRnx)}$$

変数Nは前置分周数(1,8,64,256,1024)を表します。

標準動作と同じように、タイマ/カウンタ溢れ(TOV0)フラグはカウンタがMAXから\$00へ計数するのと同じタイマ/カウンタクロック周期で設定(1)されます。

### 11.7.3. 高速PWM動作

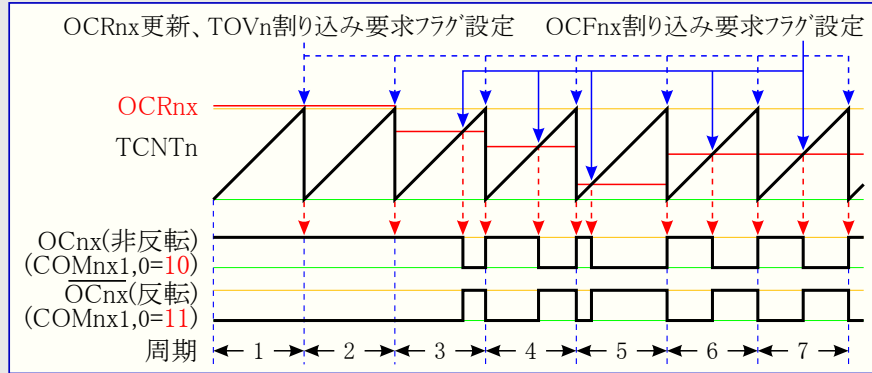
高速パルス幅変調(PWM)動作(WGM02~0=011または111)は高周波数PWM波形生成選択を提供します。高速PWMはそれが単一傾斜(鋸波)動作であることによって他のPWM動作と異なります。カウンタはBOTTOMからTOPまで計数し、その後BOTTOMから再び始めます。TOPはWGM02~0=011時に\$FF、WGM02~0=111時にOCR0Aとして定義されます。

非反転比較出力動作(COM0x1,0=10)での比較出力(OC0x)はTCNT0とOCR0x間の比較一致で解除(0)され、BOTTOMで設定(1)されます。反転出力動作(COM0x1,0=11)の出力は比較一致で設定(1)され、BOTTOMで解除(0)されます。

この単一傾斜動作のため、高速PWM動作の動作周波数は、両傾斜(三角波)動作を使用する位相基準PWM動作よりも2倍高くできます。この高い周波数は電力調節、整流、D/A変換に対して高速PWM動作を都合よく適合させます。高い周波数は物理的に小さな外部部品(コイルやコンデンサ)を許し、従ってシステム総費用を削減します。

高速PWM動作でのタイマ/カウンタはタイマ/カウンタ値がTOP値と一致するまで増加されます。そしてタイマ/カウンタは(一致の)次のタイマ/カウンタクロック周期で解除(\$00)されます。高速PWM動作のタイミング図は図11-8.で示されます。TCNT0値はタイミング図で単一傾斜動作(鋸波)を表す折れ線グラフとして示されます。この図は非反転と反転のPWM出力を含みます。赤細線はOCR0x値を示し、TCNT0値との交点(接点)がTCNT0とOCR0x間の比較一致を示します(訳注:図補正に伴い本行若干変更)。比較割り込み要求フラグ(OCF0x)はOCR0x=TOPを除いて比較一致が起こると設定(1)されます(訳注:共通性のため本行追加)。

図11-8. 高速PWM動作タイミング



タイマ/カウンタ溢れ(TOV0)フラグはカウンタがTOPに到達する時毎に設定(1)されます。割り込みが許可されるなら、その割り込み処理ルーチンは比較値を更新するのに使用できます。

高速PWM動作での比較部はOC0xピンでのPWM波形の生成を許します。COM0x1,0ビットの'10'設定は非反転PWM出力を作成し、反転PWM出力はCOM0x1,0を'11'に設定することで生成できます。WGM02ビットが設定(1)ならば、COM0A1,0ビットの'01'設定は比較一致での交互反転をOC0Aピンに許します。この任意選択はOC0Bピンに対して利用できません(51頁の表11-3.をご覧ください)。実際のOC0x値はポートピンに対するデータ方向(DDR\_OC0x)が出力として設定される場合だけ見えるでしょう。PWM波形はTCNT0とOCR0x間の比較一致で、OC0x(内部)レジスタを設定(1)(または解除(0))と、カウンタが解除(\$00,TOPからBOTTOMへ変更)されるタイマ/カウンタクロック周期でOC0xレジスタを解除(0)または設定(1)することによって生成されます。

PWM出力周波数は次式によって計算できます。

$$f_{OCnxPWM} = \frac{f_{clk\_I/O}}{N \times (1+TOP)}$$

変数Nは前置分周数(1,8,64,256,1024)を表します。

OCR0xの両端値は高速PWM動作でPWM波形出力を生成する時の特別な場合に当たります。OCR0xがBOTTOM(\$00)と等しく設定されると、出力はTOP+1 タイマ/カウンタクロック周期毎の狭いスパイク(パルス)になるでしょう。OCR0xがTOPに等しく設定されると、(COM0x1,0ビットによって設定される出力極性に依存して)定常的なLowまたはHigh出力に終わるでしょう。

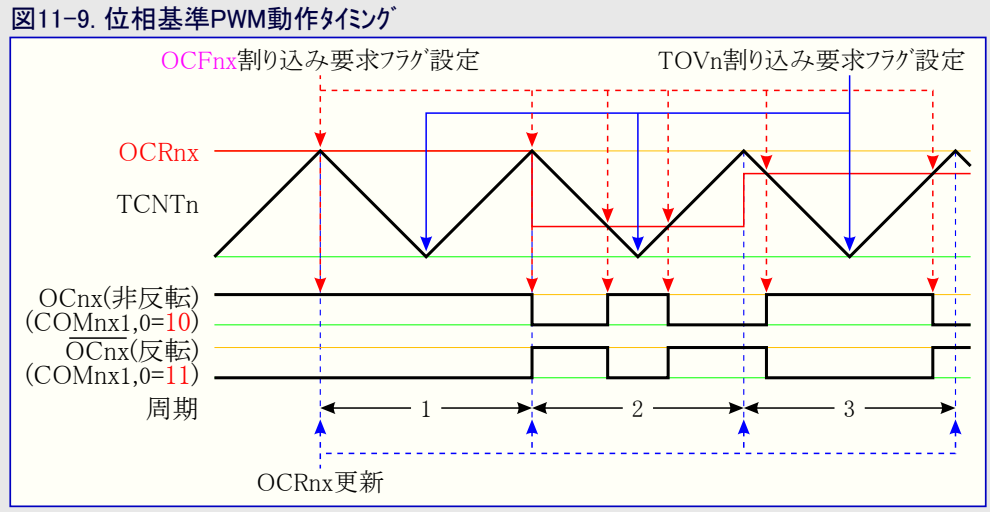
(訳補:WGM02~0=111の場合については、)高速PWM動作での(デューティ比50%)周波数の波形出力は比較一致毎に論理反転するOC0A設定(COM0A1,0=01)によって達成できます。生成された波形はOCR0Aが0(\$00)に設定される時に $f_{OC0x} = f_{clk\_I/O} / 2$ の最大周波数でしょう。この特性は高速PWM動作で比較出力部の2重緩衝機能が許可されることを除いて、CTC動作でのOC0A交互出力(COM0A1,0=01)と同じです。



#### 11.7.4. 位相基準PWM動作

位相基準パルス幅変調(PWM)動作(WGM02~0=001または101)は高分解能で正しい位相のPWM波形生成選択を提供します。位相基準PWM動作は両傾斜(三角波)動作を基準とします。カウンタはBOTTOMからTOPへそして次にTOPからBOTTOMへを繰り返し計数します。TOPはWGM02~0=001時に\$FF、WGM02~0=101時にOCR0Aとして定義されます。非反転比較出力動作(COM0x1,0=10)での比較出力(OC0x)は上昇計数中のTCNT0とOCR0xの比較一致で解除(0)され、下降計数中の比較一致で設定(1)されます。反転出力動作(COM0x1,0=11)での動作は逆にされます。両傾斜(三角波)動作は単一傾斜(鋸波)動作よりも低い最大動作周波数になります。けれども両傾斜(三角波)動作の対称特性のため、これらの動作種別はモータ制御の応用に好まれます。

位相基準PWM動作でのカウンタはカウンタ値がTOPと一致するまで増加されます。カウンタはTOPに達すると計数方向を変更します。このTCNT0値は1タイマ/カウンタクロック周期間TOPと等しくなります。位相基準PWM動作のタイミング図は図11-9.で示されます。TCNT0値はタイミング図で両傾斜動作(三角波)を表す折れ線グラフとして示されます。この図は非反転と反転のPWM出力を含みます。細い赤線はOCR0x値を示し、TCNT0値との交点(接点)がTCNT0とOCR0x間の比較一致を示します(訳注:図補正に伴い本行若干変更)。



タイマ/カウンタ溢れ(TOV0)フラグはタイマ/カウンタがBOTTOMに到達する時毎に設定(1)されます。この割り込み要求フラグはカウンタがBOTTOM値に到達する毎に割り込みを発生するために使用できます。

位相基準PWM動作での比較部はOC0xピンでのPWM波形の生成を許します。COM0x1,0ビットを'10'に設定することは非反転PWM出力を作成し、反転PWM出力はCOM0x1,0ビットを'11'に設定することで生成できます。WGM02ビットが設定(1)なら、COM0A1,0ビットの'01'設定は比較一致での交互反転をOC0Aピンに許します。この任意選択はOC0Bピンに対して利用できません(51頁の表11-4.をご覧ください)。実際のOC0x値はそのポートピンに対するデータ方向(DDR\_OC0x)が出力として設定される場合だけ見えるでしょう。PWM波形はカウンタが増加する時のTCNT0とOCR0x間の比較一致でOC0x(内部)レジスタを設定(1)(または解除(0))と、カウンタが減少する時のTCNT0とOCR0x間の比較一致でOC0xレジスタを解除(0)(または設定(1))によって生成されます。位相基準PWMを使用する時の出力に対するPWM周波数は次式によって計算できます。

$$f_{OCnxPCPWM} = \frac{f_{clk\_I/O}}{2 \times N \times TOP}$$

変数Nは前置分周数(1,8,64,256,1024)を表します。

OCR0xの両端値は位相基準PWM動作でPWM波形出力を生成する時の特別な場合に当たります。非反転PWM動作ではOCR0xがBOTTOM(\$00)に等しく設定されると出力は定常的なLow、TOPに等しく設定されると定常的なHighになるでしょう。反転PWMに対する出力は逆の論理値になります。

図11-9.の第2周期のその出発点に於いて、例えば比較一致がないとしても、OCnxにはHighからLowへの遷移があります。この遷移点はBOTTOMを挟む対称を保証するためです。比較一致なしに遷移を生ずるのは次のように2つの場合です。

- 図11-9.のようにOCR0xはTOPからその値を変更します。OCR0x値がTOPのとき、OCnxピン値は下降計数での比較一致の結果と同じです(訳補: L→H、直前がHのため、常にH)。BOTTOMを挟む対称を保証するため、(変更直後の)TOP(位置)でのOCnx値は上昇計数での比較一致の結果(H→L)と一致しなければなりません。
- タイマ/カウンタがOCR0x値よりも高い値から数え始め、そしてその理屈のために比較一致、それ故上昇途中で起こされるであろうOCnxの変更を逃します。(訳補: 従って上記同様、TOP位置で(直前がHならば)H→L遷移が生じます。)

## 11.8. タイマ/カウンタのタイミング

このタイマ/カウンタは同期設計で、従って以下の図でタイマ/カウンタクロック( $\text{clk}_{T0}$ )がクロック許可信号として示されます。この図は割り込みフラグが設定(1)される時の情報を含みます。図11-10.は基本的なタイマ/カウンタ動作についてのタイミング データを含みます。この図は位相基準PWM動作以外の全ての動作種別でのMAX値近辺の計数の流れを示します。

図11-10. 前置分周なし( $1/1$ )のタイマ/カウンタ タイミング

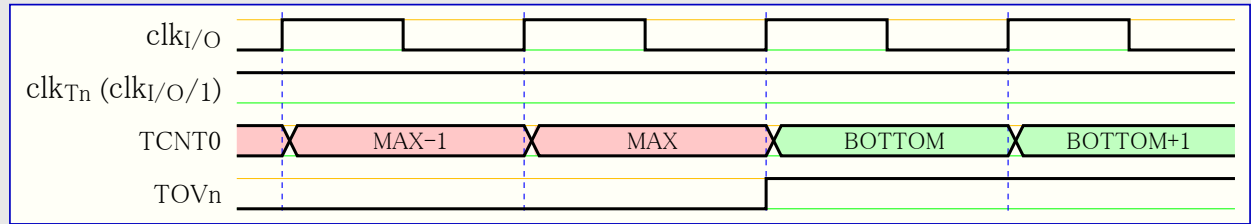


図11-11.は同じタイミング データを示しますが、前置分周器が許可されています。

図11-11. 前置分周器( $f_{\text{clk}_{I/O}/8}$ )のタイマ/カウンタ タイミング

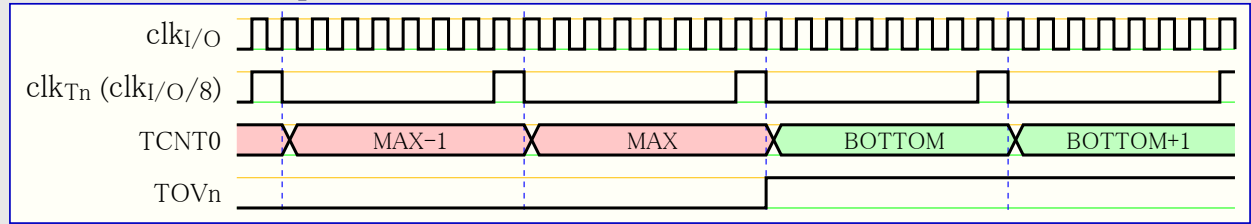


図11-12.はCTC動作とOCR0AがTOPのPWM動作を除く全動作種別でのOCF0Aと全動作種別でのOCF0Bの設定を示します。

図11-12. 前置分周器( $f_{\text{clk}_{I/O}/8}$ )のタイマ/カウンタ、OCF0x設定 タイミング

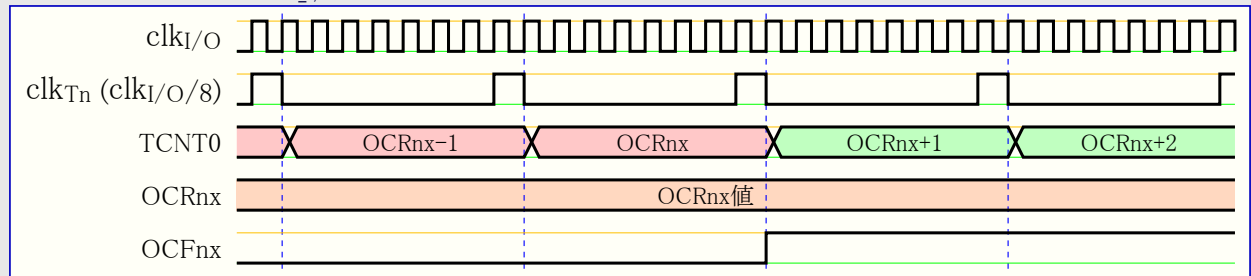
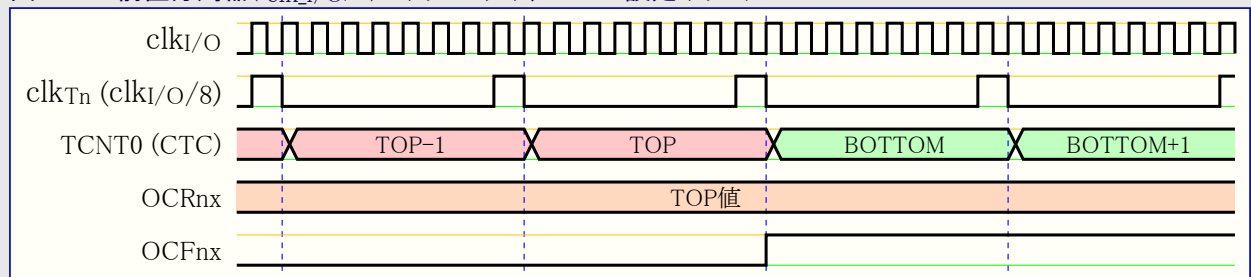


図11-13.はOCR0AがTOPの高速PWM動作と、CTC動作でのTCNT0の解除とOCF0Aの設定を示します。

図11-13. 前置分周器( $f_{\text{clk}_{I/O}/8}$ )のタイマ/カウンタ、OCF0A設定 タイミング



11.9. 8ビット タイマ/カウンタ0用レジスタ

11.9.1. GTCCR – 一般タイマ/カウンタ制御レジスタ (General Timer/Counter Control Register)

ビット	7	6	5	4	3	2	1	0	
\$2C (\$4C)	TSM	PWM1B	COM1B1	COM1B0	FOC1B	FOC1A	PSR1	PSR0	GTCCR
Read/Write	R/W	R/W	R/W	R/W	W	W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

●ビット7 – TSM : タイマ/カウンタ同時動作 (Timer/Counter Synchronization Mode)

TSMビットに1を書くことはタイマ/カウンタ同期化動作を活性(有効)にします。この動作でPSR0へ書かれる値は保持され、従って対応する前置分周器リセット信号の有効を保持します。これは対応するタイマ/カウンタを停止し、設定中に進行する危険なしに設定できることを保証します。TSMビットが0を書かれると、PSR0ビットはハードウェアによって解除(0)され、同時にタイマ/カウンタが計数を始めます。

●ビット0 – PSR0 : タイマ/カウンタ0 前置分周器リセット (Prescaler Reset Timer/Counter 0)

このビットが1の時にタイマ/カウンタ0の前置分周器はリセットします。TSMビットが設定(1)されている場合を除き、通常、このビットはハードウェアによって直ちに解除(0)されます。

11.9.2. TCCR0A – タイマ/カウンタ0制御レジスタA (Timer/Counter0 Control Register A)

ビット	7	6	5	4	3	2	1	0	
\$2A (\$4A)	COM0A1	COM0A0	COM0B1	COM0B0	–	–	WGM01	WGM00	TCCR0A
Read/Write	R/W	R/W	R/W	R/W	R	R	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

●ビット7,6 – COM0A1,0 : 比較A出力選択 (Compare Match A Output Mode bit 1 and 0)

●ビット5,4 – COM0B1,0 : 比較B出力選択 (Compare Match B Output Mode bit 1 and 0)

COM0A1,0とCOM0B1,0ビットは、各々OC0AとOC0B比較出力ピンの動きを制御します。COM0A1,0ビットの何れかが設定(1)されると、OC0A出力はそのI/Oピンの標準ポート機能を無効にし、そのI/Oピンに接続されます。同様に、COM0B1,0ビットの何れかが設定(1)されると、OC0B出力はそのI/Oピンの標準ポート機能を無効にし、そのI/Oピンに接続されます。けれども、出力駆動部を許可するために、OC0AとOC0Bピンに対応するポート方向レジスタ(DDR)のビットが設定(1)されなければならないことに注意してください。

OC0A/OC0Bがピンに接続されるとき、COM0A1,0/COM0B1,0ビットの機能はWGM02~0ビット設定に依存します。

表11-2.はWGM02~0ビットが標準動作またはCTC動作(つまりPWM以外)に設定される時のCOM0x1,0ビット機能を示します。

表11-3.はWGM02~0ビットが高速PWM動作に設定される時のCOM0x1,0ビットの機能を示します。

表11-4.はWGM02~0ビットが位相基準PWM動作に設定される時のCOM0x1,0ビットの機能を示します。

表11-2. 非PWM動作比較x出力選択 (x=AまたはB)

COM0x1	COM0x0	意味
0	0	標準ポート動作 (OC0x切断)
0	1	比較一致でOC0xピントグル(交互)出力
1	0	比較一致でOC0xピン Lowレベル出力
1	1	比較一致でOC0xピン Highレベル出力

表11-4. 位相基準PWM動作比較x出力選択 (x=AまたはB)

COM0x1	COM0x0	意味
0	0	標準ポート動作 (OC0x切断)
0	1	WGM02=0 : 標準ポート動作 (OC0x切断) WGM02=1 : 比較一致でOC0xピントグル(交互)出力
1	0	上昇計数時の比較一致でLow、下降計数時の比較一致でHighをOC0xピンへ出力
1	1	上昇計数時の比較一致でHigh、下降計数時の比較一致でLowをOC0xピンへ出力

注: COM0x1が設定(1)され、OCR0xがTOPと等しい時に特別な状態が起きます。この状態での比較一致は無視されますが、TOPでの設定(1)や解除(0)は行われます。より多くの詳細については49頁の「位相基準PWM動作」をご覧ください。

表11-3. 高速PWM動作比較x出力選択 (x=AまたはB)

COM0x1	COM0x0	意味
0	0	標準ポート動作 (OC0x切断)
0	1	WGM02=0 : 標準ポート動作 (OC0x切断) WGM02=1 : 比較一致でOC0xピントグル(交互)出力
1	0	比較一致でLow、BOTTOMでHighをOC0xピンへ出力 (非反転動作)
1	1	比較一致でHigh、BOTTOMでLowをOC0xピンへ出力 (反転動作)

注: COM0x1が設定(1)され、OCR0xがTOPと等しい時に特別な状態が起きます。この状態での比較一致は無視されますが、BOTTOMでの設定(1)や解除(0)は行われます。より多くの詳細については48頁の「高速PWM動作」をご覧ください。

●ビット3,2 – Res : 予約 (Reserved)

これらのビットは予約されており、常に0として読まれます。

●ビット1,0 – WGM01,0 : 波形生成種別 (Waveform Generation Mode bit 1 and 0)

タイマ/カウンタ制御レジスタB(TCCR0B)で得られるWGM02ビットと組み合わせたこれらのビットはカウンタの計数順序(方向)、最大カウンタ(TOP)値の供給元、使用されるべき波形生成のどの形式かを制御します(表11-5参照)。タイマ/カウンタ部によって支援される動作種別は標準動作(カウンタ)、比較一致タイマ/カウンタ解除(CTC)動作と2形式のパルス幅変調(PWM)動作です。47頁の「動作種別」をご覧ください。

表11-5. 波形生成種別選択							
番号	WGM02	WGM01	WGM00	タイマ/カウンタ動作種別	TOP値	OCR0x更新時	TOV0設定時
0	0	0	0	標準動作	\$FF	即時	MAX
1	0	0	1	8ビット位相基準PWM動作	\$FF	TOP	BOTTOM
2	0	1	0	比較一致タイマ/カウンタ解除(CTC)動作	OCR0A	即時	MAX
3	0	1	1	8ビット高速PWM動作	\$FF	BOTTOM	MAX
4	1	0	0	(予約)	–	–	–
5	1	0	1	位相基準PWM動作	OCR0A	TOP	BOTTOM
6	1	1	0	(予約)	–	–	–
7	1	1	1	高速PWM動作	OCR0A	BOTTOM	TOP

注: MAX=\$FF、BOTTOM=\$00です。

11.9.3. TCCR0B – タイマ/カウンタ0制御レジスタB (Timer/Counter0 Control Register B)

ビット	7	6	5	4	3	2	1	0	
\$33 (\$53)	FOC0A	FOC0B	–	–	WGM02	CS02	CS01	CS00	TCCR0B
Read/Write	W	W	R	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

●ビット7 – FOC0A : OC0A強制変更 (Force Output Compare A)

FOC0AビットはWGM02～0ビットが非PWM動作を指示する時だけ有効です。

けれども将来のデバイスとの共通性を保証するため、PWM動作で扱う時にTCCR0Bが書かれる場合、このビットは0に設定されなければなりません。FOC0Aビットに論理1を書くと、波形生成部で直ちに比較一致が強制されます。OC0A出力はCOM0A1,0ビット設定に従って変更されます。FOC0Aビットがスロープとして実行されることに注意してください。従って強制した比較の効果を決めるのはCOM0A1,0ビットに存在する値です。

FOC0Aスロープは何れの割り込みの生成もTOPとしてOCR0Aを使用する比較一致タイマ解除(CTC)動作でのタイマ/カウンタの解除(\$00)も行いません。

FOC0Aビットは常に0として読まれます。

●ビット6 – FOC0B : OC0B強制変更 (Force Output Compare B)

FOC0BビットはWGM02～0ビットが非PWM動作を指示する時だけ有効です。

けれども将来のデバイスとの共通性を保証するため、PWM動作で扱う時にTCCR0Bが書かれる場合、このビットは0に設定されなければなりません。FOC0Bビットに論理1を書くと、波形生成部で直ちに比較一致が強制されます。OC0B出力はCOM0B1,0ビット設定に従って変更されます。FOC0Bビットがスロープとして実行されることに注意してください。従って強制した比較の効果を決めるのはCOM0B1,0ビットに存在する値です。

FOC0Bスロープは何れの割り込みの生成も行いません。

FOC0Bビットは常に0として読まれます。

●ビット5,4 – Res : 予約 (Reserved)

これらのビットは予約されており、常に0として読まれます。

●ビット3 – WGM02 : 波形生成種別 (Waveform Generation Mode bit 2)

51頁の「TCCR0A – タイマ/カウンタ制御レジスタA」のWGM01,0ビット記述をご覧ください。

● ビット2~0 – CS02~0 : クロック選択0 (Clock Select0, bit 2,1 and 0)

この3つのクロック選択ビットはタイマ/カウンタ(TCNT0)によって使用されるクロック元を選択します。

表11-6. タイマ/カウンタ0入力クロック選択

CS02	CS01	CS00	意味
0	0	0	停止 (タイマ/カウンタ0動作停止)
0	0	1	clkI/O (前置分周なし)
0	1	0	clkI/O/8 (8分周)
0	1	1	clkI/O/64 (64分周)
1	0	0	clkI/O/256 (256分周)
1	0	1	clkI/O/1024 (1024分周)
1	1	0	T0ピンの下降端 (外部クロック)
1	1	1	T0ピンの上昇端 (外部クロック)

外部ピン(クロック)動作がタイマ/カウンタ0に対して使用される場合、例えばT0ピンが出力として設定されても、T0ピンの遷移はカウンタをクロック駆動します。この特徴がソフトウェアに計数制御を許します。

#### 11.9.4. TCNT0 – タイマ/カウンタ0 (Timer/Counter0)

ビット	7	6	5	4	3	2	1	0	
\$32 (\$52)	(MSB)							(LSB)	TCNT0
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

このタイマ/カウンタレジスタは読み書き両方の操作について、タイマ/カウンタ部の8ビットカウンタに直接アクセスします。TCNT0への書き込みは次のタイマ/カウンタクロックでの比較一致を妨害(除去)します。カウンタが走行中にカウンタ(TCNT0)を変更することはTCNT0とOCR0x間の比較一致消失の危険を誘発します。

#### 11.9.5. OCR0A – タイマ/カウンタ0 比較Aレジスタ (Timer/Counter0 Output Compare A Register)

ビット	7	6	5	4	3	2	1	0	
\$29 (\$49)	(MSB)							(LSB)	OCR0A
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

この比較レジスタは継続的にカウンタ(TCNT0)値と比較される8ビットの値を含みます。一致は比較一致割り込みやOC0Aピンでの波形出力を生成するのに使用できます。

#### 11.9.6. OCR0B – タイマ/カウンタ0 比較Bレジスタ (Timer/Counter0 Output Compare B Register)

ビット	7	6	5	4	3	2	1	0	
\$28 (\$48)	(MSB)							(LSB)	OCR0B
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

この比較レジスタは継続的にカウンタ(TCNT0)値と比較される8ビットの値を含みます。一致は比較一致割り込みやOC0Bピンでの波形出力を生成するのに使用できます。



### 11.9.7. TIMSK – タイマ/カウンタ割り込み許可レジスタ (Timer/Counter Interrupt Mask Register)

ビット	7	6	5	4	3	2	1	0	
\$39 (\$59)	–	OCIE1A	OCIE1B	OCIE0A	OCIE0B	TOIE1	TOIE0	–	TIMSK
Read/Write	R	R/W	R/W	R/W	R/W	R/W	R/W	R	
初期値	0	0	0	0	0	0	0	0	

#### ● ビット7,0 – Res : 予約 (Reserved)

これらのビットは予約されており、常に0として読まれます。

#### ● ビット4 – OCIE0A : タイマ/カウンタ0比較A割り込み許可 (Timer/Counter0 Output Compare Match A Interrupt Enable)

OCIE0Aビットが1を書かれ、ステータスレジスタ(SREG)の全割り込み許可(I)ビットが設定(1)されると、タイマ/カウンタ0比較A一致割り込みが許可されます。タイマ/カウンタ0で比較A一致が起こる、換言するとタイマ/カウンタ割り込み要求フラグレジスタ(TIFR)で比較A割り込み要求フラグ(OCF0A)が設定(1)されると、対応する割り込みが実行されます。

#### ● ビット3 – OCIE0B : タイマ/カウンタ0比較B割り込み許可 (Timer/Counter0 Output Compare Match B Interrupt Enable)

OCIE0Bビットが1を書かれ、ステータスレジスタ(SREG)の全割り込み許可(I)ビットが設定(1)されると、タイマ/カウンタ0比較B一致割り込みが許可されます。タイマ/カウンタ0で比較B一致が起こる、換言するとタイマ/カウンタ割り込み要求フラグレジスタ(TIFR)で比較B割り込み要求フラグ(OCF0B)が設定(1)されると、対応する割り込みが実行されます。

#### ● ビット1 – TOIE0 : タイマ/カウンタ0溢れ割り込み許可 (Timer/Counter0 Overflow Interrupt Enable)

TOIE0ビットが1を書かれ、ステータスレジスタ(SREG)の全割り込み許可(I)ビットが設定(1)されると、タイマ/カウンタ0溢れ割り込みが許可されます。タイマ/カウンタ0溢れが起こる、換言するとタイマ/カウンタ割り込み要求フラグレジスタ(TIFR)でタイマ/カウンタ0溢れ割り込み要求(TOV0)フラグが設定(1)されると、対応する割り込みが実行されます。

### 11.9.8. TIFR – タイマ/カウンタ割り込み要求フラグレジスタ (Timer/Counter Interrupt Flag Register)

ビット	7	6	5	4	3	2	1	0	
\$38 (\$58)	–	OCF1A	OCF1B	OCF0A	OCF0B	TOV1	TOV0	–	TIFR
Read/Write	R	R/W	R/W	R/W	R/W	R/W	R/W	R	
初期値	0	0	0	0	0	0	0	0	

#### ● ビット7,0 – Res : 予約 (Reserved)

これらのビットは予約されており、常に0として読まれます。

#### ● ビット4 – OCF0A : タイマ/カウンタ0比較A割り込み要求フラグ (Timer/Counter0, Output Compare A Match Flag)

OCF0Aビットは比較一致がタイマ/カウンタ(TCNT0)と比較レジスタ(OCR0A)間で起こる時に設定(1)されます。対応する割り込み処理ベクタを実行すると、OCF0Aはハードウェアによって解除(0)されます。代わりにこのフラグへ論理1を書くことによってもOCF0Aは解除(0)されます。ステータスレジスタ(SREG)の全割り込み許可(I)ビット、タイマ/カウンタ割り込み許可レジスタ(TIMSK)のタイマ/カウンタ0比較A一致割り込み許可(OCIE0A)ビット、OCF0Aが設定(1)されると、タイマ/カウンタ0比較A一致割り込みが実行されます。

#### ● ビット3 – OCF0B : タイマ/カウンタ0比較B割り込み要求フラグ (Timer/Counter0, Output Compare B Match Flag)

OCF0Bビットは比較一致がタイマ/カウンタ(TCNT0)と比較レジスタ(OCR0B)間で起こる時に設定(1)されます。対応する割り込み処理ベクタを実行すると、OCF0Bはハードウェアによって解除(0)されます。代わりにこのフラグへ論理1を書くことによってもOCF0Bは解除(0)されます。ステータスレジスタ(SREG)の全割り込み許可(I)ビット、タイマ/カウンタ割り込み許可レジスタ(TIMSK)のタイマ/カウンタ0比較B一致割り込み許可(OCIE0B)ビット、OCF0Bが設定(1)されると、タイマ/カウンタ0比較B一致割り込みが実行されます。

#### ● ビット1 – TOV0 : タイマ/カウンタ0溢れ割り込み要求フラグ (Timer/Counter0 Overflow Flag)

TOV0ビットはタイマ/カウンタ(TCNT0)溢れが起こる時に設定(1)されます。対応する割り込み処理ベクタを実行すると、TOV0はハードウェアによって解除(0)されます。代わりにこのフラグへ論理1を書くことによってもTOV0は解除(0)されます。ステータスレジスタ(SREG)の全割り込み許可(I)ビット、タイマ/カウンタ割り込み許可レジスタ(TIMSK)のタイマ/カウンタ0溢れ割り込み許可(TOIE0)ビット、TOV0が設定(1)されると、タイマ/カウンタ0溢れ割り込みが実行されます。位相基準PWM動作ではタイマ/カウンタ0が\$00で計数方向を変える時にこのビットが設定(1)されます。

これらフラグの設定はWGM02～0ビット設定に依存します。52ページの波形生成種別ビット記述の表11-5を参照してください。

## 12. 8ビット タイマ/カウンタ1

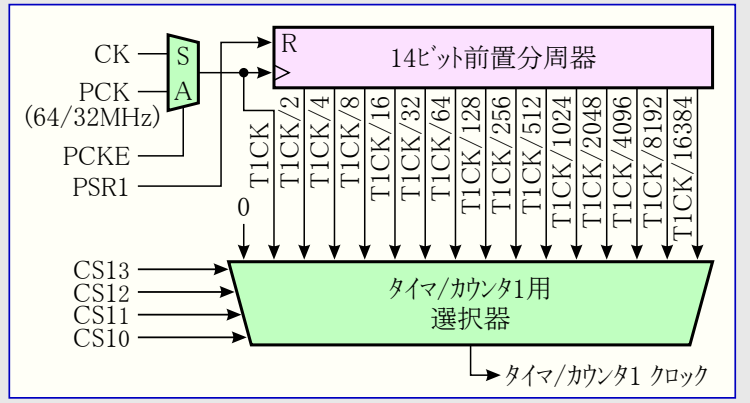
タイマ/カウンタ1は独立した前置分周器からの独立した前置分周選択を持つ汎用8ビット タイマ/カウンタ部です。

### 12.1. タイマ/カウンタ1の前置分周器

図12-1は同期クロック動作と非同期クロック動作の2つのクロック動作を支援するタイマ/カウンタ1の前置分周器部を示します。同期クロック動作は基準時間クロックとしてシステムクロック(CK)を使用し、非同期クロック動作は基準時間クロックとして高速周辺クロック(PCK)を使用します。PLL制御/状態レジスタ(PLLCSR)のPCK許可(PCKE)ビットは設定(1)の時に非同期動作を許可します。

同期クロック動作でのクロック選択はCK~CK/16384と停止、非同期クロック動作でのクロック選択はPCK~PCK/16384と停止です。このクロック任意選択は59頁のタイマ/カウンタ1制御レジスタ(TCCR1)と表12-5で記述されます。一般タイマ/カウンタ制御レジスタ(GTCCR)のタイマ/カウンタ1前置分周器リセット(PSR1)ビットの設定(1)がこの前置分周器をリセットします。PLLCSRのPCKEビットが非同期動作を許可します。高速周辺クロックの周波数は64MHz(または低速動作で32MHz)です。

図12-1. タイマ/カウンタ1 前置分周器部構成

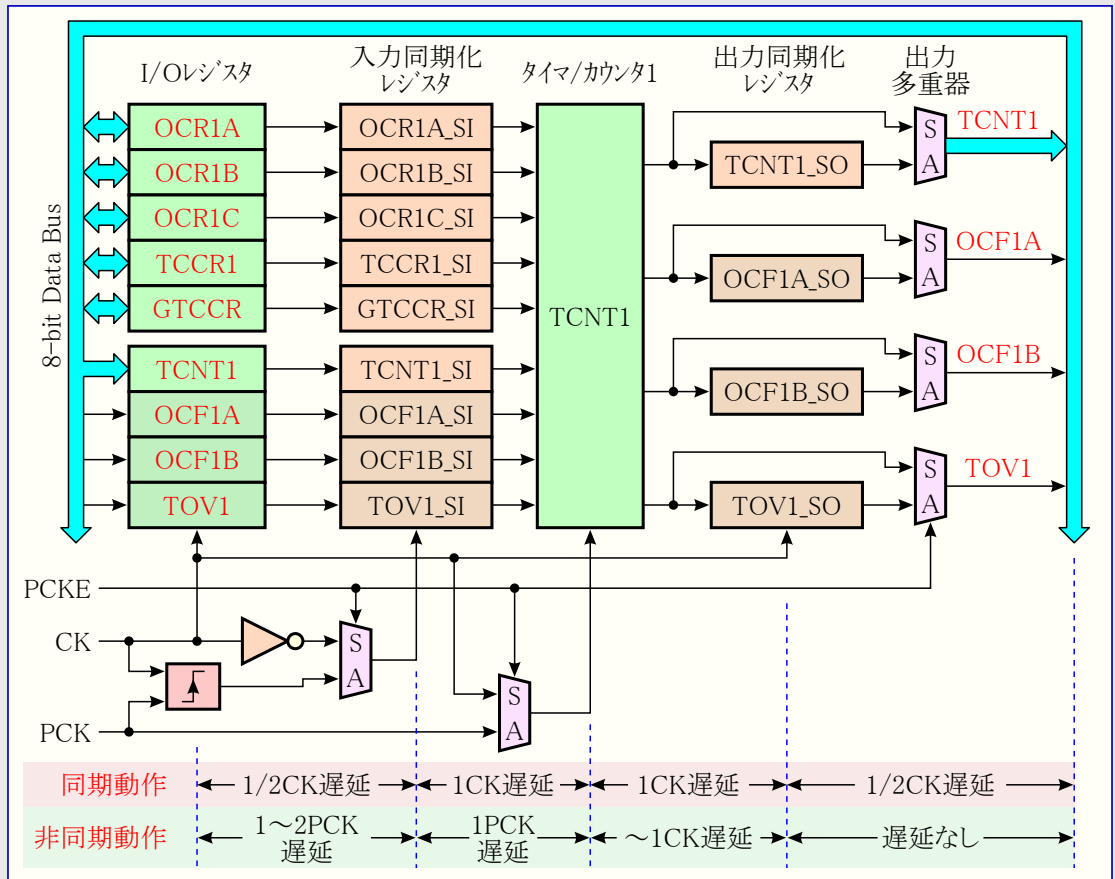


### 12.2. タイマ/カウンタ1

タイマ/カウンタ1の一般的な操作は非同期動作で記述され、同期動作での操作はこれら2つの動作種別間に違いがある時にだけ言及されます。図12-2はタイマ/カウンタ1同期化レジスタ構成図とレジスタ間の同期化遅延を示します。全クロックゲート詳細がこの図で示されないことに注意してください。タイマ/カウンタ1のレジスタ値は計数動作に影響を及ぼす前に入力同期化遅延を引き起こす内部同期化レジスタを通ります。TCCR1, GTCCR, OCR1A, OCR1B, OCR1C はレジスタ書き込み後、正しく読み戻せます。読み戻し値はタイマ/カウンタ1(TCNT1)とOCF1A, OCF1B, TOV1ラックに関して入出力同期化のために遅らされます。

このタイマ/カウンタ1は低前置分周(使用)機会での高分解能及び高精度の使用が特徴です。64MHz(または低速動作で32MHz)までのクロック速度を使用する正確で高速な2つの8ビット PWMも支援できます。この動作でタイマ/カウンタ1と比較レジスタは重複しない反転と非反転出力の2つの自立型PWMとして扱います。この機能の詳細記述については57頁の「タイマ/カウンタ1 PWM動作」を参照してください。同様に高前置分周(使用)機会では低速な目的やまれに動く正確なタイミングの目的についてこの部署を有用にします。

図12-2. タイマ/カウンタ1同期化レジスタ構成図





12.2.2. タイマ/カウンタ1 PWM動作

PWM動作が選択されると、**タイマ/カウンタ1(TCNT1)**と**比較レジスタ(OCR1C)**はOC1A(PB1)とOC1B(PB4)ピン出力とOC1A(PB0)とOC1B(PB3)ピン反転出力での自由走行で不具合なしの(2出力)1対のPWM発生器を形成します。相互補完出力対に対する既定非重複時間は0ですが、それらは沈黙時間生成器の使用で挿入できます(70頁の記述をご覧ください)。

カウンタ値が**比較Aレジスタ(OCR1A)**または**比較Bレジスタ(OCR1B)**の内容と一致すると、表12-1.で示されるように**タイマ/カウンタ1制御レジスタ(TCCR1)**の**比較A出力選択(COM1A1,COM1A0)**または**一般タイマ/カウンタ制御レジスタ(GTCCR)**の**比較B出力選択(COM1B1,COM1B0)**ビットに従ってOC1AとOC1B出力は設定(High)または解除(Low)されます。  
タイマ/カウンタ1は\$00から比較レジスタ(OCR1C)で指定した値まで計数し、再び\$00から始める上昇カウンタとして動きます。OCR1Cとの比較一致は比較事象に続く同期化遅延後に**溢れ割り込み要求(TOV1)フラグ**を設定(1)します。

図12-4. 非重複出力対 (x=AまたはB)

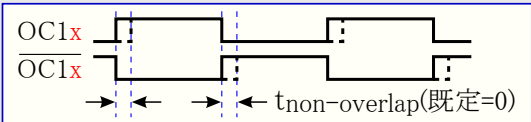


表12-1. PWM動作での比較出力選択 (x=AまたはB)

COM1x1	COM1x0	比較出力ピンへの影響	
0	0	OC1x: ピン接続断	OC1x-bar: ピン接続断
0	1	OC1x: 比較一致で解除(Low)、TCNT1=\$00で設定(High) OC1x: 比較一致で設定(High)、TCNT1=\$00で解除(Low)	
1	0	OC1x: 比較一致で解除(Low)、TCNT1=\$00で設定(High)	OC1x-bar: ピン接続断
1	1	OC1x: 比較一致で設定(High)、TCNT1=\$00で解除(Low)	OC1x-bar: ピン接続断

PWM動作でのOCR1AまたはOCR1B比較レジスタへの書き込みはデータ値が初めに一時領域へ転送されることに注意してください。この値はタイマ/カウンタ1(TCNT1)がOCR1Cに達する時にOCR1AまたはOCR1Bにラッチ(設定)されます。これはOCR1AまたはOCR1Bの非同期の出来事での奇数長PWMパルス(不具合)の発生を防止します。この例については図12-5.をご覧ください。

書き込み(操作)からラッチ動作(実際に設定される)間の期間中、OCR1AまたはOCR1B読み込みは一時領域の内容を読みます。これは最も最近書かれた値が常にOCR1AまたはOCR1Bの読み出しであることを意味します。

OCR1AとOCR1Bは\$00またはOCR1Cで指定した上限値を含むと、OC1A(PB1)またはOC1B(PB4)出力がCOM1A1/COM1A0またはCOM1B1/COM1B0の設定に従ってHighまたはLowに(更新/)保持されます。これは表12-2.で示されます。

PWM動作での**溢れ(TOV1)フラグ**はタイマ/カウンタ1(TCNT1)がOCR1C値へ計数し、TCNT1が\$00にリセットされる時に設定(1)されます。タイマ/カウンタ1溢れ割り込みは**タイマ/カウンタ1溢れ割り込み許可(TOIE1)ビット**と**全割り込み許可(I)ビット**が許可なら、TOV1が設定(1)される時に実行されます。これは比較フラグとその割り込みにも適用されます。

PWM周波数はタイマ/カウンタ1 クロック周波数をOCR1C値+1で割った値です。次式をご覧ください。

$$f_{PWM} = \frac{f_{TCK1}}{OCR1C+1}$$

分解能はOCR1Cレジスタ内の値を表すのに何ビット必要とされるかを示し、次式を使用して計算できます。

$$\text{分解能}_{PWM} = \log_2(OCR1C+1)$$

図12-5. 同期/非同期OCR1xの効果

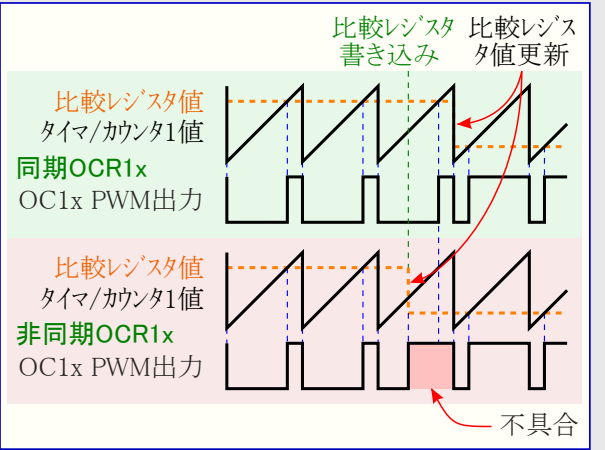


表12-2. 上限/下限値でのPWM出力 (x=AまたはB)

COM1x1	COM1x0	OCR1x	OC1x出力	OC1x-bar出力
0	1	\$00	L	H
0	1	OCR1C	H	L
1	0	\$00	L	接続断
1	0	OCR1C	H	接続断
1	1	\$00	H	接続断
1	1	OCR1C	L	接続断

表12-3. 非同期動作での代表的なPWM周波数設定例

PWM周波数	PWM周期	OCR1C値	分解能 (ビット)	TCNT1クロック	CS13~0
20kHz	50.00 $\mu$ s	199	7.6	PCK/16	0 1 0 1
30kHz	33.33 $\mu$ s	132	7.1		
40kHz	25.00 $\mu$ s	199	7.6	PCK/8	0 1 0 0
50kHz	20.00 $\mu$ s	159	7.3		
60kHz	16.67 $\mu$ s	132	7.1		
70kHz	14.29 $\mu$ s	228	7.8	PCK/4	0 0 1 1
80kHz	12.50 $\mu$ s	199	7.6		
90kHz	11.11 $\mu$ s	177	7.5		
100kHz	10.00 $\mu$ s	159	7.3		
110kHz	9.09 $\mu$ s	144	7.2		
120kHz	8.33 $\mu$ s	132	7.1	PCK/2	0 0 1 0
130kHz	7.69 $\mu$ s	245	7.9		
140kHz	7.14 $\mu$ s	228	7.8		
150kHz	6.67 $\mu$ s	212	7.7		
160kHz	6.26 $\mu$ s	199	7.6		
170kHz	5.88 $\mu$ s	187	7.6		
180kHz	5.56 $\mu$ s	177	7.5		
190kHz	5.26 $\mu$ s	167	7.4		
200kHz	5.00 $\mu$ s	159	7.3	PCK	0 0 0 1
250kHz	4.00 $\mu$ s	255	8.0		
300kHz	3.34 $\mu$ s	212	7.7		
350kHz	2.86 $\mu$ s	182	7.5		
400kHz	2.50 $\mu$ s	159	7.3		
450kHz	2.22 $\mu$ s	141	7.1		
500kHz	2.00 $\mu$ s	127	7.0		



12.3. 8ビット タイマ/カウンタ1用レジスタ

12.3.1. TCCR1 – タイマ/カウンタ1制御レジスタ (Timer/Counter0 Control Register)

ビット	7	6	5	4	3	2	1	0	
\$30 (\$50)	CTC1	PWM1A	COM1A1	COM1A0	CS13	CS12	CS11	CS10	TCCR1
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

●ビット7 – CTC1 : 一致解除許可 (Clear Timer/Counter1 on Compare Match)

CTC1制御ビットが設定(1)されると、**タイマ/カウンタ1(TCNT1)**は**比較Cレジスタ(OCR1C)**との比較一致後のCPUクロック周期で\$00にリセットされます。この制御ビットが解除(0)されると、タイマ/カウンタ1は計数を継続し、比較一致によって影響を及ぼされません。

●ビット6 – PWM1A : PWM動作A許可 (Pulse Width Modulator A Enable)

このビットを設定(1)すると、タイマ/カウンタ1でOCR1A比較器を基準とした**PWM動作**を許可し、タイマ/カウンタ値はOCR1C値との比較一致後のCPUクロック周期で\$00にリセットされます。

●ビット5,4 – COM1A1,0 : 比較A出力選択 (Compare A Output Mode bit 1 and 0)

COM1A1とCOM1A0制御ビットはタイマ/カウンタ1(TCNT1)で**比較Aレジスタ(OCR1A)**との比較一致に続く何れかの出力ピン動作を決めます。出力ピン動作が入出力ポートの交換機能なので、出力ピンを制御するために、対応する方向制御ビット(**DDRB1**)が設定(1)されなければなりません。

標準動作でのCOM1A1とCOM1A0制御ビットは**表12-4**で記述されるようにPB1(OC1A)ピンに影響を及ぼす出力ピンの動きを決めます。OC1Aが標準動作で接続されないことに注意してください。

PWM動作でのこれらのビットは異なる機能を持ちます。詳細記述については**57頁の表12-1**を参照してください。

●ビット3~0 – CS13~0 : クロック選択1 (Clock Select1, bit 3,2,1 and 0)

このクロック選択ビット3,2,1,0はタイマ/カウンタ1の前置分周元を定義します。

表12-4. 標準動作での比較A出力選択

COM1A1	COM1A0	意味
0	0	OC1Aピン未使用 (ピン接続断)
0	1	OC1Aピントグル(交互)出力
1	0	OC1Aピン Lowレベル出力
1	1	OC1Aピン Highレベル出力

表12-5. タイマ/カウンタ1 前置分周クロック選択

CS13	CS12	CS11	CS10	意味		CS13	CS12	CS11	CS10	意味	
				非同期動作	同期動作					非同期動作	同期動作
0	0	0	0	停止 (タイマ/カウンタ1動作停止)		1	0	0	0	PCK/128	CK/128
0	0	0	1	PCK	CK(CPUクロック)	1	0	0	1	PCK/256	CK/256
0	0	1	0	PCK/2	CK/2	1	0	1	0	PCK/512	CK/512
0	0	1	1	PCK/4	CK/4	1	0	1	1	PCK/1024	CK/1024
0	1	0	0	PCK/8	CK/8	1	1	0	0	PCK/2048	CK/2048
0	1	0	1	PCK/16	CK/16	1	1	0	1	PCK/4096	CK/4096
0	1	1	0	PCK/32	CK/32	1	1	1	0	PCK/8192	CK/8192
0	1	1	1	PCK/64	CK/64	1	1	1	1	PCK/16384	CK/16384

停止状態はタイマ/カウンタの許可/禁止機能を提供します。

### 12.3.2. GTCCR – 一般タイマ/カウンタ制御レジスタ (General Timer/Counter Control Register)

ビット	7	6	5	4	3	2	1	0	
\$2C (\$4C)	TSM	PWM1B	COM1B1	COM1B0	FOC1B	FOC1A	PSR1	PSR0	GTCCR
Read/Write	R/W	R/W	R/W	R/W	W	W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

#### ● ビット6 – PWM1B : PWM動作B許可 (Pulse Width Modulator B Enable)

このビットを設定(1)すると、タイマ/カウンタ1でOCR1B比較器を基準としたPWM動作を許可し、タイマ/カウンタ値はOCR1C値との比較一致後のCPUクロック周期で\$00にリセットされます。

#### ● ビット5,4 – COM1B1,0 : 比較B出力選択 (Compare B Output Mode bit 1 and 0)

COM1B1とCOM1B0制御ビットはタイマ/カウンタ1(TCNT1)で比較Bレジスタ(OCR1B)での比較一致に続く何れかの出力ピン動作を決めます。出力ピン動作が入出力ポートの交換機能なので、出力ピンを制御するために、対応する方向制御ビット(DDRB4)が設定(1)されなければなりません。

標準動作でのCOM1B1とCOM1B0制御ビットは表12-6.で記述されるようにPB4(OC1B)ピンに影響を及ぼす出力ピンの動きを決めます。OC1Bが標準動作で接続されないことに注意してください。

PWM動作でのこれらのビットは異なる機能を持ちます。詳細記述については57頁の表12-1.を参照してください。

表12-6. 標準動作での比較B出力選択

COM1B1	COM1B0	意味
0	0	OC1Bピン未使用 (ピン接続断)
0	1	OC1Bピントルグル(交互)出力
1	0	OC1Bピン Lowレベル出力
1	1	OC1Bピン Highレベル出力

#### ● ビット3 – FOC1B : OC1B強制変更 (Force Output Compare Match 1B)

このビットへの論理1書き込みは比較B出力制御(COM1B1,COM1B0)ビットで既に設定した値に従って比較一致出力ピンOC1B(PB4)を強制的に変更します。COM1B1とCOM1B0ビットがFOC1Bと同じ周期で書かれる場合、この新しい設定が使用されます。この比較出力強制ビットはタイマ/カウンタ値と無関係にこの出力ピンを変更するのに使用できます。COM1B1とCOM1B0で設定した自動動作は比較一致が起きてしまったかのようになりますが、割り込みは生成されません。FOC1Bビットは常に0として読めます。PWM1Bビットが設定(1)されると、FOC1Bは行なわれ(実行され)ません。

#### ● ビット2 – FOC1A : OC1A強制変更 (Force Output Compare Match 1A)

このビットへの論理1書き込みは比較A出力制御(COM1A1,COM1A0)ビットで既に設定した値に従って比較一致出力ピンOC1A(PB1)を強制的に変更します。COM1A1とCOM1A0ビットがFOC1Aと同じ周期で書かれる場合、この新しい設定が使用されます。この比較出力強制ビットはタイマ/カウンタ値と無関係にこの出力ピンを変更するのに使用できます。COM1A1とCOM1A0で設定した自動動作は比較一致が起きてしまったかのようになりますが、割り込みは生成されません。FOC1Aビットは常に0として読めます。PWM1Aビットが設定(1)されると、FOC1Aは行なわれ(実行され)ません。

#### ● ビット1 – PSR1 : タイマ/カウンタ1 前置分周器リセット (Prescaler Reset Timer/Counter 1)

このビットが設定(1)されると、(TCNT1に影響を及ぼされずに)タイマ/カウンタ1の前置分周器がリセットします。このビットは操作が実行された後でハードウェアによって解除(0)されます。このビットへの0書き込みは無効です。このビットは常に0として読めます。

### 12.3.3. TCNT1 – タイマ/カウンタ1 (Timer/Counter1)

ビット	7	6	5	4	3	2	1	0	
\$2F (\$4F)	(MSB)							(LSB)	TCNT1
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

この8ビットレジスタはタイマ/カウンタ1の値を含みます。

タイマ/カウンタ1は読み書き可能な上昇カウンタとして実現されます。CPUの同期化のため、タイマ/カウンタ1内へのタイマ/カウンタ1データ書き込みは同期動作で1.5CPUクロック周期、非同期動作で最大1CPUクロック周期遅らされます。

### 12.3.4. OCR1A – タイマ/カウンタ1 比較レジスタ (Timer/Counter1 Output Compare Register A)

ビット	7	6	5	4	3	2	1	0	
\$2E (\$4E)	(MSB)							(LSB)	OCR1A
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

比較レジスタ(OCR1A)は読み書き可能な8ビットのレジスタです。

この比較レジスタはタイマ/カウンタ1(TCNT1)と継続的に比較されるデータを含みます。比較一致での動作はタイマ/カウンタ1制御レジスタ(TCCR1)で指定されます。比較一致はタイマ/カウンタ1がOCR1A値へ計数する場合にだけ起きます。TCNT1とOCR1Aを同一値に設定するソフトウェア書き込みは比較一致を生成しません。

比較一致は比較事象に続く同期化遅延後、比較一致割り込み要求フラグ(OCF1A)を設定(1)します。

### 12.3.5. OCR1B – タイマ/カウンタ1 比較レジスタ (Timer/Counter1 Output Compare Register B)

ビット	7	6	5	4	3	2	1	0	
\$2B (\$4B)	(MSB)							(LSB)	OCR1B
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

比較レジスタ(OCR1B)は読み書き可能な8ビットのレジスタです。

この比較レジスタはタイマ/カウンタ1(TCNT1)と継続的に比較されるデータを含みます。比較一致での動作はタイマ/カウンタ1制御レジスタ(TCCR1)で指定されます。比較一致はタイマ/カウンタ1がOCR1B値へ計数する場合にだけ起きます。TCNT1とOCR1Bを同一値に設定するソフトウェア書き込みは比較一致を生成しません。

比較一致は比較事象に続く同期化遅延後、比較一致割り込み要求フラグ(OCF1B)を設定(1)します。

### 12.3.6. OCR1C – タイマ/カウンタ1 比較レジスタ (Timer/Counter1 Output Compare Register C)

ビット	7	6	5	4	3	2	1	0	
\$2D (\$4D)	(MSB)							(LSB)	OCR1C
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

比較レジスタ(OCR1C)は読み書き可能な8ビットのレジスタです。

この比較レジスタはタイマ/カウンタ1(TCNT1)と継続的に比較されるデータを含みます。比較一致はタイマ/カウンタ1がOCR1C値へ計数する場合にだけ起きます。TCNT1とOCR1Cを同一値に設定するソフトウェア書き込みは比較一致を生成しません。タイマ/カウンタ1制御レジスタ(TCCR1)でCTC1ビットが設定(1)されると、比較一致はTCNT1を解除(\$00)します。

このレジスタは標準動作とPWM動作で同じ機能を持ちます。

### 12.3.7. TIMSK – タイマ/カウンタ割り込み許可レジスタ (Timer/Counter Interrupt Mask Register)

ビット	7	6	5	4	3	2	1	0	
\$39 (\$59)	–	OCIE1A	OCIE1B	OCIE0A	OCIE0B	TOIE1	TOIE0	–	TIMSK
Read/Write	R	R/W	R/W	R/W	R/W	R/W	R/W	R	
初期値	0	0	0	0	0	0	0	0	

#### ● ビット7,0 – Res : 予約 (Reserved)

これらのビットは予約されており、常に0として読めます。

#### ● ビット6 – OCIE1A : タイマ/カウンタ1比較A割り込み許可 (Timer/Counter1 Output Compare A Interrupt Enable)

ステータスレジスタ(SREG)の全割り込み許可(I)ビットとOCIE1Aビットが共に設定(1)されると、タイマ/カウンタ1比較A一致割り込みが許可されます。比較A一致が起こると、ベクタ\$0003での対応する割り込みが実行されます。このタイマ/カウンタ1の比較フラグ(OCF1A)はタイマ/カウンタ割り込み要求フラグレジスタ(TIFR)で設定(1)されます。

#### ● ビット5 – OCIE1B : タイマ/カウンタ1比較B割り込み許可 (Timer/Counter1 Output Compare B Interrupt Enable)

ステータスレジスタ(SREG)の全割り込み許可(I)ビットとOCIE1Bビットが共に設定(1)されると、タイマ/カウンタ1比較B一致割り込みが許可されます。比較B一致が起こると、ベクタ\$0009での対応する割り込みが実行されます。このタイマ/カウンタ1の比較フラグ(OCF1B)はタイマ/カウンタ割り込み要求フラグレジスタ(TIFR)で設定(1)されます。

#### ● ビット2 – TOIE1 : タイマ/カウンタ1溢れ割り込み許可 (Timer/Counter1 Overflow Interrupt Enable)

ステータスレジスタ(SREG)の全割り込み許可(I)ビットと、TOIE1ビットが共に設定(1)されると、タイマ/カウンタ1溢れ割り込みが許可されます。タイマ/カウンタ1溢れが起こると、(ベクタ\$0004での)対応する割り込みが実行されます。溢れ(TOV1)フラグはタイマ/カウンタ割り込み要求フラグレジスタ(TIFR)で設定(1)されます。

### 12.3.8. TIFR – タイマ/カウンタ割り込み要求フラグレジスタ (Timer/Counter Interrupt Flag Register)

ビット	7	6	5	4	3	2	1	0	
\$38 (\$58)	–	OCF1A	OCF1B	OCF0A	OCF0B	TOV1	TOV0	–	TIFR
Read/Write	R	R/W	R/W	R/W	R/W	R/W	R/W	R	
初期値	0	0	0	0	0	0	0	0	

#### ● ビット7,0 – Res : 予約 (Reserved)

これらのビットは予約されており、常に0として読めます。

#### ● ビット6 – OCF1A : 比較A割り込み要求フラグ (Output Compare Interrupt Flag1A)

タイマ/カウンタ1と比較Aレジスタ(OCR1A)内のデータ値間で比較一致が起こると、OCF1Aビットが設定(1)されます。OCF1Aは対応する割り込み処理ベクタを実行するとき、ハードウェアによって解除(0)されます。代わりにOCF1Aはこのフラグへの論理1書き込みにより、同期化クロック周期後に解除(0)されます。ステータスレジスタ(SREG)の全割り込み許可(I)ビット、タイマ/カウンタ割り込み許可レジスタ(TIMSK)の比較A割り込み許可(OCIE1A)ビットとOCF1Aが設定(1)なら、タイマ/カウンタ1比較A一致割り込みが実行されます。

#### ● ビット5 – OCF1B : 比較B割り込み要求フラグ (Output Compare Interrupt Flag1B)

タイマ/カウンタ1と比較Bレジスタ(OCR1B)内のデータ値間で比較一致が起こると、OCF1Bビットが設定(1)されます。OCF1Bは対応する割り込み処理ベクタを実行するとき、ハードウェアによって解除(0)されます。代わりにOCF1Bはこのフラグへの論理1書き込みにより、同期化クロック周期後に解除(0)されます。ステータスレジスタ(SREG)の全割り込み許可(I)ビット、TIMSKの比較B割り込み許可(OCIE1B)ビットとOCF1Bが設定(1)なら、タイマ/カウンタ1比較B一致割り込みが実行されます。

#### ● ビット2 – TOV1 : タイマ/カウンタ1溢れ割り込み要求フラグ (Timer/Counter1 Overflow Interrupt Flag)

標準動作(PWM1A=0且つPWM1B=0)でのTOV1はタイマ/カウンタ1溢れが起こると設定(1)されます。TOV1は対応する割り込み処理ベクタを実行するとき、ハードウェアによって解除(0)されます。代わりにTOV1はこのフラグへの論理1書き込みにより、同期化クロック周期後に解除(0)されます。

PWM動作(PWM1A=1またはPWM1B=1)でのTOV1はタイマ/カウンタ1と比較Cレジスタ(OCR1C)内のデータ値間で比較一致が起こる時に設定(1)されます。

ステータスレジスタ(SREG)の全割り込み許可(I)ビット、TIMSKのタイマ/カウンタ1溢れ割り込み許可(TOIE1)ビットとTOV1が設定(1)の時にタイマ/カウンタ1溢れ割り込みが実行されます。

### 12.3.9. PLLCSR – PLL制御/状態レジスタ (PLL Control and Status Register)

ビット	7	6	5	4	3	2	1	0	
\$27 (\$47)	LSM	–	–	–	–	PCKE	PLLE	PLOCK	PLLCSR
Read/Write	R/W	R	R	R	R	R/W	R/W	R	
初期値	0	0	0	0	0	0	1/0	0	

#### ● ビット7 – LSM : 低速動作 (Low Speed Mode)

高速動作が既定として許可され、**高速周辺クロック**は64MHzですが、LSMビットに**1**を書くことによって低速動作に設定できます。そして高速周辺クロックは32MHzに下げられます。タイマ/カウンタ1が低電圧状態で充分速く走行できないので、供給電圧が2.7V以下の場合、低速動作が設定されなければなりません。LSMビットが変更される時に必ずタイマ/カウンタ1は停止されていることが強く推奨されます。

PLLclkがシステムクロックとして使用される場合、LSMが設定(**1**)できないことに注意してください。

#### ● ビット6～3 – Res : 予約 (Reserved)

これらのビットは予約されており、常に0として読めます。

#### ● ビット2 – PCKE : PCK許可 (PCK Enable)

PCKEビットはタイマ/カウンタ1のクロック元を変更します。設定(**1**)されると、非同期クロック動作が許可され、タイマ/カウンタ1のクロック元として高速64MHz(または低速動作で32MHz)のPCKクロックが使用されます。このビットが解除(**0**)されると、同期クロック動作が許可され、タイマ/カウンタ1のクロック元としてシステムクロック(CK)が使用されます。このビットはPLLEビットが設定(**1**)されている場合にだけ設定(**1**)できます。PLLが固定化される、換言するとPLOCKビットが**1**の時にだけ、このビットを設定(**1**)するのが無難です。PCKEビットは先にPLLが許可されてしまっている場合にだけ設定できます。

#### ● ビット1 – PLLE : PLL許可 (PLL Enable)

PLLEが設定(**1**)されると、PLLが起動され、必要とされるなら、PLL基準クロックとして内蔵RC発振器が起動されます。システムクロック元としてPLLが選択されると、このビットに対する値は常に**1**です。

#### ● ビット0 – PLOCK : PLL固定化検出 (PLL Lock Detector)

PLOCKビットが設定(**1**)されると、PLLが基準クロックに固定化されます。PLL周波数が上下超過する初期PLL固定化の間、PLOCKビットは無視されるべきです。安定状態は100μs以内に得られます。PLL固定化後、タイマ/カウンタ1に対してPCKを許可する前にPLOCKビットの調査が推奨されます。



### 13. ATtiny15互換動作での8ビット タイマ/カウンタ1

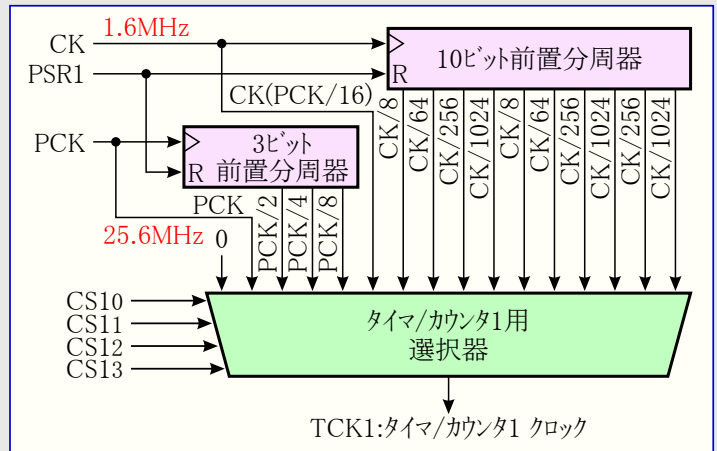
ATtiny15互換動作は**CKSEL**ヒューズに'0011'を書くことによって選択されます(他の何れかの符号が書かれると、タイマ/カウンタ1は標準動作で動きます)。選択されると、ATtiny15互換動作はATtiny15下位互換の前置分周器とタイマ/カウンタを提供します。更にクロック系はATtiny15と同じクロック周波数を持ちます。

#### 13.1. タイマ/カウンタ1の前置分周器

図13-1はATtiny15互換前置分周器を示します。これはシステムクロック(CK)用の10ビット前置分周器と、**高速周辺クロック(PCK)**用の3ビット前置分周器の、2つの前置分周器部を持ちます。タイマ/カウンタ1のクロック系はATtiny15互換動作で、AVRコアと(前置分周器に対して入力クロックを生成する)PLLクロック元として同じRC発振器が使用されるため、常に同期しています。

ATtiny15互換動作で前置分周器が同一、且つ高速周辺クロックの周波数が25.6MHzなので、出力多重器からタイマ/カウンタ1に対してATtiny15と同じクロック選択が選べます。このクロック選択は、PCK, PCK/2, PCK/4, PCK/8, CK(PCK/16), CK/2, CK/4, CK/8, CK/16, CK/32, CK/64, CK/128, CK/256, CK/512, CK/1024と停止です。

図13-1. ATtiny15互換動作時タイマ/カウンタ1前置分周器部構成

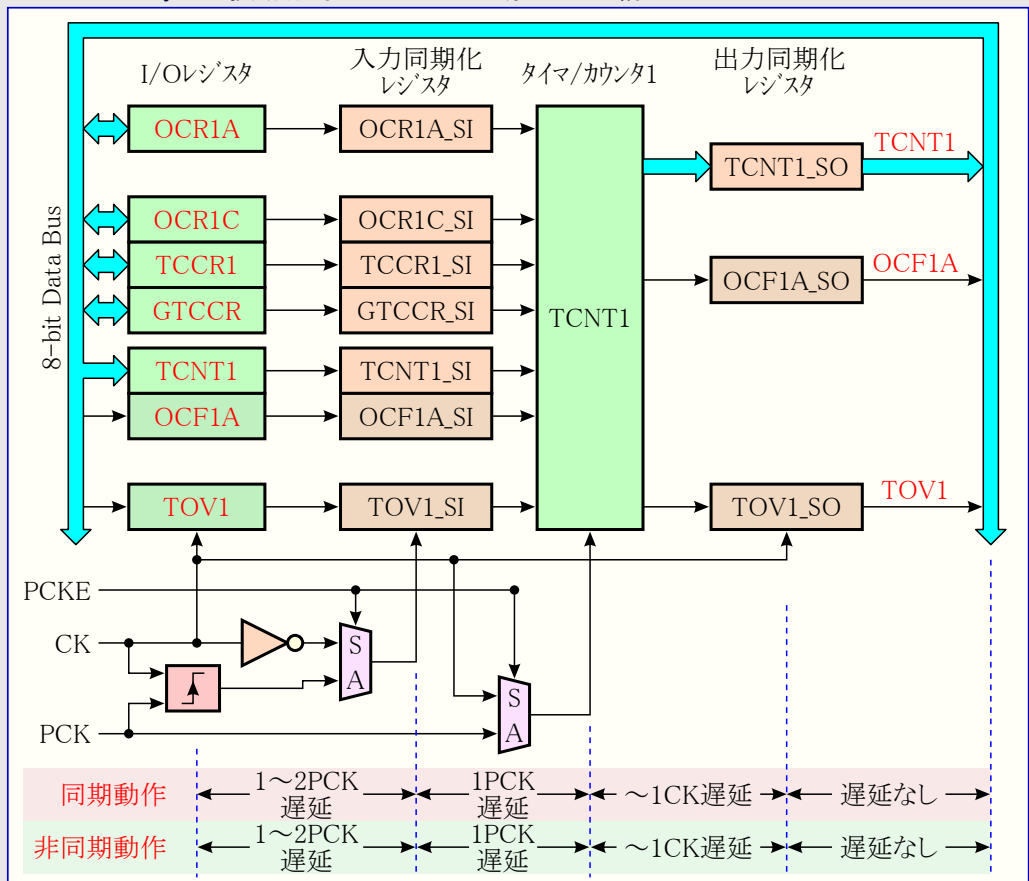


#### 13.2. タイマ/カウンタ1

図13-2はタイマ/カウンタ1同期化レジスタ構成図とレジスタ間の同期化遅延を示します。全クロックゲート詳細がこの図で示されないことに注意してください。タイマ/カウンタ1のレジスタ値はカウンタ動作に影響を及ぼす前に入力同期化遅延を引き起こす内部同期化レジスタを通ります。**TCCR1**, **GTCCR**, **OCR1A**, **OCR1C**はレジスタ書き込み後、正しく読み戻せます。読み戻し値は**タイマ/カウンタ1(TCNT1)**と**OCF1A**, **TOV1**フラグに関して入出力同期化のために遅らされます。

このタイマ/カウンタ1は低前置分周(使用)機会での高分解能及び高精度の使用が特徴です。25.6MHzまでのクロック速度を使用する正確で高速な2つの8ビット PWMも支援できます。この動作でタイマ/カウンタ1と比較レジスタは重複しない反転と非反転出力の2つの自立型PWMとして取り扱います。この機能の詳細記述については66頁の「**ATtiny15互換動作でのタイマ/カウンタ1 PWM動作**」を参照してください。同様に高前置分周(使用)機会では低速な目的やまれに動く正確なタイミングの目的についてこの部署を有用にします。

図13-2. ATtiny15互換動作時タイマ/カウンタ1同期化レジスタ構成図



タイマ/カウンタ1と前置分周器は、前置分周器が非同期動作で高速25.6MHzのPCKクロック動作をする一方、どのクロック元からもCPUの走行(動作)を許します。

図13-3. ATtiny15互換動作時タイマ/カウンタ1構成図

2つの状態フラグ(溢れと比較一致)は**タイマ/カウンタ割り込み要求フラグ レジスタ(TIFR)**にあります。制御信号は**タイマ/カウンタ1制御レジスタ(TCCR1)**と**一般タイマ/カウンタ制御レジスタ(GTCCR)**にあります。割り込みの許可/禁止設定は**タイマ/カウンタ割り込み許可レジスタ(TIMSK)**にあります。

**PWM動作**でのOCR1Aはタイマ/カウンタ値が繰り返し比較されるデータ値を供給します。比較一致でPWM出力(OC1A)が生成されます。PWM動作でのタイマ/カウンタは比較レジスタ(OCR1C)で指定した値まで上昇計数し、そして再び\$00から始めます。この特性は\$FFよりも小さい指定値へのカウンタ最大値制限を許します。多くの前置分周器任意選択と共に柔軟なPWM周波数選択が提供されます。**表 13-3**は10kHz単位の10kHz~150kHzのPWM周波数を得るためのOCR1C値とクロック選択の一覧を示します。より高いPWM周波数は分解能を犠牲にすれば得られます。

13.2.1. ATtiny15互換動作時 タイマ/カウンタ1 PWM動作

PWM動作が選択されると、**タイマ/カウンタ1(TCNT1)**と**比較レジスタ(OCR1A)**は自由走行で不具合のない8ビットPWMとOC1A(PB1)ピン出力を形成します。

タイマ/カウンタ1(TCNT1)値が比較レジスタ(OCR1A)の内容と一致すると、表13-1.で示されるように**タイマ/カウンタ1制御レジスタ(TCCR1)**の**比較出力選択(COM1A1,COM1A0)**の指定に従って、OC1A(PB1)ピンが設定(High)または解除(Low)されます。

タイマ/カウンタ1は上昇カウンタとして動作し、\$00から**比較レジスタ(OCR1C)**で指定された値まで上昇計数し、そして再び\$00から上昇を始めます。OCR1Cとの比較一致は比較事象に続く同期化遅延後に**溢れ割り込み要求(TOV1)フラグ**を設定(1)します。

表13-1. PWM出力選択 (比較出力選択と兼用)

COM1A1	COM1A0	OC1A(PB1)出力
0	0	OC1A出力切断 (PB1は標準I/Oとして動作)
0	1	
1	0	OCR1Aとの比較一致で解除(Low)、TCNT1=\$00時に設定(High)
1	1	OCR1Aとの比較一致で設定(High)、TCNT1=\$00時に解除(Low)

PWM動作での比較レジスタ(OCR1A)書き込みはデータ値が最初に一時領域へ転送されることに注意してください。その値はタイマ/カウンタがOCR1Cに到達する時にOCR1Aへラッチ(設定)されます。これはOCR1A非同期書き込みでの奇数長PWMパルス(不具合)の発生を防止します。この例については図13-4.を参照してください。

書き込み(操作)からラッチ動作(実際に設定される)間の期間中、OCR1Aからの読み込みは一時領域の内容が読めます。これは常に最も最近書かれた値がOCR1Aの読み出しとなることを意味します。

比較レジスタ(OCR1A)が\$00またはOCR1Cで指定される上限値のとき、OC1A(PB1)出力はCOM1A1/COM1A0の設定に従ってHighまたはLowに保持されます。これは表13-2.で示されます。

PWM動作での**溢れ(TOV1)フラグ**はタイマ/カウンタ1(TCNT1)がOCR1C値へ計数し、TCNT1が\$00にリセットされる時に設定(1)されます。タイマ/カウンタ1溢れ割り込みは**タイマ/カウンタ1溢れ割り込み許可(TOIE1)ビット**と**全割り込み許可(1)ビット**が許可なら、TOV1が設定(1)される時に実行されます。これは比較フラグとその割り込みにも適用されます。

PWM周波数は次式を使用してタイマ/カウンタ1 クロック周波数から得られます。

$$f_{\text{PWM}} = \frac{f_{\text{TCK1}}}{\text{OCR1C}+1}$$

PWM波形のデューティ比は次式を使用して計算できます。

$$\text{デューティ比}_{\text{PWM}} = \frac{(\text{OCR1A}+1) \times T_{\text{TCK1}} - T_{\text{PCK}}}{(\text{OCR1C}+1) \times T_{\text{TCK1}}}$$

ここでT<sub>PCK</sub>は高速周辺クロックの周期(1/25.6MHz=39.1μs)です。

分解能はOCR1C内の値を表すのに何ビット必要とされるかを示します。これは次式を使用して計算できます。

$$\text{分解能}_{\text{PWM}} = \log_2(\text{OCR1C}+1)$$

表13-3. 代表的なPWM周波数設定例

PWM周波数	PWM周期	OCR1C値	分解能(ビット)	TCNT1クロック	CS13~0	PWM周波数	PWM周期	OCR1C値	分解能(ビット)	TCNT1クロック	CS13~0
10kHz	100.00 μs	159	7.3	CK	0 1 0 1	90kHz	11.11 μs	141	7.1	PCK/2	0 0 1 0
20kHz	50.00 μs	159	7.3	PCK/8	0 1 0 0	100kHz	10.00 μs	255	8.0	PCK	0 0 0 1
30kHz	33.33 μs	213	7.7	PCK/4	0 0 1 1	110kHz	9.09 μs	231	7.8		
40kHz	25.00 μs	159	7.3			120kHz	8.33 μs	213	7.7		
50kHz	20.00 μs	255	8.0	PCK/2	0 0 1 0	130kHz	7.69 μs	195	7.6		
60kHz	16.67 μs	213	7.7			140kHz	7.14 μs	181	7.5		
70kHz	14.29 μs	199	7.6			150kHz	6.67 μs	169	7.6		
80kHz	12.50 μs	181	7.5								

図13-4. OCR1Aの同期/非同期設定

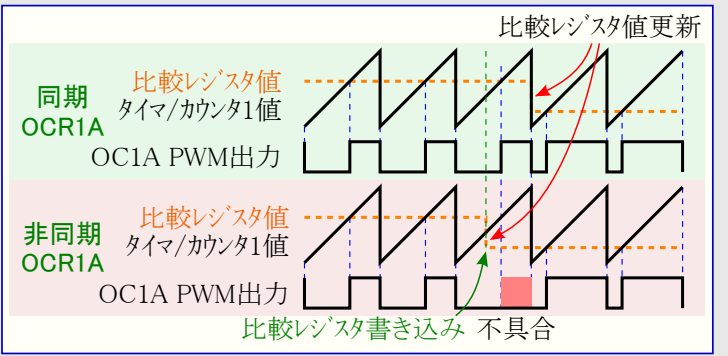


表13-2. 上限値、下限値でのPWM出力

COM1A1	COM1A0	OCR1A	OC1A出力
0	1	\$00	L
		OCR1C	H
1	0	\$00	L
		OCR1C	H
1	1	\$00	H
		OCR1C	L

13.3. ATtiny15互換動作 8ビット タイマ/カウンタ1用レジスタ

13.3.1. TCCR1 – タイマ/カウンタ1制御レジスタ (Timer/Counter0 Control Register)

ビット	7	6	5	4	3	2	1	0	
\$30 (\$50)	CTC1	PWM1A	COM1A1	COM1A0	CS13	CS12	CS11	CS10	TCCR1
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

- **ビット7 – CTC1 : 一致解除許可** (Clear Timer/Counter1 on Compare Match)  
CTC1制御ビットが設定(1)されると、**タイマ/カウンタ1(TCNT1)**は**比較Aレジスタ(OCR1C)**との比較一致後のCPUクロック周期で\$00にリセットされます。この制御ビットが解除(0)されると、タイマ/カウンタ1は計数を継続し、比較一致によって影響を及ぼされません。
- **ビット6 – PWM1A : PWM動作A許可** (Pulse Width Modulator A Enable)  
このビットを設定(1)すると、タイマ/カウンタ1でOCR1A比較器を基準とした**PWM動作**を許可し、タイマ/カウンタ値はOCR1C値との比較一致後のCPUクロック周期で\$00にリセットされます。
- **ビット5,4 – COM1A1,0 : 比較A出力選択** (Compare A Output Mode bit 1 and 0)  
COM1A1とCOM1A0制御ビットはタイマ/カウンタ1(TCNT1)で**比較Aレジスタ(OCR1A)**との比較一致に続く何れかの出力ピン動作を決めます。出力ピン動作はOC1A(PB1)ピンに影響を及ぼします。これは入出力ポートの交換機能なので、出力ピンを制御するには対応する方向制御ビット(**DDB1**)が設定(1)されなければなりません。  
PWM動作でのこれらのビットは異なる機能を持ちます。詳細記述については66頁の**表13-1**を参照してください。
- **ビット3~0 – CS13~0 : クロック選択1** (Clock Select1, bit 3,2,1 and 0)  
このクロック選択ビット3,2,1,0はタイマ/カウンタ1の前置分周元を定義します。

表13-4. 比較A出力選択

COM1A1	COM1A0	意味
0	0	OC1Aピン未使用 (ピン接続断)
0	1	OC1Aピントルグル(交互)出力
1	0	OC1Aピン Lowレベル出力
1	1	OC1Aピン Highレベル出力

表13-5. タイマ/カウンタ1 前置分周クロック選択

CS13	CS12	CS11	CS10	意味	CS13	CS12	CS11	CS10	意味
0	0	0	0	停止 (タイマ/カウンタ1動作停止)	1	0	0	0	CK/8
0	0	0	1	CK×16 (PCK)	1	0	0	1	CK/16
0	0	1	0	CK×8 (PCK/2)	1	0	1	0	CK/32
0	0	1	1	CK×4 (PCK/4)	1	0	1	1	CK/64
0	1	0	0	CK×2 (PCK/8)	1	1	0	0	CK/128
0	1	0	1	CK (システム クロック)	1	1	0	1	CK/256
0	1	1	0	CK/2	1	1	1	0	CK/512
0	1	1	1	CK/4	1	1	1	1	CK/1024

停止状態はタイマ/カウンタの許可/禁止機能を提供します。

13.3.2. GTCCR – 一般タイマ/カウンタ制御レジスタ (General Timer/Counter Control Register)

ビット	7	6	5	4	3	2	1	0	
\$2C (\$4C)	TSM	PWM1B	COM1B1	COM1B0	FOC1B	FOC1A	PSR1	PSR0	GTCCR
Read/Write	R/W	R/W	R/W	R/W	W	W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

- **ビット2 – FOC1A : OC1A強制変更** (Force Output Compare Match 1A)  
このビットへの論理1書き込みは**比較A出力制御(COM1A1,COM1A0)ビット**で既に設定した値に従って比較一致出力ピンOC1A(PB1)を強制的に変更します。COM1A1とCOM1A0ビットがFOC1Aと同じ周期で書かれる場合、この新しい設定が使用されます。この比較出力強制ビットはタイマ/カウンタ値と無関係にこの出力ピンを変更するのに使用できます。COM1A1とCOM1A0で設定した自動動作は比較一致が起きてしまったかのようになりますが、割り込みは生成されません。FOC1Aビットは常に0として読めます。**PWM1Aビット**が設定(1)されると、FOC1Aは行なわれ(実行され)ません。
- **ビット1 – PSR1 : タイマ/カウンタ1 前置分周器リセット** (Prescaler Reset Timer/Counter 1)  
このビットが設定(1)されると、(TCNT1が影響を及ぼされずに)タイマ/カウンタ1の前置分周器がリセットします。このビットは操作が実行された後、ハードウェアによって解除(0)されます。このビットへの0書き込みは無効です。このビットは常に0として読めます。

### 13.3.3. TCNT1 – タイマ/カウンタ1 (Timer/Counter1)

ビット	7	6	5	4	3	2	1	0	
\$2F (\$4F)	(MSB)							(LSB)	TCNT1
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

この8ビットレジスタはタイマ/カウンタ1の値を含みます。

タイマ/カウンタ1は読み書き可能な上昇カウンタとして実現されます。CPUの同期化のため、タイマ/カウンタ1内へのタイマ/カウンタ1データ書き込みは同期動作で1CPUクロック周期、非同期動作で最大2CPUクロック周期遅らされます。

### 13.3.4. OCR1A – タイマ/カウンタ1 比較Aレジスタ (Timer/Counter1 Output Compare Register A)

ビット	7	6	5	4	3	2	1	0	
\$2E (\$4E)	(MSB)							(LSB)	OCR1A
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

比較Aレジスタ(OCR1A)は読み書き可能な8ビットのレジスタです。

この比較Aレジスタはタイマ/カウンタ1(TCNT1)と継続的に比較されるデータを含みます。比較一致での動作はタイマ/カウンタ1制御レジスタ(TCCR1)で指定されます。比較一致はタイマ/カウンタ1がOCR1A値へ計数する場合にだけ起きます。TCNT1とOCR1Aを同一値に設定するソフトウェア書き込みは比較一致を生成しません。

比較一致は比較事象に続く同期化遅延後、比較一致割り込み要求フラグ(OCF1A)を設定(1)します。

### 13.3.5. OCR1C – タイマ/カウンタ1 比較Cレジスタ (Timer/Counter1 Output Compare Register C)

ビット	7	6	5	4	3	2	1	0	
\$2D (\$4D)	(MSB)							(LSB)	OCR1C
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

比較Cレジスタ(OCR1C)は読み書き可能な8ビットのレジスタです。

この比較Bレジスタはタイマ/カウンタ1(TCNT1)と継続的に比較されるデータを含みます。比較一致はタイマ/カウンタ1がOCR1C値へ計数する場合にだけ起きます。TCNT1とOCR1Cを同一値に設定するソフトウェア書き込みは比較一致を生成しません。タイマ/カウンタ1制御レジスタ(TCCR1)でCTC1ビットが設定(1)されると、比較一致はTCNT1を解除(\$00)します。

### 13.3.6. TIMSK – タイマ/カウンタ割り込み許可レジスタ (Timer/Counter Interrupt Mask Register)

ビット	7	6	5	4	3	2	1	0	
\$39 (\$59)	–	OCIE1A	OCIE1B	OCIE0A	OCIE0B	TOIE1	TOIE0	–	TIMSK
Read/Write	R	R/W	R/W	R/W	R/W	R/W	R/W	R	
初期値	0	0	0	0	0	0	0	0	

#### ● ビット7,0 – Res : 予約 (Reserved)

これらのビットは予約されており、常に0として読まれます。

#### ● ビット6 – OCIE1A : タイマ/カウンタ1比較A割り込み許可 (Timer/Counter1 Output Compare A Interrupt Enable)

ステータスレジスタ(SREG)の全割り込み許可(I)ビットとOCIE1Aビットが共に設定(1)されると、タイマ/カウンタ1比較A一致割り込みが許可されます。比較A一致が起こると、ベクタ\$0003での対応する割り込みが実行されます。このタイマ/カウンタ1の比較フラグ(OCF1A)はタイマ/カウンタ割り込み要求フラグレジスタ(TIFR)で設定(1)されます。

#### ● ビット2 – TOIE1 : タイマ/カウンタ1溢れ割り込み許可 (Timer/Counter1 Overflow Interrupt Enable)

ステータスレジスタ(SREG)の全割り込み許可(I)ビットと、TOIE1ビットが共に設定(1)されると、タイマ/カウンタ1溢れ割り込みが許可されます。タイマ/カウンタ1溢れが起こると、(ベクタ\$004での)対応する割り込みが実行されます。溢れ(TOV1)フラグはタイマ/カウンタ割り込み要求フラグレジスタ(TIFR)で設定(1)されます。



### 13.3.7. TIFR – タイマ/カウンタ割り込み要求フラグ レジスタ (Timer/Counter Interrupt Flag Register)

ビット	7	6	5	4	3	2	1	0	
\$38 (\$58)	–	OCF1A	OCF1B	OCF0A	OCF0B	TOV1	TOV0	–	TIFR
Read/Write	R	R/W	R/W	R/W	R/W	R/W	R/W	R	
初期値	0	0	0	0	0	0	0	0	

- ビット7,0 – Res : 予約 (Reserved)

これらのビットは予約されており、常に0として読めます。

- ビット6 – OCF1A : 比較A割り込み要求フラグ (Output Compare Interrupt Flag1A)

タイマ/カウンタ1と比較Aレジスタ(OCR1A)内のデータ値間で比較一致が起きると、OCF1Aビットが設定(1)されます。OCF1Aは対応する割り込み処理ベクタを実行するとき、ハードウェアによって解除(0)されます。代わりにOCF1Aはこのフラグへの論理1書き込みにより、同期化クロック周期後に解除(0)されます。ステータスレジスタ(SREG)の全割り込み許可(I)ビット、タイマ/カウンタ割り込み許可レジスタ(TIMSK)の比較A割り込み許可(OCIE1A)ビットとOCF1Aが設定(1)なら、タイマ/カウンタ1比較A一致割り込みが実行されます。

- ビット2 – TOV1 : タイマ/カウンタ1溢れ割り込み要求フラグ (Timer/Counter1 Overflow Interrupt Flag)

TOV1はタイマ/カウンタ1溢れが起きると設定(1)されます。TOV1は対応する割り込み処理ベクタを実行するとき、ハードウェアによって解除(0)されます。代わりにTOV1はこのフラグへの論理1書き込みにより、同期化クロック周期後に解除(0)されます。ステータスレジスタ(SREG)の全割り込み許可(I)ビット、TIMSKのタイマ/カウンタ1溢れ割り込み許可(TOIE1)ビットとTOV1が設定(1)の時にタイマ/カウンタ1溢れ割り込みが実行されます。

### 13.3.8. PLLCSR – PLL制御/状態レジスタ (PLL Control and Status Register)

ビット	7	6	5	4	3	2	1	0	
\$27 (\$47)	LSM	–	–	–	–	PCKE	PLLE	PLOCK	PLLCSR
Read/Write	R	R	R	R	R	R/W	R/W	R	
初期値	0	0	0	0	0	1	1	0	

- ビット7 – LSM : 低速動作 (Low Speed Mode)

LSBビットはATtiny15互換動作で常に解除(0)されます。

- ビット6~3 – Res : 予約 (Reserved)

これらのビットは予約されており、常に0として読めます。

- ビット2 – PCKE : PCK許可 (PCK Enable)

PCKEビットはATtiny15互換動作で常に設定(1)されます。

- ビット1 – PLLE : PLL許可 (PLL Enable)

PLLはATtiny15互換動作で常に許可されます。

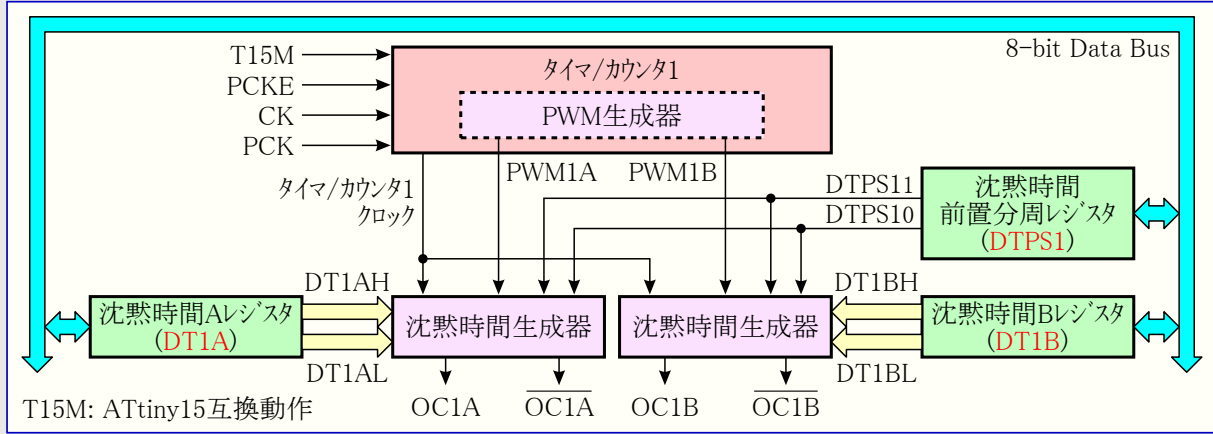
- ビット0 – PLOCK : PLL固定化検出 (PLL Lock Detector)

PLOCKビットが設定(1)されると、PLLが基準クロックに固定化されます。PLL周波数が上下超過する初期PLL固定化の間、PLOCKビットは無視されるべきです。安定状態は100μs以内に得られます。PLL固定化後、タイマ/カウンタ1に対してPCKを許可する前にPLOCKビットの調査が推奨されます。

## 14. 沈黙時間生成器 (Dead Time Generator)

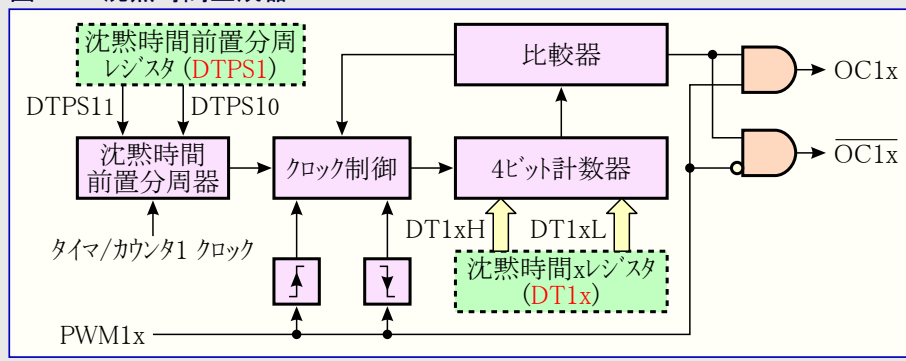
沈黙時間生成器は外部電力制御スイッチの安全な駆動を可能とするためにタイマ/カウンタ1のPWM出力対に対して提供されます。この沈黙時間生成器はタイマ/カウンタ1に接続できる独立部で、**タイマ/カウンタ1相互補完出力対**(OC1A,  $\overline{\text{OC1A}}$ とOC1B,  $\overline{\text{OC1B}}$ )に対して沈黙時間(非重複時間)の挿入に使用されます。作業の分担は次の通りです。タイマ/カウンタがPWM出力を生成し、沈黙時間生成器がタイマ/カウンタのPWM信号から非重複PWM出力を生成します。各々のPWM出力に対して1つで、(計)2つの沈黙時間生成器が提供されます。PWM出力の非重複時間は調整可能で、この相互補完出力は独立して調整でき、両PWM出力(A,B間)に対して無関係です。

図14-1. タイマ/カウンタ1と沈黙時間生成器



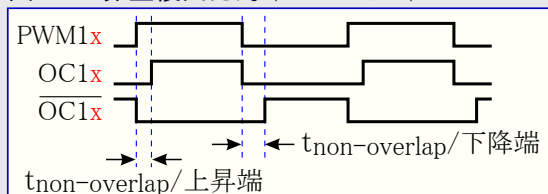
沈黙時間生成器は図14-2.で示されるように沈黙時間を計数する4ビット下降カウンタに基づきます。これはタイマ/カウンタ1 クロック(CKまたはPCK)を1,2,4,8分周できる沈黙時間生成器前の専用前置分周器です。これは生成可能な広範囲の沈黙時間を提供します。この前置分周器は**沈黙時間前置分周レジスタ(DTPS1)**からDTPS11,DTPS10の2つの制御ビットによって制御されます。本部署には沈黙時間計時区間を開始するのに使用される上昇端と下降端の検出器もあります。このエッジに対応してOC1xまたは $\overline{\text{OC1x}}$ の上昇端の遷移はこの(4ビット)カウンタが0へ計数されるまで遅らされます。比較器はカウンタと0との比較に使用され、0に達した時に沈黙時間挿入を止めます。このカウンタは沈黙時間挿入を開始する時にPWM生成器出力のエッジに対応するDT1xH/OレジスタからDT1xLまたはDT1xLの4ビット値が読み込まれます。

図14-2. 沈黙時間生成器



この計数時間長は沈黙時間前置分周レジスタ(DTPS1)の沈黙時間前置分周器設定と**沈黙時間x(DT1x)レジスタ**の沈黙時間値選択によって使用者調整が可能です。沈黙時間x(DT1x)レジスタはPWM出力の沈黙時間と相互補完出力を独立して制御するDT1xHとDT1xLの2つの4ビット領域から成ります。従って $\overline{\text{OC1x}}$ とOC1xの上昇端は異なる沈黙時間を持ちます。この沈黙時間は前置分周された沈黙時間生成器クロック周期数として調節されます。

図14-3. 非重複出力対 (x=AまたはB)



## 14.1. タイマ/カウンタ1 沈黙時間用レジスタ

### 14.1.1. DTSP1 – タイマ/カウンタ1 沈黙時間前置分周レジスタ (Timer/Counter 1 Dead Time Prescaler Register)

ビット	7	6	5	4	3	2	1	0	
\$23 (\$43)	–	–	–	–	–	–	DTSP11	DTSP10	DTSP1
Read/Write	R	R	R	R	R	R	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

沈黙時間前置分周レジスタ(DTSP1)は2ビットの読み書き可能なレジスタです。

#### ●ビット1,0 – DTSP11,0 : 沈黙時間前置分周選択 (Dead Time Prescaler)

沈黙時間生成器前の沈黙時間専用前置分周器はタイマ/カウンタ1クロック(CKまたはPCK)を1,2, 4,8分周ができ、広い沈黙時間範囲生成を提供します。この前置分周器は沈黙時間前置分周レジスタ(DTSP1)からDTSP11,DTSP10の2つの制御ビットによって制御されます。これらのビットは沈黙時間前置分周器の分周値を定義します。この分周値は表14-1.で与えられます。

表14-1. 沈黙時間前置分周器の分周値

DTSP11	DTSP10	タイマ/カウンタ1 クロック分周数
0	0	1 (分周なし)
0	1	2分周
1	0	4分周
1	1	8分周

### 14.1.2. DT1A – タイマ/カウンタ1 沈黙時間A レジスタ (Timer/Counter 1 Dead Time A Register)

ビット	7	6	5	4	3	2	1	0	
\$25 (\$45)	DT1AH3	DT1AH2	DT1AH1	DT1AH0	DT1AL3	DT1AL2	DT1AL1	DT1AL0	DT1A
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

沈黙時間Aレジスタ(DT1A)は8ビットの読み書き可能なレジスタです。

沈黙時間遅延は沈黙時間Aレジスタ(DT1A)によって調節されます。このレジスタは各相互補完出力について1組の、DT1AH3~0とDT1AL3~0の2つの領域から成ります。従ってOC1Aの上昇端とOC1Aの上昇端に対して異なる沈黙時間遅延に調節できます。

#### ●ビット7~4 – DT1AH3~0 : OC1A沈黙時間 (Dead Time Value for OC1A Output)

OC1Aに対する沈黙時間値です。沈黙時間遅延は前置分周したタイマ/カウンタ1 クロック数として設定されます。最小沈黙時間は0で、最大沈黙時間は前置分周したタイマ/カウンタ1 クロック周期×15です。

#### ●ビット3~0 – DT1AL3~0 : OC1A $\overline{\text{A}}$ 沈黙時間 (Dead Time Value for OC1A $\overline{\text{A}}$ Output)

OC1A $\overline{\text{A}}$ に対する沈黙時間値です。沈黙時間遅延は前置分周したタイマ/カウンタ1 クロック数として設定されます。最小沈黙時間は0で、最大沈黙時間は前置分周したタイマ/カウンタ1 クロック周期×15です。

### 14.1.3. DT1B – タイマ/カウンタ1 沈黙時間B レジスタ (Timer/Counter 1 Dead Time B Register)

ビット	7	6	5	4	3	2	1	0	
\$24 (\$44)	DT1BH3	DT1BH2	DT1BH1	DT1BH0	DT1BL3	DT1BL2	DT1BL1	DT1BL0	DT1B
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

沈黙時間Bレジスタ(DT1B)は8ビットの読み書き可能なレジスタです。

沈黙時間遅延は沈黙時間Bレジスタ(DT1B)によって調節されます。このレジスタは各相互補完出力について1組の、DT1BH3~0とDT1BL3~0の2つの領域から成ります。従ってOC1Bの上昇端とOC1Bの上昇端に対して異なる沈黙時間遅延に調節できます。

#### ●ビット7~4 – DT1BH3~0 : OC1B沈黙時間 (Dead Time Value for OC1B Output)

OC1Bに対する沈黙時間値です。沈黙時間遅延は前置分周したタイマ/カウンタ1 クロック数として設定されます。最小沈黙時間は0で、最大沈黙時間は前置分周したタイマ/カウンタ1 クロック周期×15です。

#### ●ビット3~0 – DT1BL3~0 : OC1B $\overline{\text{B}}$ 沈黙時間 (Dead Time Value for OC1B $\overline{\text{B}}$ Output)

OC1B $\overline{\text{B}}$ に対する沈黙時間値です。沈黙時間遅延は前置分周したタイマ/カウンタ1 クロック数として設定されます。最小沈黙時間は0で、最大沈黙時間は前置分周したタイマ/カウンタ1 クロック周期×15です。



## 15.3. 機能説明

### 15.3.1. 3線動作

USIの3線動作は直列周辺インターフェース(SPI)の動作種別0と1に準拠していますが、従装置選択(SS)ピン機能を持ちません。けれども、この特性(機能)は必要ならばソフトウェアで実現できます。この動作で使用するピン名はDI,DO,USCKです。

図15-2. 3線動作簡略構成図

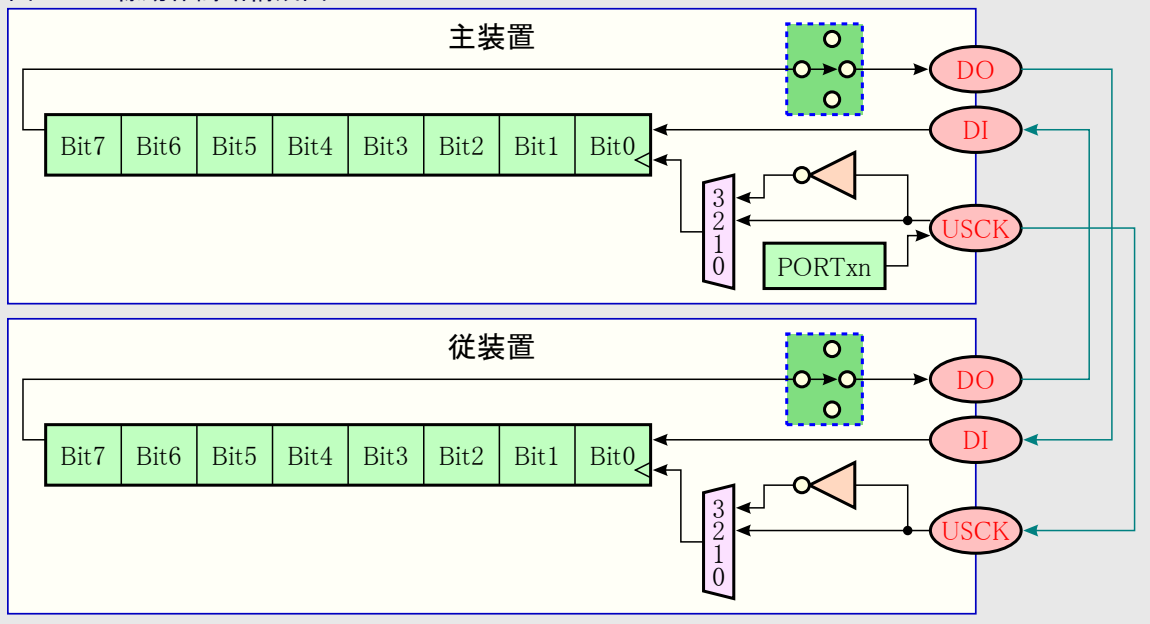
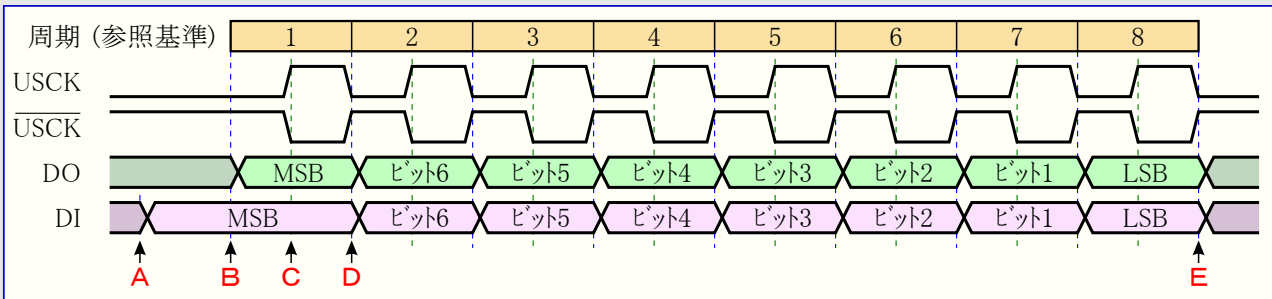


図15-2.は3線動作での2つのUSI部（一方は主装置、他方は従装置）動作を示します。このような方法で連結された2つのシフトレジスタは8USCKクロック後、各々のレジスタのデータが交換されます。この同じクロック(USCK)がUSIの4ビットカウンタも増加(+1)します。従って計数器溢れ割り込み要求フラグ(USIOIF)は転送が完了される時を決めるのに使用できます。このクロックはPORTレジスタ経由USCKピン1/0交互切り替え、またはUSICRのUSITCビットへの1書き込みによる主装置装置ソフトウェアによって生成されます。

図15-3. 3線動作タイミング



3線動作タイミングは図15-3.で示されます。図の最上部はUSCK周期参照基準です。これらの各周期に対して1ビットがUSIシフトレジスタ(USIDR)にシフトされます。USCKタイミングは両方の外部クロック動作について示されます。外部クロック動作0(USICS0=0)でのDIは上昇端で採取され、DOは下降端で変更(USIDRが1つシフト)されます。外部クロック動作1(USICS0=1)は外部クロック動作0に対して逆端を使用、換言すると下降端でデータを採取、上昇端で出力を変更します。USIクロック動作種別はSPIデータ動作種別0と1に対応します。

このタイミング図(図15-3.)を参照すると、バス転送は次の手順を含みます。

1. 主装置と従装置はデータ出力を設定し、使用規約に依存して出力駆動部を許可します(AとB)。この出力は直列データレジスタへの送信されるべきデータ書き込みによって設定します。出力の許可はポート方向レジスタの対応するビット設定によって行います。A点とB点はどんな特別な順番もありますが、両方共にデータが採取されるC点よりも最低1/2USCK周期前でなければならないことに注意してください。これはデータ設定の必要条件を満足させるのを保証するために行わなければならないです。4ビットカウンタは0にリセットします。
2. 主装置はUSCK線をソフトウェアで2度切り替えることによってクロックパルスを生成します(CとD)。主装置と従装置のデータ入力(DI)ピンのビット値は最初のエッジ(C)でUSIによって採取され、データ出力は逆端(D)で変更されます。4ビットカウンタは両端で計数します。
3. レジスタ(バイト)転送完了のために手順2.が8回繰り返されます。
4. 8クロックパルス(換言すると16クロック端)後、カウンタが溢れて転送完了を示します。USI緩衝レジスタ(USIBR)が使用されない場合、転送したバイトデータは新規転送が開始され得るのに先立って直ぐに処置されなければなりません。溢れ割り込みはプロセッサがアイドル動作に設定されているなら、プロセッサを起動復帰します。使用規約によって、従装置は直ぐに出力をHi-Z設定にできます。



### 15.3.2. SPI主装置操作例

次のコードはSPI主装置としてのUSI使用法を実際に示します。

#### アセンブリ言語プログラム例

```

SPIM:      OUT     USIDR, R16                ;送信データを設定
          LDI      R16, (1<<USIOIF)         ;USIOIFビットのみ1値を取得
          OUT      USISR, R16               ;フラグ解除/計数器初期化
          LDI      R16, (1<<USIWM0) | (1<<USICS1) | (1<<USICLK) | (1<<USITC) ;3線動作クロック生成値を取得
;
SPIM_LP:   OUT     USICR, R16                ;SCKクロック端発生
          SBIS     USISR, USIOIF             ;計数器溢れでスキップ
          RJMP     SPIM_LP                  ;計数器溢れまで継続
;
          IN       R16, USIDR               ;受信データを取得
          RET                                ;呼び出し元へ復帰

```

このコードは8命令(+RET)のみ使用の容量最適化です。このコード例はDOとUSCKピンが`DDRB`で出力として許可される仮定です。この関数が呼び出される前にR16レジスタへ格納した値は従装置に転送され、転送が完了された時に従装置から受信したデータがR16レジスタに格納されて戻ります。

2行目と3行目の命令は計数器溢れ割り込み要求フラグ(USIOIF)を解除(0)し、USI 4ビット計数器値を解除(=0)します。4行目と6行目の命令は3線動作、上昇端クロック、USITCスロープ計数、SCK出力交互切り替え(PORTB7)を設定します。この繰り返しは16回繰り返されます。

次のコードは最高速( $f_{SCK}=f_{CK}/2$ )でのSPI主装置としてのUSI使用法を実際に示します。

#### アセンブリ言語プログラム例

```

SPIM_F:   OUT     USIDR, R16                ;送信データを設定
          LDI      R16, (1<<USIWM0) | (0<<USICS0) | (1<<USITC)         ;3線動作初期値を取得
          LDI      R17, (1<<USIWM0) | (0<<USICS0) | (1<<USITC) | (1<<USICLK) ;3線動作クロック生成値を取得
;
          OUT      USICR, R16                ;MSB転送
          OUT      USICR, R17                ;
          OUT      USICR, R16                ;ビット6転送
          OUT      USICR, R17                ;
          OUT      USICR, R16                ;ビット5転送
          OUT      USICR, R17                ;
          OUT      USICR, R16                ;ビット4転送
          OUT      USICR, R17                ;
          OUT      USICR, R16                ;ビット3転送
          OUT      USICR, R17                ;
          OUT      USICR, R16                ;ビット2転送
          OUT      USICR, R17                ;
          OUT      USICR, R16                ;ビット1転送
          OUT      USICR, R17                ;
          OUT      USICR, R16                ;LSB転送
          OUT      USICR, R17                ;
;
          IN       R16, USIDR               ;受信データを取得
          RET                                ;呼び出し元へ復帰

```

### 15.3.3. SPI従装置操作例

次のコードはSPI従装置としてのUSI使用法を実際に示します。

#### アセンブリ言語プログラム例

```
init:      LDI      R16, (1<<USIWM0) | (1<<USICS1)      ;3線動作,外部クロック値を取得
          OUT      USICR, R16                          ;3線動作,外部クロック設定

SPIS:      OUT      USIDR, R16                          ;送信データを設定
          LDI      R16, (1<<USIOIF)                    ;USIOIFビットのみ1値を取得
          OUT      USISR, R16                          ;フラグ解除/計数器初期化
;
SPIS_LP:   SBIS     USISR, USIOIF                        ;計数器溢れでスキップ
          RJMP     SPIS_LP                             ;計数器溢れまで継続
;
          IN       R16, USIDR                          ;受信データを取得
          RET                                           ;呼び出し元へ復帰
```

このコードは8命令(+RET)のみ使用の容量最適化です。このコード例はDDRレジスタでDOピンが出力、USCKピンが入力として設定されると仮定します。この関数が呼び出される前にR16レジスタへ格納した値は主装置に転送され、転送が完了された時に主装置から受信したデータがR16レジスタに格納されて戻ります。

最初の2命令は初期化用だけで、一度だけ実行されるのを必要とすることに注意してください。これらの命令は3線動作と上昇端クロックを設定します。この繰り返しはUSI計数器溢れフラグが設定(1)されるまで繰り返されます。

### 15.3.4. 2線動作

USIの2線動作はI<sup>2</sup>C(TWI)バス規約に準拠していますが、出力のスレーブ制限と入力雑音濾波器がありません。この動作で使用されるピン名はSCLとSDAです。

図15-4. 2線動作簡略構成図

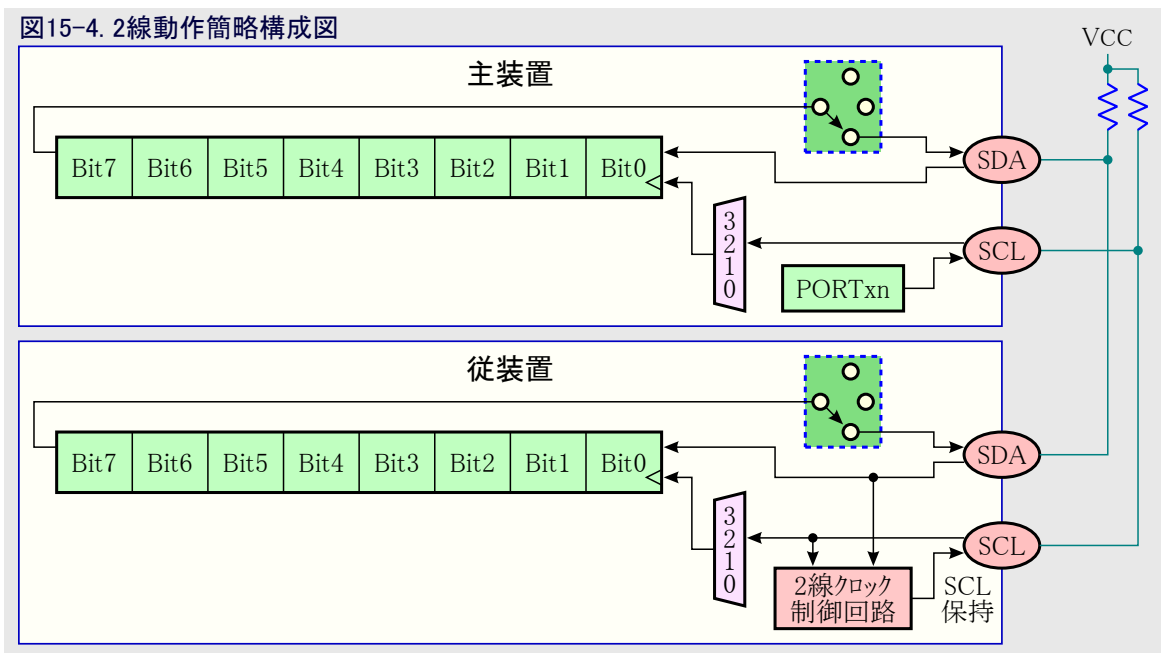


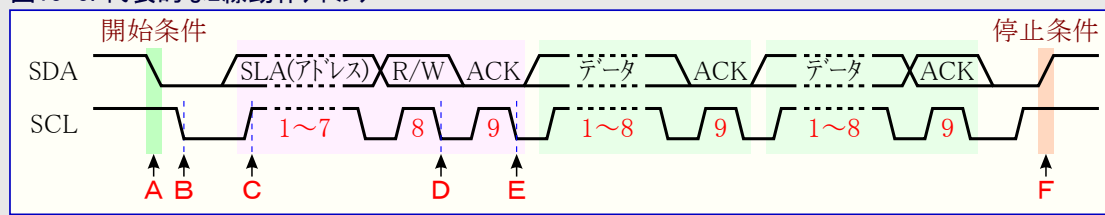
図15-4.は2線動作での2つのUSI部(一方は主装置、他方は従装置)動作を示します。システム動作が使用通信構造に大きく依存するために示されるのは物理層のみです。この段階での主装置動作と従装置動作間の主な違いは常に主装置によって行われる直列クロック生成と、従装置だけがクロック制御部(回路)を使用することです。クロック生成はソフトウェアで実行されなければなりません、シフト動作は両装置で自動的に行われます。データのシフトに関してこの動作種別で下降端でのクロックだけを実際使用することに注意してください。従装置はSCLクロックをLowに強制することにより、転送の開始と終了で待ち状態(ウェイト ステート)を挿入できます。これは(主装置が)上昇端を生成してしまった後に主装置はSCL線が実際に開放されたかを常に検査しなければならないことを意味します。

このクロックが(4ビット)計数器も増加(+1)するため、計数器溢れ(USIOIF)は転送が完了されたことを示すのに使用できます。このクロックは主装置によるPORTレジスタ経由のSCLピン交互切り替えによって生成されます。

データ方向は物理層によって与えられません。データの流を制御するためにTWIバスで使用したような或る種の規約が実装されなければなりません。

このタイミング図(図15-5.)を参照すると、バス転送は次の手順を含みます。

図15-5. 代表的な2線動作タイミング



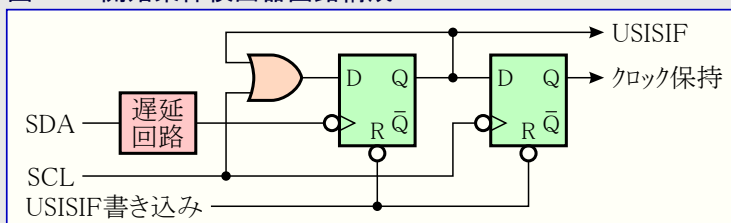
1. 開始条件は主装置によるSCL線High中のSDA線Low強制によって生成されます(A)。SDAはUSIデータレジスタ(USIDR)のビット7への0書き込みか、またはPORTレジスタで対応ビットを0に設定のどちらかによって強制実行できます。出力が許可されるにはデータ方向(DDR)レジスタのビットが1に設定されなければならないことに注意してください。従装置の開始条件検出器論理回路(図15-6.参照)が開始条件を検出してUSISIFフラグを設定(1)します。このフラグは必要ならば割り込みを発生できます。
2. 加えて開始条件検出器は主装置がSCL線で上昇端を強制してしまった後にSCL線をLowに保持します(B)。これはアドレスを受信するためにシフトレジスタを設定する前に休止形態から起動復帰または他の処理を完了することを従装置に許します。これ(保持解除)は(4ビット)計数器をリセット(=0)して開始条件検出フラグ(USISIF)を解除(0)することによって行われます。
3. 主装置は転送されるべき最初のビットを設定してSCL線を開放します(C)。従装置はSCLクロックの上昇端でデータを採取してシフトレジスタへシフトします。
4. 従装置アドレスとデータ方向(R/W)を含む8ビットが転送された後、従装置の(4ビット)計数器が溢れてSCL線がLowを強制されます(D)。従装置は主装置の1つがアドレス指定してしまわない場合、SCL線を開放して新規開始条件を待ちます。
5. 従装置がアドレス指定されると、再びSCL線をLowに保持する前の応答(ACK)周期の間中、SDA線をLowに保持します(換言するとD点でSCLを開放する前に(4ビット)計数器レジスタは14に設定されなければなりません)。R/Wビットに依存して主装置か従装置は出力を許可します。このビットが設定(1)の場合、主装置読み込み動作が進行中です(換言すると従装置がSDA線を駆動します)。従装置は応答後(E)にSCL線をLowに保持することができます。
6. 主装置によって停止条件(F)か新規開始条件(再送開始条件)が与えられるまで全て同方向で複数バイトが直ぐに転送できます。従装置はより多くのデータを受信できない場合、最後に受信したバイトデータに 응답しません。主装置が読み込み動作を行うとき、最後のバイトが転送された後の応答ビットをLowに強制することによってこの動作を終了しなければなりません。

### 15.3.5. 開始条件検出器

開始条件検出器は図15-6.で示されます。SDA線はSCL線の有効な採取を保証するために(50~300nsの範囲で)遅延されます。開始条件検出器は2線動作でだけ許可されます。

開始条件検出器は非同期に動作し、従ってパワーダウン休止動作からプロセッサを起動できます。けれども使用する規約がSCL保持時間で制限を持つかもしれません。従ってこの場合にこの特徴(機能)を使用する時にCKSELヒューズで設定する発振器起動時間(15頁の「クロックシステムとその配給」参照)も考慮内に取り入れられなければなりません。より多くの詳細については77頁のUSISIFフラグ記述を参照してください。

図15-6. 開始条件検出器回路構成



### 15.3.6. クロック速度の考察

SCLとUSCKに対する最大周波数は $f_{CK}/2$ です。これは2線と3線の両動作での最大データ転送と受信速度でもあります。2線従装置動作では従装置が更にデータを受信する準備ができるまで、2線クロック制御部がSCLを保持します。これは2線動作で実データ速度を減らすかもしれません。

## 15.4. USIでの代替使用

### 15.4.1. 半二重非同期データ転送

USI部を直列通信に使用しないなら、柔軟な設計のため、代替処理を行うように設定できます。

3線動作でシフトレジスタを使用することによってソフトウェアだけよりも簡潔で高性能のUART実装が可能です。

### 15.4.2. 4ビット計数器

4ビット計数器は溢れ割り込みとの自立型計数器として使用できます。この計数器が外部的にクロック駆動される場合、両クロック端が増加(+1)を発生することに注意してください。

### 15.4.3. 12ビット計数器

USIの4ビット計数器とタイマ/カウンタ0の組み合わせは12ビット計数器としての使用を許します。

### 15.4.4. エッジ起動外部割り込み

4ビット計数器を最大値(\$F)に設定することによって追加外部割り込みとして機能できます。溢れフラグと割り込み許可ビットはこの外部割り込みに対して使用されます。この特徴(機能)はUSICS1ビットによって選択(=1)されます。

### 15.4.5. ソフトウェア割り込み

4ビット計数器の溢れ割り込みはクロック ストローブによって起動するソフトウェア割り込みとして使用できます。

## 15.5. USI用 レジスタ

### 15.5.1. USIDR – USI データレジスタ (USI Data Register)

ビット	7	6	5	4	3	2	1	0	
\$0F (\$2F)	(MSB)							(LSB)	USIDR
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

データレジスタ(USIDR)は直接アクセスできますが、データの複製がUSI緩衝レジスタ(USIBR)でも得られます。

USI制御レジスタ(USICR)のUSICS1,0ビット設定に応じて(左)シフト動作が実行され得ます。このシフト動作は外部クロック端、**タイマ/カウンタ0比較A一致**により、またはUSICLKビット経由のソフトウェア直接で同期化できます。レジスタが書かれるのと同じ周期で直列クロックが起これば、レジスタは書いた値を含み、シフトは実行されません。

2または3線動作種別が選択されない(USIWM1,0=00)時でも、外部データ入力(DI/SDA)と外部クロック入力(USCK/SCL)の両方が未だUSIデータレジスタによって使用され得ることに注意してください。

出力ピン(DOまたはSDA、動作種別依存)は出力ラッチを経由してデータレジスタの最上位ビット(ビット7)に接続されます。このラッチは逆のクロック端でのデータ入力採取とデータ出力変更を保証します。この出力ラッチは外部クロック元が選択される(USICS1=1)時に直列クロック周期の前半中が透過(トランスパレント)で、内部クロック元が使用される(USICS1=0)時に定常的な透過です。ラッチが透過である限り、新規MSBが書かれると、出力は直ちに更新されます。

USIデータレジスタからの出力データを許可するために、ピンに対応するデータ方向レジスタ(DDxn)が1に設定されなければならないことに注意してください。

### 15.5.2. USIBR – USI緩衝レジスタ (USI Buffer Register)

ビット	7	6	5	4	3	2	1	0	
\$10 (\$30)	(MSB)							(LSB)	USIBR
Read/Write	R	R	R	R	R	R	R	R	
初期値	0	0	0	0	0	0	0	0	

USIデータレジスタ(USIDR)からデータを読む代わりにUSI緩衝レジスタ(USIBR)が使用できます。これはUSI制御の微妙なタイミングをなくして他のプログラム処理を扱うより多くの時間をCPUに与えます。USIのフラグはUSIDRを読む時と同様に設定されます。

USIデータレジスタ(USIDR)の内容は転送が完了される時にUSI緩衝レジスタ(USIBR)へ格納されます。

### 15.5.3. USISR – USI状態レジスタ (USI Status Register)

ビット	7	6	5	4	3	2	1	0	
\$0E (\$2E)	USISIF	USIOIF	USIPF	USIDC	USICNT3	USICNT2	USICNT1	USICNT0	USISR
Read/Write	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

この状態レジスタは割り込み要求フラグ、状態フラグ、計数値を含みます。

#### ● ビット7 – USISIF : 開始条件検出割り込み要求フラグ (Start Condition Interrupt Flag)

2線動作選択時に**開始条件**が検出されると、USISIFフラグが設定(1)されます。出力禁止動作または3線動作の選択時、USCKピンのどのエッジもがこのフラグを設定(1)します。

ステータスレジスタ(SREG)の全割り込み許可(I)ビットとUSI制御レジスタ(USICR)で**開始条件検出許可(USISIE)**ビットが設定(1)の場合にこのフラグが設定(1)されると、割り込みが生成されます。このフラグはUSISIFビットへの論理1書き込みによってのみ解除(0)されます。このビットの解除(0)は2線動作でのSCLの**開始条件保持**を解除(開放)します。

開始条件検出割り込みは全ての**休止形態**からプロセッサを起動します。

#### ● ビット6 – USIOIF : 計数器溢れ割り込み要求フラグ (Counter Overflow Interrupt Flag)

このフラグは4ビット計数器が溢れると(換言すると15から0への遷移で)設定(1)されます。SREGの全割り込み許可(I)ビットとUSICRで**計数器溢れ割り込み許可(USIOIE)**ビットが設定(1)の場合にこのフラグが設定(1)されると、割り込みが生成されます。このフラグはUSIOIFビットへの論理1書き込みによってのみ解除(0)されます。このビットの解除(0)は2線動作でのSCLの**計数器溢れ保持**を解除(開放)します。

計数器溢れ割り込みは**アイドル休止動作**からプロセッサを起動します。

#### ● ビット5 – USIPF : 停止条件検出フラグ (Stop Condition Flag)

2線動作が選択された時に**停止条件**が検出されると、USIPFフラグが設定(1)されます。このフラグはこのビットへの1書き込みによって解除(0)されます。これが割り込み要求フラグでないことに注意してください。この合図は2線バス主装置調停の実装時に有用です。



●ビット4 – USIDC : 出力データ衝突フラグ (Data Output Collision Flag)

USIデータレジスタ(USIDR)のビット7(MSB)が物理ピン値と異なる時にこのビットは論理1です。このフラグは2線動作が使用される時にだけ有効です。この合図は2線バス主装置調停の実装時に有用です。

●ビット3~0 – USICNT3~0 : 計数器値 (Counter Value)

これらのビットは現在の4ビット計数器値を反映します。この4ビット計数器値はCPUによって直接的に読み書きできます。

この4ビット計数器は外部クロック端検出器、タイマ/カウンタ0比較A一致、USICLKまたはUSITCストローブビットを使用するソフトウェアのどれかによって生成した各クロックに対して1つ増加します。このクロック元はUSICS1,0ビット設定に依存します。外部クロック動作に対してUSITCストローブビットへの書き込みによって生成されるのをクロックに許す特別な特徴が付加されます。この特徴は外部クロック元(USICS1=1)設定とUSICLKへの1書き込みによって許可されます。

出力禁止動作(USIWM1,0=00)が選択されている時でも、外部クロック入力(USCK/SCL)が未だ計数器によって使用されることに注意してください。

15.5.4. USICR – USI制御レジスタ (USI Control Register)

ビット	7	6	5	4	3	2	1	0	
\$0D (\$2D)	USISIE	USIOIE	USIWM1	USIWM0	USICS1	USICS0	USICLK	USITC	USICR
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	W	W	
初期値	0	0	0	0	0	0	0	0	

この制御レジスタは割り込み許可制御、動作種別設定、クロック選択設定、クロック ストローブを含みます。

●ビット7 – USISIE : 開始条件検出割り込み許可 (Start Condition Interrupt Enable)

このビットを1に設定することが開始条件検出割り込みを許可します。ステータスレジスタ(SREG)の全割り込み許可(I)ビットとUSISIEビットが1に設定され、保留割り込みありなら、割り込みが直ちに実行されます。より多くの詳細については77頁の開始条件検出割り込み要求フラグ(USISIF)記述を参照してください。

●ビット6 – USIOIE : 計数器溢れ割り込み許可 (Counter Overflow Interrupt Enable)

このビットを1に設定することが計数器溢れ割り込みを許可します。ステータスレジスタ(SREG)の全割り込み許可(I)ビットとUSIOIEビットが1に設定され、保留割り込みありなら、割り込みが直ちに実行されます。より多くの詳細については77頁の計数器溢れ割り込み要求フラグ(USIOIF)記述を参照してください。

●ビット5,4 – USIWM1,0 : 動作種別選択 (Wire Mode)

下の表15-1.で示されるようにこれらのビットは使用されるべき動作種別(2または3線動作)を設定します。

表15-1. USI操作とUSIWM1,0の関係		
USIWM1	USIWM0	説明
0	0	出力、クロック保持、開始条件検出器は禁止。ポートピンは標準として動作。
0	1	3線動作。DO,DI,USCKピンを使用。 データ出力(DO)ピンはこの動作でPORTBレジスタの対応ビットを無視します。けれども対応するDDRBビットは未だデータ方向を制御します。ポートピンが入力として設定(DDxn=0)されると、そのピンのプルアップはPORTBビットによって制御されます。 データ入力(DI)と直列クロック(USCK)ピンは標準ポート操作に影響を及ぼしません。主装置として動作する時のクロックパルスはデータ方向が出力に設定されている(DDxn=1)間のPORTBレジスタの交互切り替えによってソフトウェアで生成されます。USICRのUSITCビットがこの目的に使用できます。
1	0	2線動作。SDA(DI)とSCL(USCK)ピンを使用。(注1) 直列データ(SDA)と直列クロック(SCL)ピンは双方向でオープンドレイン出力駆動を使用します。この出力駆動部はDDRAレジスタでSDAとSCLに対応するビットの設定(=1)によって許可されます。 SDAピンに対して出力駆動部が許可されると、出力駆動部はUSIデータレジスタ(USIDR)の出力またはPORTBレジスタの対応ビットが0ならばSDA線をLowに強制します。さもなければ、SDA線は駆動されません(換言すると開放されます)。SCLピン出力駆動部が許可されると、SCL線はPORTBレジスタの対応ビットが0なら、または開始条件検出器によってLowを強制されます。さもなければSCL線は駆動されません。 SCL線は出力が許可され、開始条件検出器が開始条件を検出すると、Lowに保持されます。開始条件検出フラグ(USISIF)の解除(0)がその線を開放します。SDAとSCLピン入力はこの動作の許可によって影響を及ぼされません。SDAとSCLピンのプルアップは2線動作で禁止されます。
1	1	2線動作。SDAとSCLピンを使用。 SCL線は計数器溢れが起こる時にもLowへ保持され、計数器溢れフラグ(USIOIF)が解除(0)されるまでLowに保持されることを除いて、上の2線動作と同じ動作です。

注1: DIとUSCKピンは動作種別間での混乱を避けるため、各々直列データ(SDA)と直列クロック(SCL)に改称されます。



基本的に出力の機能だけがこれらのビットによって影響を及ぼされます。データとクロック入力を選択した動作種別によって影響を及ぼされず、常に同じ機能を持ちます。従って出力が禁止される時でもUSIデータレジスタ(USIDR)とカウンタは外部的にクロック駆動でき、入力データが採取されます。

●ビット3,2 – USICS1,0 : クロック選択 (Clock Source Select)

これらのビットはシフトレジスタと計数器に対するクロック元を設定します。外部クロック元(USCK/SCL)を使用する時にデータ出力ラッチはデータ入力(DI/SDA)の採取の逆端で出力が変更されるのを保証します。タイマ/カウンタ0比較A一致またはソフトウェア ストローブが選択されると、出力ラッチは透過で、従って出力は直ちに變更されます。USICS1,0ビットの解除(=00)がソフトウェア ストローブ選択を許可します。この選択を使用する時のUSICLKビットへの1書き込みはUSIデータレジスタ(USIDR)と計数器の両方をクロック駆動します。外部クロック元(USICS1=1)に対してUSICLKビットはもはやストローブとして使用されませんが、外部クロックとUSITCストローブ ビットによるソフトウェア クロック間を選択します。

表15-2. はUSIデータレジスタ(USIDR)と4ビット計数器に対して使用されるクロック元とUSICS1,0、USICLK設定間の関連を示します。

表15-2. USICS1,0とUSICLK設定との関係				
USICS1	USICS0	USICLK	シフトレジスタクロック元	4ビット計数器クロック元
0	0	0	クロックなし	クロックなし
		1	ソフトウェア クロック ストローブ (USICLK)	ソフトウェア クロック ストローブ (USICLK)
	1	X	タイマ/カウンタ0比較A一致	タイマ/カウンタ0比較A一致
1	0	0	外部クロック上昇端	外部クロック両端
	1		外部クロック下降端	
	0	1	外部クロック上昇端	ソフトウェア クロック ストローブ (USITC)
	1		外部クロック下降端	

●ビット1 – USICLK : クロック ストローブ (Clock Strobe)

USICS1,0ビットのゼロ(=00)書き込みによってソフトウェア ストローブ任意選択が選択されたなら、このビット位置への1書き込みはUSIデータレジスタ(USIDR)を1段シフトして計数器を1つ増加します。このクロック ストローブが実行される時、直ちに、換言すると同じ命令周期内で出力が替わります。USIデータレジスタ(USIDR)内にシフトした値は直前の命令周期で採取されます。

外部クロック元が選択される(USICS1=1)と、USICLK機能はクロック ストローブからクロック選択レジスタに変更されます。この場合のUSICLKビットの設定(1)は4ビット計数器に対するクロック元としてのUSITCストローブを選びます(表15-2.参照)。

このビットは0として読まれます。

●ビット0 – USITC : クロック値切り替え (Toggle Clock Port Pin)

このビット位置に1を書くことはUSCK/SCL値を0から1、または1から0のどちらかへ切り替えます。この切り替えはデータ方向レジスタでの設定と無関係ですが、PORT値がピンで見られるべきなら、DDRビットが出力として設定(=1)されなければなりません。この特徴は主装置を実現する時の容易なクロック生成を許します。

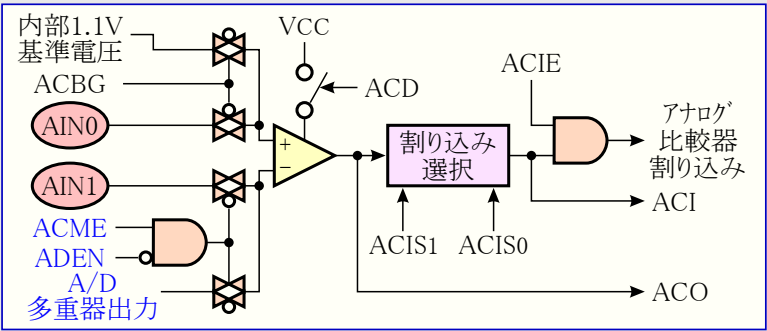
外部クロック元が選択され(USICS1=1)、USICLKビットが1に設定されると、USITCストローブ ビットへの書き込みは直接的に4ビット計数器をクロック駆動します。これは主装置として動作する時に転送が行われる時の早い検出を許します。

このビットは0として読まれます。

## 16. アナログ比較器

アナログ比較器は、非反転入力AIN0(PB0)ピンと反転入力AIN1(PB1)ピンの入力値を比較します。非反転AIN0(PB0)ピンの電圧が反転AIN1(PB1)ピンの電圧よりも高い時に**ACSR**の**アナログ比較器出力(ACO)**ビットが設定(1)されます。この比較器はアナログ比較器専用の独立した割り込みを起動できます。使用者は比較器出力の上昇端、下降端、またはその両方で割り込み起動を選べます。この比較器とその周辺論理回路の構成図は**図16-1**で示されます。

図16-1. アナログ比較器部構成図



**注:** A/D多重器出力については以下の**表16-1**をご覧ください。  
アナログ比較器ピン配置については、**2頁の「ピン配置」**と**41頁の表10-5**を参照してください。

### 16.1. アナログ比較器入力選択

A/D変換器(ADC)がシングルエンドとして設定されるとき、アナログ比較器への反転入力を取り替えるのにADC3~0のどれかを選択することができます。A/D変換の多重器がこの入力選択に使用され、従ってこの機能を利用するためにA/D変換部がOFF(動作禁止)されなければなりません。ADCSRBの**アナログ比較器多重器許可(ACME)**ビットが設定(1)され、A/D変換部がOFF(ADCSRAのADENビットが0)にされるなら、**表16-1**で示されるように**ADMUX**の**チャンネル選択(MUX1,0)**ビットがアナログ比較器への反転入力を取り替えるための入力ピンを選択します。ACMEが解除(0)、またはADENが設定(1)されると、AIN1がアナログ比較器への反転入力に印加されます。

表16-1. アナログ比較器反転入力選択

ACME	ADEN	MUX1,0	アナログ比較器反転入力
0	x	x x	AIN1
	1	x x	
1	0	0 0	ADC0
		0 1	ADC1
		1 0	ADC2
		1 1	ADC3

### 16.2. アナログ比較器用レジスタ

#### 16.2.1. ADCSRB – A/D変換制御/状態レジスタB (ADC Control and Status Register B)

ビット	7	6	5	4	3	2	1	0	
\$03 (\$23)	BIN	ACME	IPR	–	–	ADTS2	ADTS1	ADTS0	ADCSRB
Read/Write	R/W	R/W	R/W	R	R	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

##### ● ビット6 – ACME : アナログ比較器多重器許可 (Analog Comparator Multiplexer Enable)

このビットが論理1を書かれ、A/D変換部がOFF(ADCSRAのADENビットが0)にされると、A/D変換の多重器がアナログ比較器への反転入力を選択します。このビットが論理0を書かれると、AIN1がアナログ比較器の反転入力に印加されます。このビットの詳細な記述については上記の「**アナログ比較器入力選択**」をご覧ください。

### 16.2.2. ACSR – アナログ比較器 制御/状態レジスタ (Analog Comparator Control and Status Register)

ビット	7	6	5	4	3	2	1	0	
\$08 (\$28)	ACD	ACBG	ACO	ACI	ACIE	–	ACIS1	ACIS0	ACSR
Read/Write	R/W	R/W	R	R/W	R/W	R	R/W	R/W	
初期値	0	0	不定	0	0	0	0	0	

#### ● ビット7 – ACD : アナログ比較器禁止 (Analog Comparator Disable)

このビットが論理1を書かれると、アナログ比較器への電力がOFFにされます。このビットはアナログ比較器をOFFにするために何時でも設定(1)できます。これは活動動作やアイドル動作で電力消費を削減します。ACDビットを変更する時にACSRの[アナログ比較器割り込み許可\(ACIE\)ビット](#)を解除(0)することによってアナログ比較器割り込みが禁止されなければなりません。さもなければ、このビットが変更される時に割り込みが起り得ます。

#### ● ビット6 – ACBG : 基準電圧選択 (Analog Comparator Bandgap Select)

このビットが設定(1)されると、内部基準電圧(公称1.1V)がアナログ比較器への非反転入力に置き換わります。本ビットが解除(0)されると、AIN0がアナログ比較器の非反転入力に印加されます。内部基準電圧がアナログ比較器への入力として使用されるとき、電圧の安定に一定時間を必要とします。安定(待機を)しない場合、不正な比較になるかもしれません。29ページの「[内部基準電圧](#)」をご覧ください。

#### ● ビット5 – ACO : アナログ比較器出力 (Analog Comparator Output)

アナログ比較器の出力は同期化され、その後に直接ACOへ接続されます。この同期化は1～2クロック周期の遅延をもたらします。

#### ● ビット4 – ACI : アナログ比較器割り込み要求フラグ (Analog Comparator Interrupt Flag)

このビットは比較器出力での出来事がACSRの[アナログ比較器割り込み条件\(ACIS1,0\)ビット](#)によって定義した割り込み方法で起動する時に設定(1)されます。ACSRのアナログ比較器割り込み許可(ACIE)ビットが設定(1)され、[ステータスレジスタ\(SREG\)の全割り込み許可\(I\)ビット](#)が設定(1)されていると、アナログ比較器割り込みルーチンが実行されます。対応する割り込み処理ベクタを実行すると、ACIはハードウェアによって解除(0)されます。代わりにこのフラグへ論理1を書くことによってもACIは解除(0)されます。

#### ● ビット3 – ACIE : アナログ比較器割り込み許可 (Analog Comparator Interrupt Enable)

ACIEビットが論理1を書かれ、ステータスレジスタ(SREG)の全割り込み許可(I)ビットが設定(1)されていると、アナログ比較器割り込みが活性(有効)にされます。論理0を書かれると、この割り込みは禁止されます。

#### ● ビット2 – Res : 予約 (Reserved)

このビットは予約されており、常に0として読まれます。

#### ● ビット1,0 – ACIS1,0 : アナログ比較器割り込み条件 (Analog Comparator Interrupt Mode Select)

これらのビットは比較器のどの事象がアナログ比較器割り込みを起動するかを決めます。各種設定は表16-2で示されます。

ACIS1,ACIS0ビットを変更する時にACSRのアナログ比較器割り込み許可(ACIE)ビットを解除(0)することによってアナログ比較器割り込みが禁止されなければなりません。さもなければ、これらのビットが変更される時に割り込みが起き得ます。

表16-2. アナログ比較器割り込み条件選択

ACIS1	ACIS0	割り込み発生条件
0	0	比較器出力の変移(トグル)
0	1	(予約)
1	0	比較器出力の下降端
1	1	比較器出力の上昇端

### 16.2.3. DIDR0 – デジタル入力禁止レジスタ0 (Digital Input Disable Register 0)

ビット	7	6	5	4	3	2	1	0	
\$14 (\$34)	–	–	ADC0D	ADC2D	ADC3D	ADC1D	AIN1D	AIN0D	DIDR0
Read/Write	R	R	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

#### ● ビット1,0 – AIN1D,AIN0D : AIN1,AIN0 デジタル入力禁止 (AIN1,AIN0 Digital Input Disable)

このビットが論理1を書かれると、AIN1/0ピンのデジタル入力緩衝部が禁止されます。このビットが設定(1)されると、対応するポート入力レジスタのビット(PINx)は常に0として読みます。AIN1/0ピンにアナログ信号が印加され、そのピンからのデジタル入力が必要とされない時にデジタル入力緩衝部での消費電力を削減するため、このビットは論理1を書かれるべきです。

## 17. A/D変換器

### 17.1. 特徴

- 10ビット分解能
- 積分性非直線誤差0.5LSB
- 絶対精度 $\pm 2$ LSB
- 変換時間13~260 $\mu$ s (50kHz~1MHz変換クロック)
- 最大分解能で15kSPS(採取/s)まで (200kHz変換クロック)
- 4チャンネルのシングル エント'入力多重器内蔵
- 利得選択可能な2つの差動入力チャンネル
- 温度感知器入力チャンネル
- A/D変換結果読み出しに対する任意の左揃え
- 0~VCC A/D変換入力電圧範囲
- 選択可能な1.1V/2.56V A/D変換基準電圧
- 連続と単独の変換動作
- 割り込み元の自動起動によるA/D変換開始
- A/D変換完了割り込み
- 休止形態雑音低減機能
- 単極性/両極性入力動作
- 入力極性反転動作

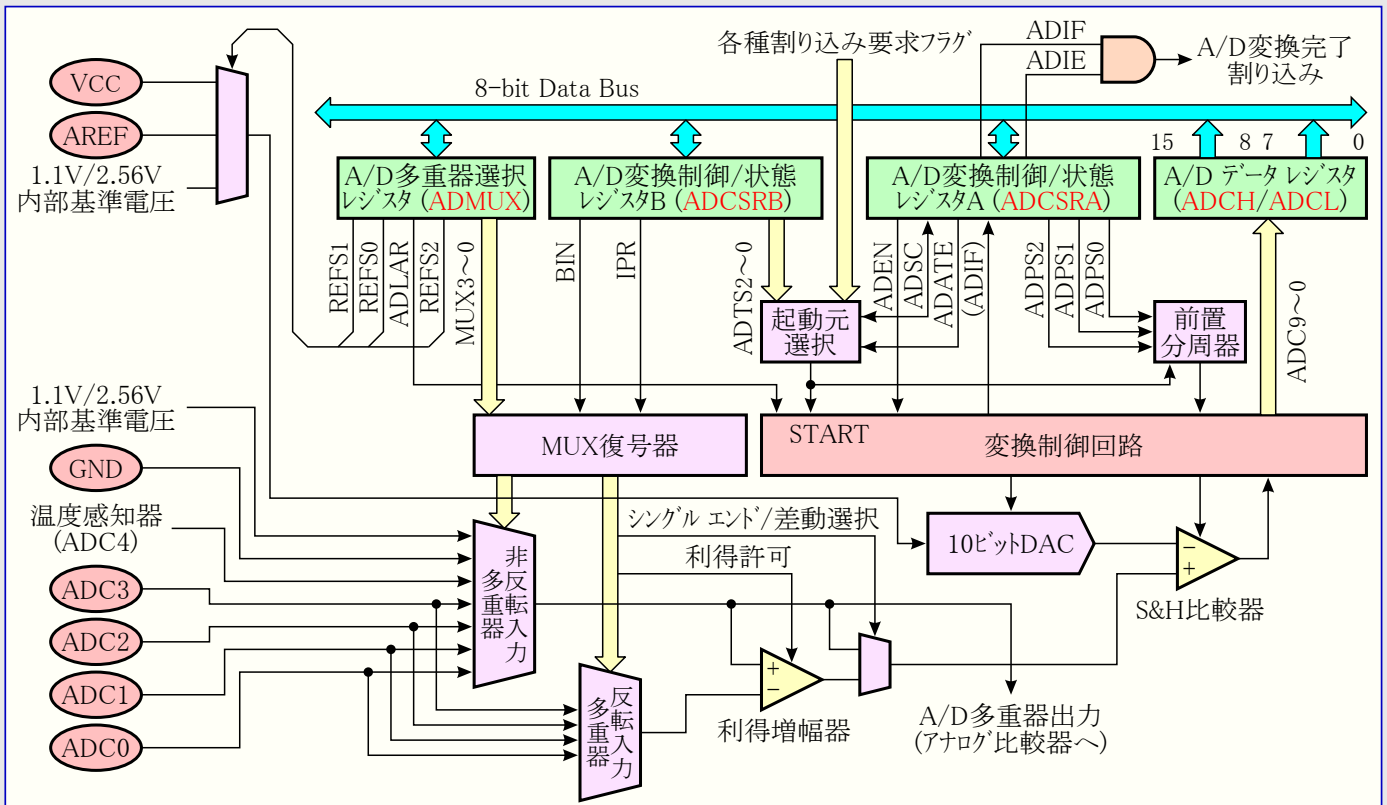
### 17.2. 概要

ATtiny25/45/85は10ビット逐次比較A/D変換器(ADC)が特徴です。このA/D変換器はポートBのピンから構成された4つのシングル エント'電圧入力と1つの差動電圧入力を許す4チャンネル アナログ'多重器に接続されます。差動入力(PB3,PB4またはPB2,PB5)はA/D変換に先立つ差動入力電圧で26dB( $\times 20$ )の増幅段を提供する設定変更可能な利得段が装備されます。シングル エント'電圧入力は0V(GND)が基準です。

このA/D変換器はA/D変換器への入力電圧が変換中に一定の値で保持されることを保証する採取&保持(S/H)回路を含みます。A/D変換部の構成図は図17-1.で示されます。

公称1.1V/2.56Vの内蔵基準電圧がチップ上で提供されます。代わりにVCCがシングル エント'チャンネル用の基準電圧として使用できます。内部基準電圧をOFFにして外部基準電圧を使用する任意選択もあります。

図17-1. A/D変換器部構成図





## 17.3. 操作

A/D変換部は逐次比較を通してアナログ入力電圧を10ビットのデジタル値に変換します。最小値はGNDを表し、最大値はVCC電圧、AREFピンの電圧、または1.1V/2.56V内部基準電圧を表します。

A/D変換器用の基準電圧はA/D多重器選択レジスタ(ADMUX)の基準電圧選択(REFS2~0)ビットへの書き込みによって選択できます。VCC電源、AREFピン、または1.1V/2.56V内部基準電圧がA/D変換器基準電圧として選択できます。任意で2.56V内部基準電圧は雑音耐性を改善するためにAREFピンで外部コンデンサによってデカップ(雑音結合減少)ができます。

アナログ入力チャネルと差動利得はADMUXのチャネル選択(MUX3~0)ビットへの書き込みによって選択されます。4つのADC入力ピン(ADC3~0)のどれもがA/D変換器のシングルエンド入力として選択できます。ADC0とADC2は差動利得増幅器への非反転入力として、ADC0,ADC1,ADC2,ADC3は反転入力として選択できます。

差動チャネルが選択されると、差動利得段は選択した入力チャネル対間の差電圧を、ADMUXのMUX3~0ビット設定に従って、1倍または20倍の選択した増幅率で増幅します。それからこの増幅した値はA/D変換器の入力になります。シングルエンドチャネルが使用されると、利得増幅器全体が迂回(無視)されます。

ADC0かADC2が差動利得増幅器への反転と非反転両方の入力として選択(ADC0-ADC0またはADC2-ADC2)されると、利得段と変換回路の残留オフセットが変換結果として直接測定できます。この数値はオフセット誤差を1LSB以下に減らすために、同じ利得設定で後続する変換(結果)から減算できます。

チップ上の温度感知器はADC4チャネルがA/D変換器入力として使用されるとき、(即ち)ADMUXのMUX3~0ビットへの'1111'書き込みによって選択されます。

A/D変換部はA/D変換制御/状態レジスタA(ADCSRA)のA/D許可(ADEN)ビットの設定(1)によって(動作が)許可されます。基準電圧と入力チャネルの選択はADENが設定(1)されるまで実施しません。ADENが解除(0)されているとA/D変換部は電力を消費しないので、節電をする休止形態へ移行する前にA/D変換部をOFFに切り替えることが推奨されます。

A/D変換部はA/Dデータレジスタ(ADCH,ADCL)で示される10ビットの結果を生成します。既定では、この結果は右揃え(16ビットのビット0側10ビット)で表されますが、ADMUXで左揃え選択(ADLAR)ビットを設定(1)することにより、任意で左揃え(16ビットのビット15側10ビット)で表せます。

この結果が左揃え補正され、8ビットを越える精度が必要とされない場合はADCHを読むことで足ります。さもないとデータレジスタの内容が同じ変換に属することからの結果を保証するため、ADCLが初めに、次にADCHが読まなければならないかもしれません。一度ADCLが読まれると、A/D変換器からのA/Dデータレジスタ(ADCH,ADCL)アクセスが阻止されます。これはADCLが読まれてしまい、ADCHが読まれる前に変換が完了すると、どちらのレジスタ(ADCH,ADCL)も更新されず、その変換からの結果が失われることを意味します。ADCHが読まれると、ADCH,ADCLへのA/D変換器アクセスが再び許可されます。

A/D変換部には変換完了時に起動できる自身の割り込みがあります。A/DデータレジスタへのA/D変換器アクセスがADCLとADCHの読み込み間で禁止されている場合、例えばその変換結果が失われても割り込みは起動します。

## 17.4. 変換の開始

単独変換はADCSRAで変換開始(ADSC)ビットに論理1を書くことによって開始されます。このビットは変換が進行中である限り、1に留まり、変換が完了されるとハードウェアによって解除(0)されます。変換が進行中に違う入力チャネルが選択されると、A/D変換部はそのチャネル変更を実行する前に現在の変換を済ませます。

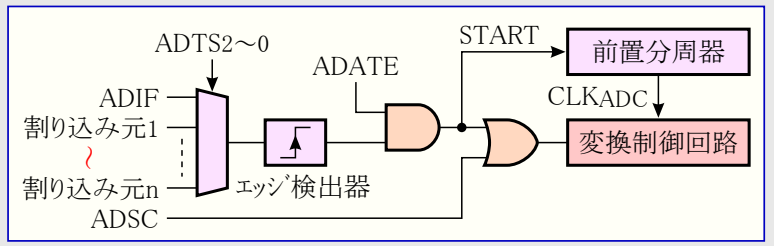
代わりに、変換は様々な起動元によって自動的に起動できます。自動起動はA/D変換制御/状態レジスタA(ADCSRA)のA/D変換自動起動許可(ADATE)ビットの設定(1)によって許可されます。起動元はA/D変換制御/状態レジスタB(ADCSRB)のA/D変換起動元選択(ADTS2~0)ビットの設定によって選択されます(起動元の一覧についてはADTSビットの記述をご覧ください)。選択した起動信号上に上昇端が起きると、A/D変換用前置分周器がリセットし、変換が開始されます。これは一定間隔での変換開始の方法を提供します。変換完了時に起動信号が未だ設定(1)されている場合は新規の変換が開始されません。変換中にこの起動信号上で別の上昇端が起きると、そのエッジは無視されます。指定した割り込みが禁止またはステータスレジスタ(SREG)の全割り込み許可(I)ビットが解除(0)でも、割り込み要求フラグが設定(1)されることに注意してください。従って割り込みを起こさずに変換が起動できます。けれども次の割り込み要因で新規変換を起動するために、割り込み要求フラグは解除(0)されなければならないかもしれません。

起動元としてA/D変換完了割り込み要求フラグ(ADIF)を使用することは、A/D変換器に実行中の変換が完了されると直ぐに新規変換を開始させます。そのためA/D変換器は連続動作で動き、継続的な採取(変換)とA/Dデータレジスタを更新します。最初の変換はADCSRAでADSCビットに論理1を書くことにより始めなければならないかもしれません。この動作でのA/D変換器はA/D変換完了割り込み要求フラグ(ADIF)が解除(0)されるかどうかにかかわらず、継続的な変換を実行します。

自動起動が許可されている場合、ADCSRAのADSCビットに論理1を書くことによって単独変換を開始できます。ADSCは変換が進行中かを決めるためにも使用できます。ADSCビットは変換がどう開始されたかに拘らず、変換中は1として読めます。

変換はA/D変換雑音低減機能の使用によっても開始され得ます。この機能はアイドル休止動作とA/D変換雑音低減休止動作中に変換を許可します。詳細については86頁の「雑音低減機能」をご覧ください。(訳注:共通性から2行追加)

図17-2. A/D変換自動起動回路





## 17.5. 前置分周と変換タイミング

既定での逐次比較回路は最大分解能を得るのに50～200kHzの入力クロック周波数を必要とします。10ビットよりも低い分解能が必要とされるなら、A/D変換器への入力クロック周波数はより高い採取速度を得るために200kHzよりも高くできます。1MHzよりも高い入力クロック周波数を使用することは推奨されません。

A/D変換部は100kHz以上のどんなCPUクロックからも受け入れ可能なA/D変換クロック周波数を生成する前置分周器を含みます。この前置分周はA/D変換制御/状態レジスタ(ADCSRA)のA/Dクロック選択(ADPS2～0)ビットによって設定されます。前置分周器はADCSRAでA/D許可(ADEN)ビットの設定(1)によってA/D変換部がONにされた瞬間から計数を始めます。前置分周器はADENビットが設定(1)される限り走行を保ち、ADENが0の時は継続的にリセットします。

ADCSRAのA/D変換開始(ADSC)ビットの設定(1)によってシングルエンド入力の変換を起動すると、その変換は直後の変換クロックの上昇端で始まります。

通常の変換は13変換クロック周期で行われます。下の図17-4.で示されるように、A/D変換部がONされる(ADCSRAのADEN=1)後の最初の変換はアナログ回路を初期化するために25変換クロック周期で行われます。

図17-3. A/D変換前置分周器部構成

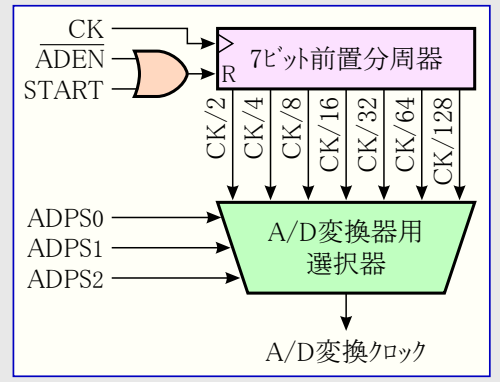
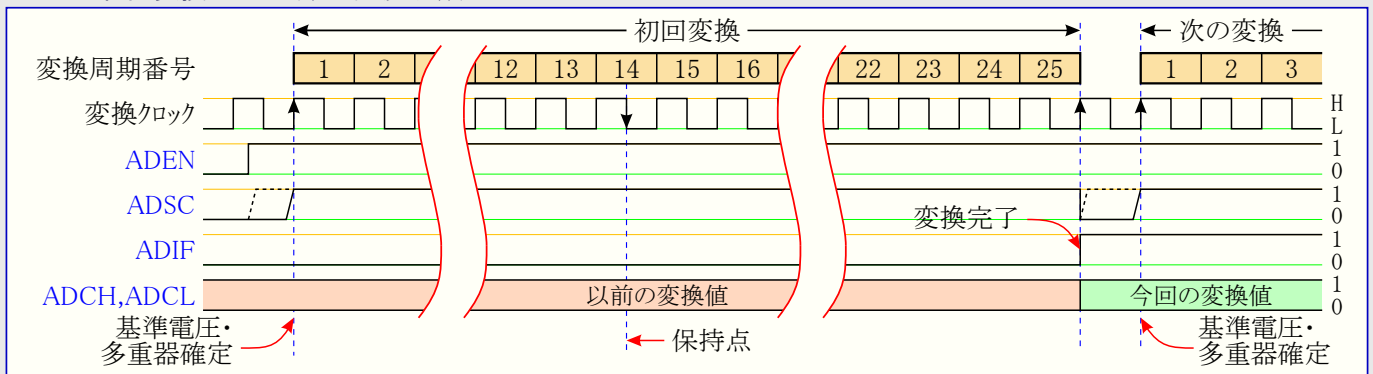
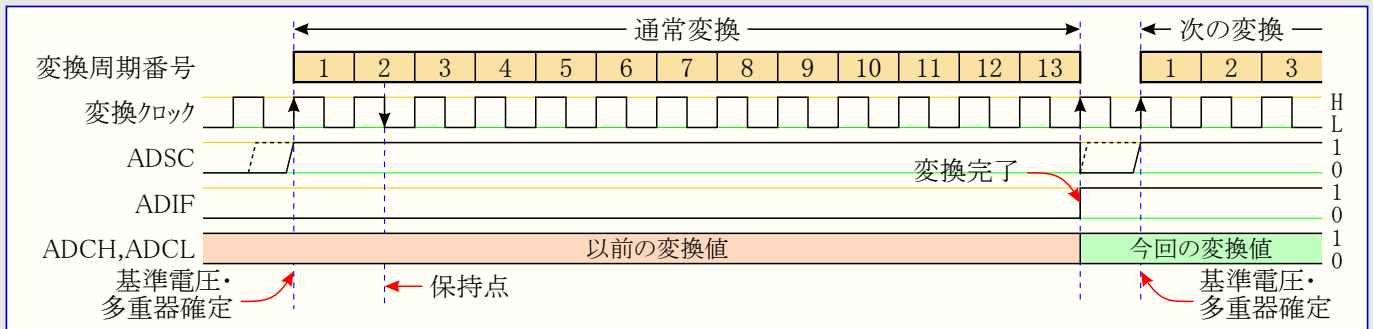


図17-4. 初回変換タイミング (単独変換動作)



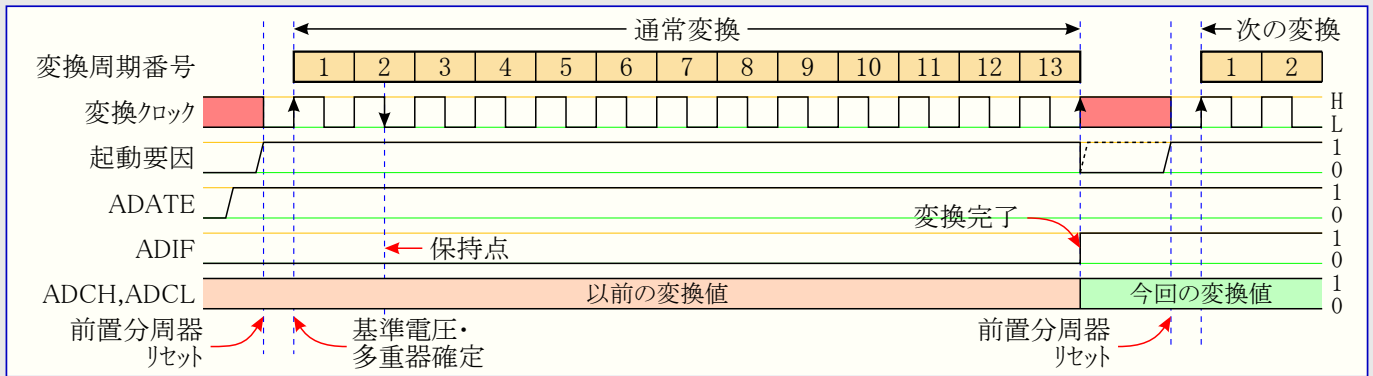
実際の採取&保持(保持開始点)は通常変換の開始後1.5変換クロック周期、初回変換の開始後13.5変換クロック周期で行われます。変換が完了すると、結果がA/Dデータレジスタ(ADCH, ADCL)に書かれ、ADCSRAのA/D変換完了割り込み要求フラグ(ADIF)が設定(1)されます。単独変換動作(ADATE=0)では同時にADCSRAのA/D変換開始(ADSC)ビットが解除(0)されます。その後にソフトウェアは再びADSCを設定(1)でき、新規変換は変換クロックの最初の上昇端で開始されます。

図17-5. 通常変換タイミング (単独変換動作)



自動起動が使用されると、前置分周器は起動要因発生時にリセットされます。これは起動要因から変換開始までの一定の遅延を保証します。この動作での採取&保持は起動要因となる信号の上昇後、2変換クロック周期で採取が行われます。同期化論理回路(エッジ検出器)に対して追加の3CPUクロック周期が費やされます。

図17-6. 通常変換タイミング (自動起動変換動作)



連続変換動作(ADATE=1)では変換完了後直ちに新規変換が開始され、一方ADSCは1に留まります。変換時間の要約については表17-1をご覧ください。

図17-7. 連続変換動作タイミング

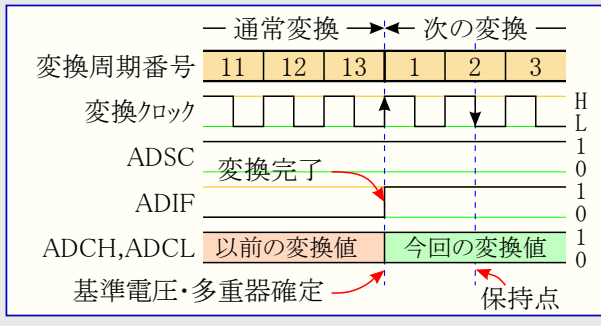


表17-1. A/D変換時間

変換種別	保持点	変換時間
初回変換	13.5	25
シングルエンド入力通常変換	1.5	13
自動起動変換	1.5 (2)	13.5

注: 変換時間を除く各値は変換開始からの変換クロック数です。

## 17.6. チャネル変更と基準電圧選択

A/D多重器選択レジスタ(ADMUX)のチャネル選択(MUX3~0)ビットと基準電圧選択(REFS2~0)ビットはCPUがランダムにアクセスするための一時レジスタを通して単独緩衝されます。これはチャネルと基準電圧の選択が変換中の安全なところでだけ行うのを保証します。チャネルと基準電圧の選択は変換が開始されるまで継続的に更新されます。一旦変換が始まると、A/D変換器に対して十分な採取/変換時間を保証するためにチャネルと基準電圧の選択は固定されます。継続的な更新は変換完了(ADCSRAのADIF=1)前の最後の交換クロック周期で再開します。ADCSRAの変換開始(ADSC)ビットが書かれた後の次の交換クロックの上昇端で変換が始まることに注意してください。従って使用者はADSC書き込み後、1変換クロック周期(経過)まで新しいチャネルまたは基準電圧選択値をADMUXに書かないことを推奨されます。

自動起動が使用される場合、起動要因の正確な時間は確定できません。変換が新規設定によって影響されるように制御するにはADMUXの更新時に特別な注意が払われなければなりません。

ADCSRAのA/D許可(ADEN)とA/D変換自動起動許可(ADATE)の両方が1を書かれると、何時でも割り込みが起き得ます。この期間でADMUXが変更されると、使用者は次の変換が旧設定または新設定どちらが基準にされるかを知らることができません。ADMUXは次の方法で安全に更新できます。

- ADENまたはADATEが解除(0)されているとき。
- 変換開始後、最低1変換クロック周期経過後の変換中。
- 変換後から、変換起動元として使用した割り込みフラグが解除(0)される直前まで。

これら条件の1つでADMUXを更新すると、新設定は次のA/D変換に影響を及ぼします。

### 17.6.1. A/D入力チャネル

チャネル選択を変更する時に使用者は正しいチャネルが選択されることを保証するために次の指針を守るべきです。

単独変換動作では常に変換を始める前にチャネルを選択してください。チャネル選択はADSCへの1書き込み後、1変換クロック周期で変更されるかもしれません。とは言え、最も簡単な方法はチャネル選択を変更する前に変換が完了するまで待つことです。

連続変換動作では常に最初の変換を始める前にチャネルを選択してください。チャネル選択はADSCへの1書き込み後、1変換クロック周期で変更されるかもしれません。とは言え、最も簡単な方法は最初の変換が完了するまで待ち、その後にチャネル選択を変更することです。既に次の変換が自動的に開始されているので、次の結果は直前のチャネル選択を反映します。それに続く変換は新しいチャネル選択を反映します。

### 17.6.2. A/D変換基準電圧

このA/D変換用の基準電圧( $V_{REF}$ )はA/D変換に対する変換範囲を示します。 $V_{REF}$ を越えるシングル エント'入力チャネルは\$3FFで打ち切るコード'に帰着します。 $V_{REF}$ はVCC、1.1V/2.56V内部基準電圧、外部AREFピンのどれかとして選択できます。基準電圧源切り替え後の最初のA/D変換結果は不正確かもしれませんが、使用者はこの結果を破棄することが推奨されます。

### 17.7. 雑音低減機能

このA/D変換部はCPUコアと他の周辺I/Oが誘導した雑音を削減するために**休止形態**中の変換を可能にする雑音低減機能が特徴です。この機能は**A/D変換雑音低減動作**と**アイドル動作**で使用できます。この機能を使用するには次の手順が使用されるべきです。

- ① A/D変換部が許可(**ADEN=1**)され、変換中でない(**ADSC=0**)ことを確認してください。単独変換動作が選択(**ADATE=0**)され、且つA/D変換完了割り込みが許可(**ADIE=1**)されていなければなりません。
- ② A/D変換雑音低減(またはアイドル)動作に移行してください。一旦CPUが停止されてしまうと、A/D変換部は変換を始めます。
- ③ A/D変換完了前に他の割り込みが起こらなければ、A/D変換完了割り込みはCPUを起動してA/D変換完了割り込みルーチンを実行します。A/D変換完了前に他の割り込みがCPUを起動すると、その割り込みが実行され、A/D変換完了割り込み要求はA/D変換完了時に生成されます。CPUは新規**SLEEP**命令が実行されるまで活動動作に留まります。

アイドル動作とA/D変換雑音低減動作を除く他の休止形態へ移行する時にA/D変換部が自動的にOFFへ切り替えられないことに注意してください。使用者は余分な消費電力を避けるため、このような休止形態へ移行する前にADENへ**0**を書くことが推奨されます。

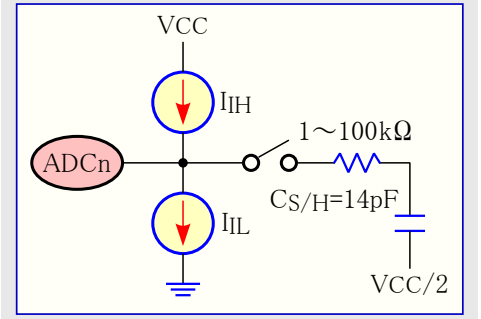
### 17.8. アナログ入力回路

シングル エント'入力チャネルのアナログ回路は図17-8.で図示されます。ADCnに印加したアナログ(信号)源はそのチャネルがADC入力として選択されているかどうかにかかわらず、ピン容量とそのピンの漏れ電流に左右されます。そのチャネルが選択されると、(アナログ信号)源は直列抵抗(入力経路の合成抵抗)を通してS/Hコンデンサを駆動しなければなりません。

A/D変換部は概ね10k $\Omega$ 若しくはそれ以下の出力インピーダンスのアナログ信号用に最適化されています。このような(アナログ信号)源が使用されるなら、採取時間は無視してもよいでしょう。より高いインピーダンスの(アナログ信号)源が使用される場合、採取時間は広範囲に変化し得るS/Hコンデンサを充電するために(アナログ信号)源がどれくらいの時間を必要とするかに依存します。必要とされるS/Hコンデンサへの充放電を最小とするため、使用者は緩やかに変化する低インピーダンス(アナログ信号)源だけを使用することが推奨されます。

特定できない信号の渦からの歪を避けるために、どのチャネルに対してもナイキスト周波数( $f_{ADC}/2$ )よりも高い信号成分が存在すべきではありません。使用者はADC入力として信号を印加する前に低域通過濾波器(ローパス フィルタ)で高い周波数成分を取り除くことが推奨されます。

図17-8. アナログ入力回路



### 17.9. アナログ雑音低減技術

デバイス内外のデジタル回路がアナログ測定に影響を及ぼすかもしれないEMIが発生します。変換精度が重要な場合、次の技法を適用することによって雑音レベルを低減できます。

- アナログ信号経路を可能な限り最短にしてください。
- アナログ信号経路がアナログGND面上を走ることを確認してください。
- アナログ信号経路を高速切り替えデジタル信号線から充分離すことを守ってください。
- 何れかのADCポート ピンがデジタル出力として使用される場合、これらを変換進行中に決して切り替えてはなりません。
- 可能な限りVCCとGNDピンの近くにパスコンを配置してください。

高いA/D変換精度が必要とされるとき、「**雑音低減機能**」で記述されるようにA/D変換雑音低減動作の使用が推奨されます。これは特にシステム クロック周波数が1MHz以上、または「**温度測定**」で記述されるようにA/D変換が内部温度感知器読み込みで使用される場合です。正しい外部パスコン配置での良いシステム設計はA/D変換雑音低減動作の必要性を低減します。

## 17.10. A/D変換の精度定義

シングル エント入力電圧のnビットA/D変換はGNDとVREF間を $2^n$ で直線的に変換します。最低値コードは0として読み、最高値コードは $2^n-1$ として読みます。以下の各種パラメータは理想状態からの偏差を表します。

### ● オフセット誤差 - 図17-9.

最初の遷移点(\$000から\$001)に於いて理想遷移点(差0.5 LSB)と比較した偏差です。理想値は0LSBです。

### ● 利得誤差 - 図17-10.

オフセット誤差補正後の最後の遷移点(\$3FEから\$3FF)に於いて理想遷移点(最大差1.5LSB以下)と比較した偏差です。理想値は0LSBです。

### ● 積分性非直線誤差 (INL) - 図17-11.

オフセット誤差と利得誤差補正後の全ての遷移点に於いて理想遷移点と比較した最大偏差です。理想値は0LSBです。

### ● 差動非直線誤差 (DNL) - 図17-12.

実際のコードの幅(隣接する2つの遷移点間)に於いて理想コード幅(1LSB)と比較した最大偏差です。理想値は0LSBです。

### ● 量子化誤差

有限数のコードで入力電圧を量子化するため、1LSB幅となる入力電圧範囲は同じ値のコードになります。この値は常に $\pm 0.5$ LSBです。

### ● 絶対精度

補正しない全ての遷移点に於いて理想遷移点と比較した最大偏差です。これは、オフセット誤差、利得誤差、差動誤差、非直線誤差の影響の合成です。理想値は $\pm 0.5$ LSBです。

図17-9. オフセット誤差

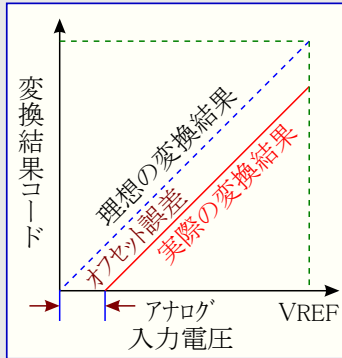


図17-10. 利得誤差

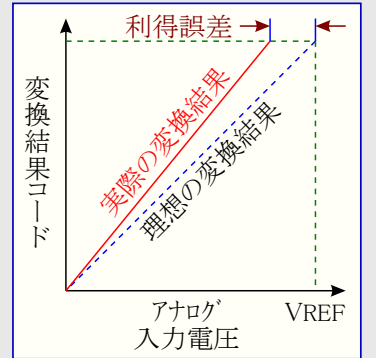


図17-11. 積分性非直線誤差

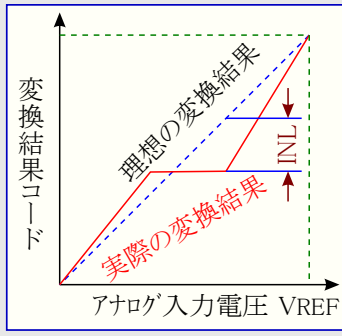
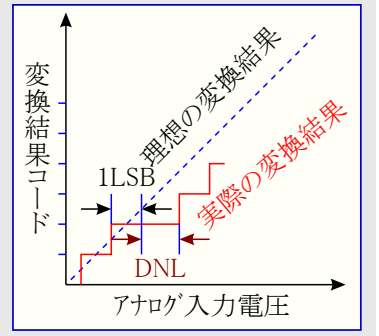


図17-12. 差動非直線誤差



## 17.11. A/D変換の結果

変換完了(ADIF=1)後、変換結果はA/Dデータレジスタ(ADCH, ADCL)で得られます。変換結果の形式はシングル エント変換、単極差動変換、両極差動変換の3つの変換形式に依存します。

### 17.11.1. シングル エント変換

シングル エント入力変換での結果は右式で示されます。

VINは選択した入力ピンの電圧で、VREFは選択した基準電圧です(89頁の表17-3.と表17-4.をご覧ください)。\$000はアナログGNDを表し、\$3FFは選択した基準電圧-1LSBを表します。結果は0(\$000)~1023(\$3FF)の符号なし2進数で表されます。

$$ADC = \frac{VIN \times 1024}{VREF}$$

### 17.11.2. 単極差動変換

差動チャネルで単極入力動作が使用されると、その結果は右式で示されます。

VPOSは非反転入力ピンの電圧、VNEGは反転入力ピンの電圧、GAINは選択した倍率、VREFは選択した基準電圧です(89頁の表17-3.と表17-4.をご覧ください)。非反転ピンの電圧は常に反転ピンの電圧より高くなければならず、さもなければ差電圧は0に飽和します。結果は0(\$000)~1023(\$3FF)の符号なし2進数で表されます。GAINは1倍か20倍の何れかです。

$$ADC = \frac{(VPOS - VNEG) \times GAIN \times 1024}{VREF}$$

### 17.11.3. 両極差動変換

既定としてA/D変換器は単極入力動作で働きますが、A/D変換制御/状態レジスタB(ADCSR\_B)の両極入力動作(BIN)ビットの1書き込みにより両極入力動作が選べます。両極入力動作では±両側の差電圧が許され、従って反転入力ピンの電圧は非反転入力ピンの電圧よりも高くもできます。差動チャネルで両極入力動作が使用されると、その結果は右式で示されます。

$$ADC = \frac{(VPOS - VNEG) \times GAIN \times 512}{VREF}$$

VPOSは非反転入力ピンの電圧、VNEGは反転入力ピンの電圧、GAINは選択した倍率、VREFは選択した基準電圧です。結果は-512(\$200)から0(\$000)を通して+511(\$1FF)までの符号付き2進数で表されます。GAINは1倍か20倍の何れかです。

けれども信号が本質動作(10ビットとして符号+9ビット)で両極でない場合、この仕組みは変換器の機能範囲(ダイナミックレンジ)の1ビットを失います。そこで使用者が最大機能範囲での変換実行を欲するなら、使用者は(変換)結果を素早く調べ、選択可能な差動入力対で単極差動変換を使用できます(入力極性反転動作、換言すると90頁でADCSR\_Bの入力極性反転(IPR)ビットをご覧ください)。極性検査実行時、それは結果のMSB読み込み(ADCHのADC9ビット)で充分です。このビットが1ならば結果が負、0ならば正です。



17.12. 温度測定

温度測定はシングル エント ADC4チャンネルに連結されるチップ上の温度感知器に基づきます。A/D多重器選択(ADMUX)レジスタのチャンネル選択 (MUX3~0)ビットへの'1111'書き込みによるADC4チャンネル選択がこの温度感知器を許可します。1.1V内部基準電圧も温度感知器測定でA/D変換器基準電圧源に選択されなければなりません。温度感知器が許可されると、A/ D変換器は温度感知器上の電圧測定を単独変換動作(ADATE=0)で 사용할 ことができます。

測定した電圧は表17-2.で記述されたように温度に対して直線的関係を持ちます。感度は概ね1LSB/℃で、精度は使用者校正に依存します。代表的には、室温校正との仮定で、単独温度校正後の測定精度は±10℃です。より良い精度は校正に対して2つの温度点を使用することで達せられます。

表17-2.に記載した値は代表値です。然しながら製法変化のため、温度感知器出力電圧は或るチップと別のチップで変化します。より正確な結果達成を可能とするために温度測定は応用ソフトウェアで校正できます。校正ソフトウェアは次式を使用して行なえます。

表17-2. 温度対感知器出力電圧 (代表値)

温度(℃)	-40℃	+25℃	+85℃
A/D変換値(LSB)	230	300	370

$$T(\text{温度}) = k \times (\text{ADCH} \ll 8 | \text{ADCL}) - T_{OS}$$

ここでADCH:ADCLはA/D変換器データレジスタ、kは固定傾斜係数、TOSは温度感知器オフセット値です。代表的に係数kは1.0に大変近く、単点校正ではこの係数を省略できるかもしれません。高精度が要求される場合、傾斜係数は2つ温度での測定を基に評価されるべきです。



17.13. A/D変換用レジスタ

17.13.1. ADMUX – A/D多重器選択レジスタ (ADC Multiplexer Select Register)

ビット	7	6	5	4	3	2	1	0	
\$07 (\$27)	REFS1	REFS0	ADLAR	REFS2	MUX3	MUX2	MUX1	MUX0	ADMUX
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

●ビット4,7,6 – REFS2~0 : 基準電圧選択 (Reference Select Bits)

これらのビットは表17-3で示されるようにA/D変換器の基準電圧(VREF)を選びます。これらのビットが変換中に変更されると、その変更は変換が完了する(ADCSRAのADIF=1)まで実施しません。これらのビットが変更されると、次の変換は必ず25A/D変換クロック掛かります。活動するチャンネルが使用される場合、基準電圧としてVCCまたは(VCC-1V)よりも高い外部AREFの使用は、これがA/D変換精度に影響を及ぼすために推奨されません。

表17-3. A/D変換部の基準電圧選択

REFS2	REFS1	REFS0	基準電圧 (VREF)
x	0	0	基準電圧としてVCC使用 (AREF(PB0)ピン切断)
x	0	1	AREF(PB0)ピンの外部基準電圧 (内部基準電圧はOFF)
0	1	0	AREF(PB0)外部デカップ用コンデンサなし、1.1V内部基準電圧 (AREF(PB0)ピン切断)
0	1	1	(予約)
1	1	0	AREF(PB0)外部デカップ用コンデンサなし、2.56V内部基準電圧 (注) (AREF(PB0)ピン切断)
1	1	1	AREF(PB0)外部デカップ用コンデンサあり、2.56V内部基準電圧 (注)

注: このデバイスは2.56V基準電圧を生成するために3V以上の供給電圧が必要です。

●ビット5 – ADLAR : 左揃え選択 (ADC Left Adjust Result)

ADLARビットはA/Dデータレジスタ内の変換結果の配置に影響を及ぼします。結果を左揃えにするにはADLARに1を書いてください。さもなければ結果は右揃えです。ADLARビットの変更はどんな進行中の変換にも拘らず、直ちにA/Dデータレジスタの内容に影響を及ぼします。このビットの完全な記述については91頁の「A/Dデータレジスタ」をご覧ください。

●ビット3~0 – MUX3~0 : A/Dチャンネル選択 (Analog Channel Select Bits 3~0)

これらのビットの値はA/D変換器にどのアナログ入力の組み合わせが接続されるかを選びます。差動入力(ADC0-ADC1またはADC2-ADC3)の場合、利得選択もこれらのビットで行なわれます。差動利得段への両入力としてのADC0またはADC2選択はオフセット測定を可能にします。シングルエンドチャンネルADC4選択は温度感知器を許可します。詳細については表17-4をご覧ください。これらのビットが変換中に変更される場合、その変更は変換が完了する(ADCSRAのADIF=1)まで実施しません。

表17-4. アナログ入力チャンネル選択

MUX3~0	シングルエンド 入力	差動入力 (IPR=0)			MUX3~0	シングルエンド 入力	差動入力 (IPR=0)		
		非反転入力	反転入力	利得			非反転入力	反転入力	利得
0000	ADC0(PB5)				1000 (注1)		ADC0(PB5)	ADC0(PB5)	×1
0001	ADC1(PB2)				1001 (注1)		ADC0(PB5)	ADC0(PB5)	×20
0010	ADC2(PB4)				1010		ADC0(PB5)	ADC1(PB2)	×1
0011	ADC3(PB3)				1011		ADC0(PB5)	ADC1(PB2)	×20
0100 (注1)		ADC2(PB4)	ADC2(PB4)	×1	1100 (注2)	1.1V/2.56V			
0101 (注1)		ADC2(PB4)	ADC2(PB4)	×20	1101	0V(GND)			
0110		ADC2(PB4)	ADC3(PB3)	×1	1110				
0111		ADC2(PB4)	ADC3(PB3)	×20	1111 (注3)	ADC4			

注1: オフセット校正専用。83頁の「操作」をご覧ください。

注2: 内部基準電圧切り替え後、A/D変換器は測定が安定するのに先立って1msの安定時間が必要です。これに先立つ変換開始は信頼できないかもしれません。A/D変換器はこの安定時間中に許可されなければなりません。

注3: 温度感知器用。

### 17.13.2. ADCSRA – A/D制御/状態レジスタ (ADC Control and Status Register A)

ビット	7	6	5	4	3	2	1	0	
\$06 (\$26)	ADEN	ADSC	ADATE	ADIF	ADIE	ADPS2	ADPS1	ADPS0	ADCSRA
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

#### ● ビット7 – ADEN : A/D許可 (ADC Enable)

このビットに**1**を書くことがA/D変換部(動作)を許可します。**0**を書くことによってA/D変換部は(電源が)OFFされます。変換が進行中にA/D変換部をOFFにすることはその変換を(途中)終了します。

#### ● ビット6 – ADSC : A/D変換開始 (ADC Start Conversion)

単独変換動作で各変換を始めるにはこのビットへ**1**を書いてください。連続変換動作で最初の変換を始めるにはこのビットへ**1**を書いてください。A/D変換部が許可される(ADEN=**1**)と同時にADSCが書かれるか、またはA/D変換部が許可されてしまった後にADSCが書かれた後の**初回変換**は、通常の13に代わって25変換クロック周期で行います。この初回変換はA/D変換部の初期化を実行します。

ADSCは変換が進行中である限り**1**として読めます。変換が完了すると**0**に戻ります。このビットへの**0**書き込みは無効です。

#### ● ビット5 – ADATE : A/D変換自動起動許可 (ADC Auto Trigger Enable)

このビットが**1**を書かれると、A/D変換の自動起動が許可されます。A/D変換器は選択した起動信号の上昇端で変換を開始します。この起動元はA/D変換制御/状態レジスタB(ADCSR)のA/D変換起動要因選択(ADTS2~0)ビット設定によって選択されます。

#### ● ビット4 – ADIF : A/D変換完了割り込み要求フラグ (ADC Interrupt Flag)

A/D変換が完了し、A/Dデータレジスタが更新されると、このフラグが設定(**1**)されます。ステータスレジスタ(SREG)の全割り込み許可(I)ビットとA/D変換完了割り込み許可(ADIF)ビットが設定(**1**)されていれば、A/D変換完了割り込みが実行されます。対応する割り込み処理ベクタを実行する時にADIFはハードウェアによって解除(**0**)されます。代わりにこのフラグに論理**1**を書くことによってADIFは解除(**0**)されます。ADCSRAで読み-変更-書き(リード-モディファイ-ライト)を行うと、保留中の割り込みが禁止され得ることに注意してください。これはSBI,CBI命令が使用される場合にも適用されます。

#### ● ビット3 – ADIE : A/D変換完了割り込み許可 (ADC Interrupt Enable)

このビットが**1**を書かれ、SREGの全割り込み許可(I)ビットが設定(**1**)されていると、A/D変換完了割り込みが活性に(許可)されます。

#### ● ビット2~0 – ADPS2~0 : A/D変換クロック選択 (ADC Prescaler Select Bits)

これらのビットはシステムクロック周波数とA/D変換部への入力クロック間の分周値を決めます。

表17-5. A/D変換クロック選択 (CK=システムクロック)

ADPS2	0	0	0	0	1	1	1	1
ADPS1	0	0	1	1	0	0	1	1
ADPS0	0	1	0	1	0	1	0	1
A/D変換クロック	CK/2	CK/2	CK/4	CK/8	CK/16	CK/32	CK/64	CK/128

### 17.13.3. ADCSRB – A/D変換制御/状態レジスタB (ADC Control and Status Register B)

ビット	7	6	5	4	3	2	1	0	
\$03 (\$23)	BIN	ACME	IPR	–	–	ADTS2	ADTS1	ADTS0	ADCSR
Read/Write	R/W	R/W	R/W	R	R	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

#### ● ビット7 – BIN : 両極入力動作 (Bipolar Input Mode)

利得段は既定として単極動作で動きますが、このBINビット(=1)書き込みによって両極動作が選択できます。単極動作では(±)の片側変換だけが支援され、非反転入力電圧は反転入力電圧よりも常に高くなければなりません。さもなければ、その結果は基準電圧に飽和されます。両極動作では(±)の両側変換が支援され、その結果は2の補数形式で表されます。単極動作での分解能は10ビットで、両極動作での分解能は9ビット+1符号ビットです。

#### ● ビット5 – IPR : 入力極性反転 (Input Polarity Reversal)

入力極性動作は予め決まった入力極性と認識で、ソフトウェアに単極入力動作での全10ビットA/D変換分解能と選択可能な差動入力対を許します。入力極性が判らない場合、先に(1符号ビット+9ビット分解能のA/D変換測定での)両極入力動作を使用することにより、実際に極性を決めることが可能です。そして一旦決まったなら、後続する10ビット単極測定用に必要に応じて極性反転ビットを設定(**1**)または解除(**0**)してください。

●ビット4,3 – Res : 予約 (Reserved Bits)

これらのビットは予約されており、常に0として読めます。

●ビット2~0 – ADTS2~0 : A/D変換自動起動要因選択 (ADC Auto Trigger Source)

A/D変換制御/状態レジスタ(ADCSRA)のA/D変換自動起動許可(ADATE)ビットが1を書かれると、これらのビットの値はどの起動元がA/D変換を起動するのを選択します。ADATEが解除(0)されると、ADTS2~0設定は無効です。変換は選択した割り込みフラグの上昇端によって起動されます。解除(0)されている起動元から設定(1)されている起動元への切り替えが、起動信号上に上昇端を生成することに注意してください。ADC SRAのA/D許可(ADEN)ビットが設定(1)されているなら、これが変換を開始させます。連続変換動作(ADTS2~0=0)への切り替えは、例えばA/D変換完了割り込み要求フラグが設定(1)されていても、起動事象を引き起こしません。

表17-6. A/D変換自動起動元選択

ADTS2	ADTS1	ADTS0	起動元
0	0	0	連続変換動作
0	0	1	アナログ比較器
0	1	0	外部割り込み要求0
0	1	1	タイマ/カウンタ0比較A一致
1	0	0	タイマ/カウンタ0溢れ
1	0	1	タイマ/カウンタ0比較B一致
1	1	0	ピン変化割り込み要求
1	1	1	(予約)

17.13.4. ADCH,ADCL – A/Dデータレジスタ (ADC Data Register)

ADLAR=0時								
ビット	15	14	13	12	11	10	9	8
\$05 (\$25)	–	–	–	–	–	–	ADC9	ADC8
Read/Write	R	R	R	R	R	R	R	R
初期値	0	0	0	0	0	0	0	0
ビット	7	6	5	4	3	2	1	0
\$04 (\$24)	ADC7	ADC6	ADC5	ADC4	ADC3	ADC2	ADC1	ADC0
Read/Write	R	R	R	R	R	R	R	R
初期値	0	0	0	0	0	0	0	0
ADLAR=1時								
	15	14	13	12	11	10	9	8
	ADC9	ADC8	ADC7	ADC6	ADC5	ADC4	ADC3	ADC2
	7	6	5	4	3	2	1	0
	ADC1	ADC0	–	–	–	–	–	–

A/D変換が完了すると、その結果がこれら2つのレジスタで得られます。  
ADCLが読まれると、A/DデータレジスタはADCHが読まれるまで更新されません。従ってこの結果が左揃え、且つ8ビットを越える精度が必要とされないなら、ADCHを読むことで用が足ります。さもなくばADCLが初めに、その後にADCHが読まれなければなりません。  
A/D多重器選択レジスタ(ADMUX)の左揃え選択(ADLAR)ビットとA/Dチャネル選択(MUX3~0)ビットは、本レジスタから結果を読む方法に影響を及ぼします。ADLARが設定(1)されると結果は左揃えされます。ADLARが解除(0)されていると(既定)、結果は右揃えされます。

●ADC9~0 : A/D変換結果 (ADC Conversion result)

これらのビットは87頁の「A/D変換の結果」で詳述されるように変換での結果を表します。

17.13.5. DIDR0 – デジタル入力禁止レジスタ0 (Digital Input Disable Register 0)

ビット	7	6	5	4	3	2	1	0
\$14 (\$34)	–	–	ADC0D	ADC2D	ADC3D	ADC1D	AIN1D	AIN0D
Read/Write	R	R	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

●ビット7,6 – Res : 予約 (Reserved Bits) (訳注:共通性から本項追加)

これらのビットは将来の使用に対して予約されています。将来のデバイスとの共通性のため、DIDR0が書かれるとき、これらのビットは0が書かれなければなりません。

●ビット5~2 – ADC3D~ADC0D : ADC3~0 デジタル入力禁止 (ADC3~0 Digital Input Disable)

このビットが論理1を書かれると、対応するADCnピンのデジタル入力緩衝部が禁止されます。このビットが設定(1)されると、対応するポート入力レジスタのビット(PINx)は常に0として読みます。アナログ信号がADCnピンに印加され、そのピンからのデジタル入力が必要とされない時にデジタル入力緩衝部での消費電力を削減するため、そのビットは論理1を書かれるべきです。

## 18. デバッグWIRE 内蔵デバッグ システム

### 18.1. 特徴

- 完全なプログラムの流れ制御
- RESETピンを除くデジタルとアナログ両方でのチップ全機能のエミュレート
- 実時間(リアルタイム)動作
- シンボリック デバッグ支援 (アセンブリ及びC言語または他の高位言語)
- 無制限数のプログラム中断点(ブレーク ポイント: ソフトウェア中断点使用)
- 邪魔しない動作
- 実デバイスと同じ電気的特性
- 自動設定システム
- 高速動作
- 不揮発性メモリのプログラミング

### 18.2. 概要

デバッグWIRE内蔵デバッグ システムはCPUでのAVR命令実行、プログラムの流れ制御、各種不揮発性メモリのプログラミングのための1本線の双方向インターフェースを使用します。

### 18.3. 物理インターフェース

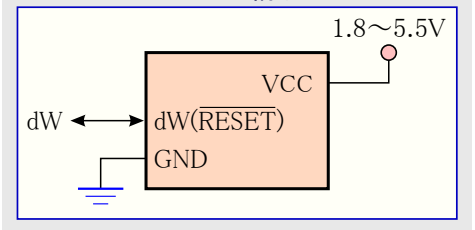
デバッグWIRE許可(DWEN)ヒューズがプログラム(0)され、施錠ビットが非プログラム(1)にされると、対象デバイス内のデバッグWIREシステムが活性(有効)にされます。RESETポートピンはプルアップ許可のANDタイ(オープントレイン)双方向I/Oピンとして設定され、対象デバイスとエミュレータ間の通信路になります。

図18-1はエミュレータと許可したデバッグWIREでの対象MCUとの接続の図を示します。システムクロックはデバッグWIREによって影響を及ぼされず、常にCKSELヒューズで選択したクロック元です。

デバッグWIREが使用されるシステムの設計時、以下が厳守されなければなりません。

- dW/(RESET)線のプルアップ抵抗は10k~20kΩの範囲でなければなりません。けれどもプルアップ抵抗は任意選択です。
- RESETピンのVCCへの直接的な接続では動作しません。
- RESETピンに挿入したコンデンサはデバッグWIRE使用時、切断されなければなりません。
- 全ての外部リセット元は切断されなければなりません。

図18-1. デバッグWIRE構成図



### 18.4. ソフトウェア中断点(ブレーク ポイント)

デバッグWIREはAVRのBREAK命令によってプログラムメモリの中断点を支援します。AVR Studio®での中断点設定はプログラムメモリにBREAK命令を挿入します。BREAK命令で置換した(元の)命令は保存されます。プログラム実行が継続されるとき、プログラムメモリから継続される前に保存した命令が実行されます。一時停止(ブレーク)はプログラムにBREAK命令を置くことによって手動で挿入できます。

フラッシュメモリは中断点の変更される度毎に書き換えされなければなりません。これはデバッグWIREインターフェースを通してAVR Studioによって自動的に操作されます。従って中断点の使用はフラッシュメモリのデータ保持力を低下させます。デバッグ目的に使用したデバイスは最終顧客へ出荷すべきではありません。

### 18.5. デバッグWIREの制限

デバッグWIRE通信(dW)ピンは物理的に外部リセット(RESET)と同じピンに配置されます。従ってデバッグWIREが許可されると、外部リセット元が支援されません。

デバッグWIREシステムは全速度、換言するとCPUのプログラムが走行する時に全I/O機能を正確エミュレートします。CPUが停止される時にデバッグ(AVR Studio)経由でいくつかのI/Oレジスタにアクセスする間、注意が払われなければなりません。制限の詳細記述についてはデバッグWIRE資料をご覧ください。

デバッグWIREインターフェースは非同期で、これはデバッグがシステムクロックへの同期を必要とすることを意味します。ソフトウェア(例えばCLKPSビット書き込み)によってシステムクロックが変更される場合にデバッグWIRE経由の通信が失敗するかもしれません。また、100kHz未満のクロック周波数は通信の問題を引き起こすかもしれません。

プログラム(0)にしたDWENヒューズは全休止形態でクロック系のいくつかの部分の走行を許可します。これは休止間中の消費電力を増加します。従ってDWENヒューズはデバッグWIREが使用されない場合、禁止されるべきです。

### 18.6. デバッグWIRE用レジスタ

次項はデバッグWIREで使用するレジスタを記述します。

#### 18.6.1. DWDR – デバッグWIRE データレジスタ (debugWIRE Data Register)

ビット	7	6	5	4	3	2	1	0	
\$22 (\$42)	(MSB)							(LSB)	DWDR
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

DWDRはMCU内で走行するプログラムからデバッグへの通信チャネルを提供します。このレジスタはデバッグWIREでだけアクセス可能で、従って通常動作で一般目的レジスタとして使用できません。



## 19. フラッシュメモリの自己プログラミング

本デバイスはMCU自身によるプログラムコードのダウンロードとアップロード用の自己プログラミング機構を提供します。自己プログラミングはフラッシュメモリ内にコードを書き(プログラム)、コードを読み、またはプログラムメモリからコードを読むのに、利用可能なデータインターフェースと関連する規約のどれもが使用できます。SPM命令は既定で禁止ですが、SELFPRGENヒューズを(0に)プログラミングすることで許可にできます。

プログラムメモリはページ単位形式で更新されます。ページ一時緩衝部へ格納したデータでページを書く前に、そのページは消去されなければなりません。ページ一時緩衝部はSPM命令使用時毎の1語(ワード)で満たされ、この緩衝部はページ消去命令前、またはページ消去とページ書き込み操作間のどちらかで満たすことができます。

### ● 手段1 (ページ消去前の一時緩衝部格納)

- ① ページ一時緩衝部を満たしてください。
- ② ページ消去を実行してください。
- ③ ページ書き込みを実行してください。

### ● 手段2 (ページ消去後の一時緩衝部格納)

- ① ページ消去を実行してください。
- ② ページ一時緩衝部を満たしてください。
- ③ ページ書き込みを実行してください。

ページの一部分の変更だけが必要な場合、消去前にページの残す部分は(例えばページ一時緩衝部に)保存されなければならない、その後に変更して書かれます。手段1.を使用する場合、初めにページを読んで必要な変更を行い、その後に変更したデータを書き戻すことをユーザーソフトウェアに許す効率的な読み-修正-書き(リード モデファイ ライト)機能をデバイスが提供します。手段2.が使用される場合、ページが既に消去されているため、格納中の旧データを読むことができません。ページ一時緩衝部は乱手順でアクセスできます。ページ消去とページ書き込み操作の両方で使用されるページアドレスは同じページをアドレス指定することが非常に重要です。

### 19.1. SPM命令によるページ消去の実行

ページ消去を実行するにはZポインタにアドレスを設定してSPM命令制御/状態レジスタ(SPMCSR)に'00000011'を書き、SPMCSR書き込み後4クロック周期内にSPM命令を実行してください。R1とR0のデータは無視されます。ページアドレスはZポインタのPCPAGEに書かれなければならない。この操作中、Zポインタの他のビットは無視されます。

注: ページ消去中、CPUは停止されます。

### 19.2. ページ一時緩衝部の設定 (ページ設定)

命令語(ワード)を(ページ一時緩衝部に)書くにはZポインタにアドレス、R1:R0にデータを設定してSPMCSRに'00000001'を書き、SPMCSR書き込み後4クロック周期内にSPM命令を実行してください。ZポインタのPCWORDの内容は一時緩衝部のデータのアドレスに使用されます。一時緩衝部はページ書き込み操作後、またはSPMCSRのCTPBB'1'書き込みによって自動的に消去されます。システムリセット後も消去されています。一時緩衝部を消去せずに各アドレスへ複数回書くことができないことに注意してください。

SPMページ設定操作の途中でEEPROMが書かれると、設定した全データが失われます。

### 19.3. ページ書き込みの実行

ページ書き込みを行うにはZポインタにアドレスを設定してSPMCSRに'00000101'を書き、SPMCSR書き込み後4クロック周期内にSPM命令を実行してください。R1とR0のデータは無視されます。ページアドレスは(Zポインタの)PCPAGEに書かれなければならない。この操作中、Zポインタの他のビットは0を書かれなければならない。

注: ページ書き込み中、CPUは停止されます。

### 19.4. 自己プログラミング中のフラッシュメモリのアドレス指定

Zポインタ(レジスタ)はSPM命令でのアドレス指定に使用されます。

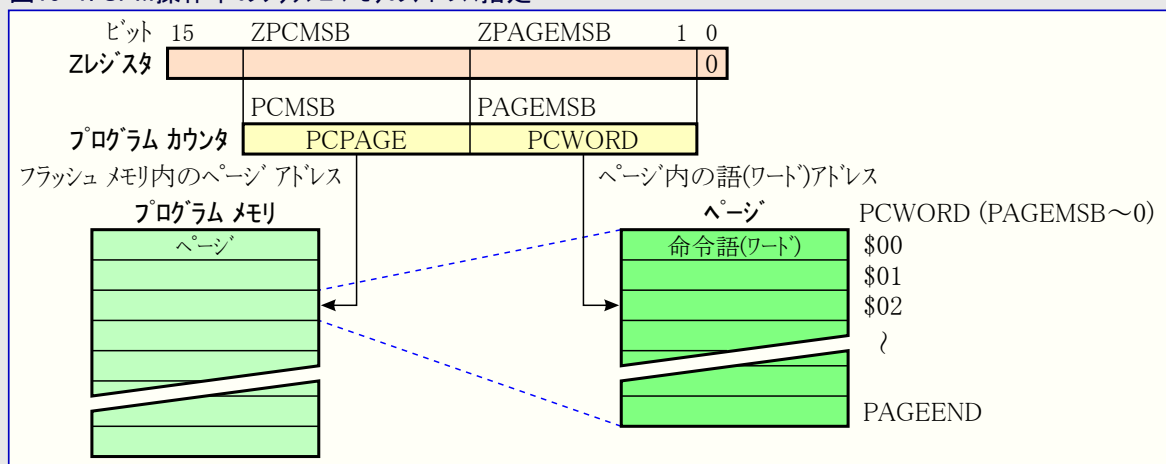
ビット	15	14	13	12	11	10	9	8
ZH (R31)	Z15	Z14	Z13	Z12	Z11	Z10	Z9	Z8
ビット	7	6	5	4	3	2	1	0
ZL (R30)	Z7	Z6	Z5	Z4	Z3	Z2	Z1	Z0

フラッシュメモリがページで構成されるため(99頁の表20-8.参照)、プログラムカウンタ(アドレスポインタ)は2つの違う領域を持つように取り扱われます。1つの領域は下位側ビットから成り、ページ内の語(ワード)をアドレス指定し、一方上位側ビットはそのページをアドレス指定します。これは次頁の図19-1.で示されます。ページ消去とページ書き込み操作が個別にアドレス指定されることに注意してください。従ってソフトウェアはページ消去とページ書き込み操作の両方で同じページをアドレス指定することが最も重要です。

LPM命令はアドレスを格納するのにZポインタを使用します。この命令はフラッシュメモリのバイト単位をアドレス指定するので、Zポインタの最下位ビット(Z0)も使用されます。



図19-1. SPM操作中のフラッシュメモリのアドレス指定



注: 図内で使用した各変数は99頁の表20-8.で一覧されます。

## 19.5. SPM命令での書き込み時のEEPROM書き込みによる妨害

EEPROM書き込み動作がフラッシュメモリへの全ソフトウェアプログラミングを妨げることに注意してください。ソフトウェアからのヒューズと施錠ビット読み出しもEEPROM書き込み動作中、妨げられます。使用者はEEPROM制御レジスタ(EECR)のEEPROMプログラム許可(EEPE)ビットを検査し、SPM命令制御/状態レジスタ(SPMCSR)へ書く前に、このビットが解除(0)されているのを確認することが推奨されます。

## 19.6. ソフトウェアからの施錠ヒューズと識別データの読み出し

ファームウェアからヒューズと施錠ビットを読むことが可能です。加えてファームウェアはデバイス識別銘刻部(99頁参照)からデータを読むこともできます。

注: プログラム(0)されたヒューズと施錠ビットは0として読めます。非プログラム(1)にされたヒューズと施錠ビットは1として読めます。

### 19.6.1. ファームウェアからの施錠ビット読み出し

SPMCSRでフラッシュ/施錠ビット読み込み(RFLB)とSPM操作許可(SPMEN)ビットを設定(1)した後の3CPU周期内のLPM命令実行は転送先レジスタ内に施錠ビット値を返します。RFLBとSPMENビットは施錠ビット読み出しの完了で、または3CPU周期内にLPM命令が実行されないか、または4CPU周期内にSPM命令が実行されない場合、自動的に解除(0)されます。通常、RFLBとSPMENビットが解除(0)されるのはLPMの作用です。

施錠ビットを読むには以下の手続きに従ってください。

- ① Zポイントに\$0001を格納してください。
- ② SPMCSRでRFLBとSPMENビットを設定(1)してください。
- ③ 3クロック周期内にLPM命令を実行してください。
- ④ LPM転送先レジスタから施錠ビット値を読んでください。

成功なら、転送先レジスタの内容は次の通りです。

ビット	7	6	5	4	3	2	1	0
Rd	-	-	-	-	-	-	LB2	LB1

より多くの情報については97頁の「プログラムメモリとデータメモリ用施錠ビット」をご覧ください。

### 19.6.2. ファームウェアからのヒューズビット読み出し

ヒューズバイトを読む方法はアドレスが異なるだけで上記の施錠ビット読み出しと同様です。ヒューズ下位バイト(FLB)を読むには以下の手続きに従ってください。

- ① Zポイントに\$0000を格納してください。
- ② SPMCSRでRFLBとSPMENビットを設定(1)してください。
- ③ 3クロック周期内にLPM命令を実行してください。
- ④ LPM転送先レジスタからFLB値を読んでください。

成功なら、転送先レジスタの内容は次の通りです。

ビット	7	6	5	4	3	2	1	0
Rd	FLB7	FLB6	FLB5	FLB4	FLB3	FLB2	FLB1	FLB0

ヒューズ下位バイトの配置と詳細記述については98頁の表20-5.を参照してください。

ヒューズ上位バイト(FHB)を読むには単にZポインタ内のアドレスを\$0003に置き換え、前の手続きを繰り返してください。成功なら、転送先レジスタの内容は次の通りです。

ビット	7	6	5	4	3	2	1	0
Rd	FLB7	FLB6	FLB5	FLB4	FLB3	FLB2	FLB1	FLB0

ヒューズ上位バイトの配置と詳細記述については98頁の表20-4を参照してください。

ヒューズ拡張バイト(FEB)を読むにはZポインタ内のアドレスを\$0002に置き換え、直前の手続きを繰り返してください。成功なら、転送先レジスタの内容は次の通りです。

ビット	7	6	5	4	3	2	1	0
Rd	-	-	-	-	-	-	-	FHB0

ヒューズ拡張バイトの配置と詳細記述については98頁の表20-3を参照してください。

19.6.3. ファームウェアからのデバイス識別銘刻読み出し

デバイス識別銘刻部の内容を読むには以下の手続きに従ってください。

- ① Zポインタに銘刻指示子を格納してください。
- ② SPMCSRでデバイス識別銘刻読み込み(RSIG)とSPM操作許可(SPMEN)ビットを設定(1)してください。
- ③ 3クロック周期内にLPM命令を実行してください。
- ④ SPMENビットが解除(0)されるために3クロック周期待機してください。
- ⑤ LPM転送先レジスタから表データ値を読んでください。

RSIGとSPMENのビットは3 CPU周期後に自動解除(0)されます。RSIGとSPMENが解除されると、LPM命令は「命令要約」の説明で記述されるように動きます。

以下のプログラム例をご覧ください。

アセンブリ言語プログラム例

DSIT\_read:

LDI

ZH, 0

; 表指示子上位バイト値設定

LDI

ZL, 1

; 表指示子下位バイト値設定

LDI

R17, (1<<RSIG) | (1<<SPMEN)

; RSIG,SPMEN=1 値取得

OUT

SPMCSR, R16

; RSIG,SPMEN=1 設定

LPM

R16, Z

; \$0001 位置の識別値取得

RET

; 呼び出し元へ復帰

注: 4頁の「コード例」をご覧ください。

成功なら、転送先レジスタの内容は99頁の「デバイス識別銘刻部」項で記述された通りです。

19.7. フラッシュメモリデータ化けの防止

低VCCの期間中、CPUとフラッシュメモリの正しい動作に対して供給電圧が低すぎるためにフラッシュメモリのプログラムが不正にされ得ます。これらの問題はフラッシュメモリを使用する基板段階の装置と同じで、同じ設計上の解決策が適用されるべきです。

フラッシュメモリのプログラム化けは電圧が低すぎる時の2つの状態によって起こされます。1つ目としてフラッシュメモリへの通常の書き込み手順は正しく動作するための最低電圧が必要です。2つ目として供給電圧が低すぎると、CPU自身が命令を間違えて実行し得ます。

フラッシュメモリ化けは次の推奨設計によって容易に避けられます(1つは必須)。

- 不十分な供給電源電圧の期間中、AVR RESETを活性(Low)に保ってください。これは動作電圧が検出電圧と一致するなら、内部低電圧検出器(BOD)を許可することによって行えます。そうでなければ外部低VCCリセット保護回路が使用できます。書き込み操作進行中にリセットが起こると、その書き込み動作は供給電源電圧が充分であれば完了されます。
- 低VCCの期間中、AVRコアをパワーダウン休止動作に保ってください。これはCPUが命令の復号と実行を試みるのを防ぎ、SPMCSR 従ってフラッシュメモリを予期せぬ書き込みから効果的に保護します。

19.8. SPM命令使用時のフラッシュメモリ用プログラミング(書き込み)時間

校正された内蔵RC発振器がフラッシュメモリアクセス時間に使用されます。表19-1はCPUからのフラッシュメモリアクセスに対する代表的なプログラミング時間を示します。

表19-1. SPM命令によるフラッシュメモリのプログラミング時間

項目	Min	Max
SPM命令によるフラッシュ書き込み (ページ消去、ページ書き込み、施錠ビット書き込み)	3.7ms	4.5ms

注: MinとMaxの時間は(項目の)個別操作毎に対してです。

## 19.9. 自己プログラミング用レジスタ

### 19.9.1. SPMCSR – SPM命令制御/状態レジスタ (Store Program Memory Control and Status Register)

このレジスタはプログラム メモリ操作を制御するために必要とする制御ビットを含みます。

ビット	7	6	5	4	3	2	1	0	
\$37 (\$57)	–	–	RSIG	CTPB	RFLB	PGWRT	PGERS	SPMEN	SPMCSR
Read/Write	R	R	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

#### ● ビット7,6 – Res : 予約 (Reserved Bits)

これらのビットは予約されており、常に0として読まれます。

#### ● ビット5 – RSIG : デバイス識別票銘刻読み込み (Read Device Signature Imprint Table)

SPMCSRでRSIGとSPMENが設定(1)された後の3クロック周期内のLPM命令実行はデバイス識別票銘刻部から(Zポイント値に依存する)選択したデータを転送先レジスタ内に返します。詳細については99頁の「デバイス識別票銘刻部」をご覧ください。

#### ● ビット4 – CTPB : ページ一時緩衝部消去 (Clear Temporary Page Buffer)

ページ一時緩衝部を満たしている間にCTPBビットが1を書かれると、ページ一時緩衝部は消去され、データが失われます。

#### ● ビット3 – RFLB : ヒューズ/施錠ビット読み込み (Read Fuse and Lock Bits)

SPMCSRでRFLBとSPMENが設定(1)された後の3クロック周期内のLPM命令は(ZポイントのZ0に依存して)ヒューズビットまたは施錠ビットのどちらかを転送先レジスタに読みます。詳細については94頁の「ソフトウェアからのヒューズビットと施錠ビットの読み出し」をご覧ください。

#### ● ビット2 – PGWRT : ページ書き込み (Page Write)

このビットがSPMENと同時に1を書かれると、次の4クロック周期内のSPM命令は一時緩衝部に格納したデータでページ書き込みを実行します。ページアドレスはZポイントの上位部から取得されます。R1とR0のデータは無視されます。PGWRTビットはページ書き込みの完了で、または4クロック周期内にSPM命令が実行されない場合、自動的に解除(0)されます。ページ全体の書き込み動作中に、CPUは停止されず。

#### ● ビット1 – PGERS : ページ消去 (Page Erase)

このビットがSPMENと同時に1を書かれると、次の4クロック周期内のSPM命令はページ消去を実行します。ページアドレスはZポイントの上位部から取得されます。R1とR0のデータは無視されます。PGERSビットはページ消去の完了で、または4クロック周期内にSPM命令が実行されない場合、自動的に解除(0)されます。ページ全体の消去中、CPUは停止されます。

#### ● ビット0 – SPMEN : SPM操作許可 (Store Program Memory Enable)

このビットは次の4クロック周期間、SPM命令を許可します。このビットがRSIG,CTPB,RFLB,PGWRT,PGERSのどれかと共に1に設定されると、別のところで記述されるように続くSPM命令は特別な意味を持ちます。

SPMENだけが書かれると、続くSPM命令はZポイントによってアドレス指定したページ一時緩衝部へR1:R0の値を格納します。Zレジスタの最下位ビットは無視されます。SPMENビットはSPM命令の完了で、または4クロック周期内にSPM命令が実行されない場合、自動的に解除(0)されます。ページ消去とページ書き込み中、SPMENビットはその動作が完了されるまで1に留まります。

20. メモリプログラミング

本項はATtiny25/45/85のメモリプログラミングに対する各種方法を記述します。

20.1. プログラムメモリとデータメモリ用施錠ビット

ATtiny25/45/85は、非プログラム(1)のままか、表20-2.で一覧される付加機能を得るためにプログラム(0)できる2つの施錠ビットを提供します。この施錠ビットはチップ消去指令でのみ1に消去できます。

プログラムメモリは例え施錠ビットが設定されていても、デバッグWIRE許可(DWEN)ヒューズがプログラム(0)されていると、デバッグWIREインターフェース経由で読み出せます。従って施錠ビット保護が必要とされる場合、(DWENヒューズの解除(=1))によってデバッグWIREが常に禁止されるべきです。

表20-1. 施錠ビットバイトの内容

名称	ビット番号	意味	既定値 (注)
-	7		1 (非プログラム)
-	6		1 (非プログラム)
-	5		1 (非プログラム)
-	4		1 (非プログラム)
-	3		1 (非プログラム)
-	2		1 (非プログラム)
LB2	1	フラッシュとEEPROMメモリに対する一般保護用施錠ビット	1 (非プログラム)
LB1	0		1 (非プログラム)

注: 0はプログラム、1は非プログラムを意味します。

表21-2. 施錠ビットの保護種別

メモリ施錠ビット			保護種別
LB 種別	LB2	LB1	直列、並列、またはデバッグWIRE経由プログラミングに対する保護
1	1	1	メモリ施錠機能は機能しません。
2	1	0	フラッシュ、EEPROMの更なるプログラミング(書き込み)が禁止されます。ヒューズビットが固定されます。(注1)
3	0	0	フラッシュ、EEPROMの更なるプログラミング(書き込み)と照合(読み出し)が禁止されます。ヒューズビットが固定されます。(注1)

注: 0はプログラム、1は非プログラムを意味します。

注1: 施錠ビットを書く前にヒューズビットを書いてください。デバッグWIREは全面的に禁止されます。

施錠ビットはデバイスファームウェアによって読むこともできます。94頁の「ソフトウェアからの施錠ヒューズと識別票のデータ読み出し」項をご覧ください。

## 20.2. ヒューズ ビット

ATtiny25/45/85には表20-3.~5.で記述されるように3つのヒューズ バイトがあります。ヒューズはプログラムされると、論理0として読まれることに注意してください。

表20-3. 拡張ヒューズ バイト一覧

名称	ビット	意味	既定値
—	7~1		1 (非プログラム)
SELFPRGEN (注1)	0	自己プログラミング機能許可。	1 (非プログラム) 自己プログラミング不許可

注1: SPM命令許可。93頁の「フラッシュ メリの自己プログラミング」をご覧ください。

表20-4. ヒューズ 上位バイト一覧

名称	ビット	意味	既定値
RSTDISBL (注1,2)	7	PB5がI/OピンかまたはRESETピンかを選択します。	1 (非プログラム) PB5はRESETピン
DWEN (注1,2,3)	6	デバッグWIRE機能許可。	1 (非プログラム) デバッグWIRE不許可
SPIEN (注4)	5	低電圧直列プログラミング許可。	0 (プログラム) 低電圧直列プログラミング許可
WDTON (注5)	4	ウォッチドッグ タイマ常時有効。	1 (非プログラム) WDTはWDTCRで許可
EESAVE	3	チップ消去からEEPROM内容を保護。	1 (非プログラム) EEPROMは未保護
BODLEVEL2	2	低電圧検出(BOD)リセットの制御と検出電圧選択。(注6)	1 (非プログラム)
BODLEVEL1	1		1 (非プログラム)
BODLEVEL0	0		1 (非プログラム)

注1: RESETピンの使用法を制御します。39頁の「ポートBの交換機能」をご覧ください。

注2: これらのヒューズがプログラム(0)されてしまった後、デバイスは高電圧直列動作でだけプログラミングできます。

注3: 施錠ビット保護が必要とされるとき、非プログラム(1)にされなければなりません。前頁の「プログラム メリとデータ メリ用施錠ビット」をご覧ください。

注4: このヒューズは低電圧直列プログラミングでアクセスできません。

注5: 詳細については31頁の「WDTCR – ウォッチドッグ タイマ制御レジスタ」をご覧ください。

注6: 111頁の「BODLEVELヒューズ符号化」表をご覧ください。

表20-5. ヒューズ 下位バイト一覧

名称	ビット	意味	既定値
CKDIV8 (注1)	7	システム クロック 8分周選択。	0 (プログラム) 8分周
CKOUT (注2)	6	システム クロック出力許可。	1 (非プログラム) 不許可
SUT1	5	起動時間選択。(注3)	1 (非プログラム)
SUT0	4		0 (プログラム)
CKSEL3	3	クロック種別選択。(注4)	0 (プログラム)
CKSEL2	2		0 (プログラム)
CKSEL1	1		1 (非プログラム)
CKSEL0	0		0 (プログラム)

注1: 詳細については20頁の「システム クロック前置分周器」をご覧ください。

注2: (PB0)ピンに出力することをシステム クロックに許します。詳細については20頁の「クロック出力緩衝部」をご覧ください。

注3: 既定値は既定クロック元に対する最大起動時間を与えます。詳細については18頁の表6-7.をご覧ください。

注4: 既定設定は8MHz校正付き内蔵RC発振器を選択します。詳細については18頁の表6-6.をご覧ください。

施錠ビット1(LB1)がプログラム(0)されると、ヒューズ ビットが固定されることに注意してください。施錠ビットをプログラム(0)する前にヒューズ ビットをプログラミング(書き込み)してください。ヒューズ ビットの状態はチップ消去によって影響されません。

ヒューズ ビットはデバイス ファームウェアによって読むこともできます。94頁の「ソフトウェアからの施錠ヒューズと識別のデータ読み出し」項をご覧ください。

### 20.2.1. ヒューズのラッチ

ヒューズ値はデバイスがプログラミング動作へ移行する時にラッチされ、ヒューズ値への変更はデバイスがプログラミング動作を去るまで無効です。これは一旦プログラム(0)されると直ぐに効果があるEESAVEヒューズには適用されません。ヒューズは電源投入でもラッチされます。



20.3. デバイス識票銘刻部

デバイス識票銘刻部はデバイス識票、発振器校正データのような一連の各種デバイス情報に使用される専用のメモリ領域です。表20-6.で略述されるようにこのメモリ領域の殆どは内部使用に予約されています。

表20-6. デバイス識票銘刻内容	
アドレス	上位バイト
\$00	識票バイト0 (注1)
\$01	8.0MHzでの校正付き内蔵RC発振器用校正データ (注2)
\$02	識票バイト1 (注1)
\$03	6.4MHzでの校正付き内蔵RC発振器用校正データ (注2)
\$04	識票バイト2 (注1)
\$05～\$2A	(内部使用予約)
注1: より多くの情報については「識票バイト」をご覧ください。	
注2: より多くの情報については「校正值バイト」をご覧ください。	

20.3.1. 識票バイト

全てのAtmelマイクロ コントローラはデバイスを識別する3バイトの識票符号を持ちます。この符号は低電圧直列と高電圧直列の両プログラミング動作で、またデバイスが施錠されていて

も読めます。識票バイトはデバイス ファームウェアによって読むこともできます。94頁の「ソフトウェアからの施錠、ヒューズと識票のデータ読み出し」項をご覧ください。

この3バイトの識票バイトはデバイス識票銘刻部と呼ばれる分離された空間に存在します。ATtiny25/45/85用の識票バイトは表20-7.で与えられます。

表20-7. デバイスの識別番号(ID)			
部品番号	識票バイト アドレス		
	\$0000	\$0001	\$0002
ATtiny25	\$1E	\$91	\$08
ATtiny45	\$1E	\$92	\$06
ATtiny85	\$1E	\$93	\$0B

20.3.2. 校正值バイト

表20-6.で示されるようにATtiny25/45/85のデバイス識票銘刻部は内蔵RC発振器用に2バイトの校正值を含みます。標準動作ではリセット中に8.0MHz動作用の校正データが自動的に取得されて発振校正(OSCCAL)レジスタに書かれます。ATtiny15互換動作では6.4MHz動作用の校正データが代わりに使用されます。この手順は内蔵発振器が常に正しい周波数に校正されるのを保証します。

発振校正バイトはデバイス ファームウェアによって読むこともできます。94頁の「ソフトウェアからの施錠、ヒューズと識票のデータ読み出し」項をご覧ください。

20.4. ページ容量

表20-8. フラッシュ メモリのページ数とページの語数						
デバイス	全容量	ページ容量	PCWORD	ページ数	PCPAGE	PCMSB
ATtiny25	1Kワード(2Kバイト)	16ワード	PC3～0	64	PC9～4	9
ATtiny45	2Kワード(4Kバイト)	32ワード	PC4～0	64	PC10～5	10
ATtiny85	4Kワード(8Kバイト)	32ワード	PC4～0	128	PC11～5	11

表20-9. EEPROMメモリのページ数とページの語数						
デバイス	全容量	ページ容量	PCWORD	ページ数	PCPAGE	EEAMSB
ATtiny25	128バイト	4バイト	EEA1～0	32	EEA6～2	6
ATtiny45	256バイト	4バイト	EEA1～0	64	EEA7～2	7
ATtiny85	512バイト	4バイト	EEA1～0	128	EEA8～2	8

## 20.5. 低電圧直列プログラミング

フラッシュとEEPROMの両メモリ配列はRESETがGNDに引かれている間に直列SPIバスを使用してプログラミングできます。この直列インターフェースはSCK入力、MOSI入力、MISO出力から成ります。右をご覧ください。

RESETがLowに設定された後、書き込み/消去操作が実行され得るのに先立って**プログラミング許可命令**が初めに実行されることを必要とします。

表20-10. 低電圧直列プログラミング用ピン配置

信号名	ピン名	入出力	機能
MOSI	PB0	入力	直列データ入力
MISO	PB1	出力	直列データ出力
SCK	PB2	入力	直列クロック

**注:** 上の表20-10.でSPIプログラミング用のピン配置が一覧されます。全てのデバイスが内部SPIインターフェースに対する専用SPIピンを使用するとは限りません。

EEPROMをプログラミングする時に自動消去周期が自動書き込み動作内に組み入れられ(低電圧直列プログラミングのみ)、**チップ消去命令**を先に実行する必要があります。チップ消去操作はプログラム(フラッシュメモリ)とEEPROM両方の全メモリ位置の内容を\$FFにします。

CKSELヒューズに依存して有効なクロックが存在しなければなりません。直列クロック(SCK)入力のLowとHighの区間の最小値は次のように定義されます。

$f_{CK} < 12\text{MHz}$ : Low区間 > 2CPUクロック周期	$f_{CK} < 12\text{MHz}$ : High区間 > 2CPUクロック周期
$f_{CK} \geq 12\text{MHz}$ : Low区間 > 3CPUクロック周期	$f_{CK} \geq 12\text{MHz}$ : High区間 > 3CPUクロック周期

### 20.5.1. 低電圧直列プログラミング手順

ATtiny25/45/85に直列データを書く時にデータはSCKの上昇端で行われ、ATtiny25/45/85から読む時にデータはSCKの下降端で行われます。タイミングの詳細については図21-4.と図21-5.をご覧ください。

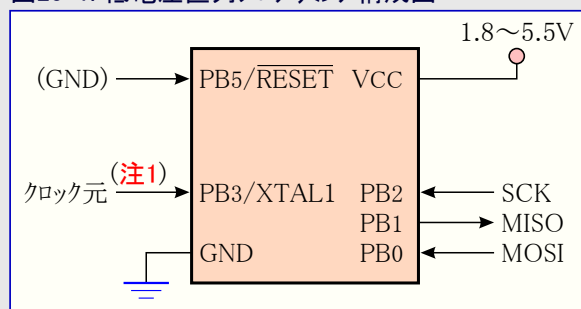
低電圧直列プログラミング動作でのATtiny25/45/85のプログラミングと照合は次の手順が推奨されます(形式は表20-12.命令一式参照)。

- 電源投入手順: RESETとSCKがLow(0)に設定されている間にVCCとGND間へ電源を印加します。
  - いくつかのシステムで電源投入中、SCKがLowに保持されるのを書き込み器が保証できません。この場合、SCKがLow(0)に設定されてしまった後、RESETは正パルスを与えられなければなりません。パルスの幅は最低 $t_{RST} + 2\text{CPUクロック周期}$ でなければなりません。RESETピンの最小パルス幅( $t_{RST}$ )の定義については110頁の表21-4.をご覧ください。
- 最低20ms待ち、MOSIピンに**プログラミング許可命令**を送ることによって直列プログラミングを許可してください。
- 通信が同期を外していると、直列プログラミング命令は動作しません。同期していると、プログラミング許可命令の第3バイト送出時に第2バイト(\$53)が戻ります。この戻りが正しいかどうかによらず、命令の4バイト全てが送信されなければなりません。\$53が戻らない場合、RESETに正パルスを与え、新規プログラミング許可命令を行ってください。
- フラッシュメモリは1ページ単位で書かれます。ページ容量は99頁の表20-8.で得られます。このメモリページは**ページ設定命令**と共にアドレスの下位4/5/5+1ビットとデータを提供することによって1バイトずつ設定されます。ページが正しく設定されるのを保証するため、与えられたアドレスにデータ上位バイトが適用される前にデータ下位バイトが設定されなければなりません。プログラムメモリのページはアドレスの上位6/6/7ビットを含む**ページ書き込み命令**の設定によって(フラッシュメモリに)格納されます。ポーリング(BSY/RDY)が使用されない場合、使用者は次のページを行う前に最低 $t_{WD\_FLASH}$ (表20-11.参照)待たなければなりません。フラッシュ書き込み操作完了前の(ポーリング以外の)直列プログラミングインターフェースでのアクセスは不正な書き込み結果になり得ます。
- EEPROMはページ単位かバイト単位のどちらかでプログラミングできます。
 

**バイト単位:** EEPROMは適切な**EEPROM書き込み命令**と共にアドレスとデータを提供することによって1バイト単位で書かれます。EEPROMのメモリ位置は新規データが書かれるのに先立って始めて自動的に消去されます。ポーリング(BSY/RDY)が使用されない場合、次のバイトを行う前に最低 $t_{WD\_EEPROM}$ (表20-11.参照)待たなければなりません。

**ページ単位:** EEPROMの1ページは**EEPROMページ設定命令**と共にアドレスの下位2ビットとデータを提供することによって1バイトずつ設定されます。EEPROMページはアドレスの上位5/6/7ビットを含む**EEPROMページ書き込み命令**によって(EEPROMに)格納されます。EEPROMページアクセス使用時、EEPROMページ設定命令で設定したバイト位置だけが変更されます。残りの位置は無変化で留まります。ポーリング(BSY/RDY)が使用されない場合、次のページ(表20-9.参照)を行う前に最低 $t_{WD\_EEPROM}$ (表20-11.参照)待たなければなりません。チップ消去されたデバイスでの\$FFデータは書かれる必要がありません。
- どのメモリ位置も選択したアドレスの内容を直列出力MISOに読み戻す**読み出し命令**を使用することによって照合できます。
- プログラミング作業終了時、RESETは通常動作を開始するため、High(1)に設定できます。
- 電源OFF手順 (必要とされるならば)
  - RESETをHigh(1)に設定します。
  - VCC電源をOFFにします。

図20-1. 低電圧直列プログラミング構成図



**注1:** デバイスが内蔵発振器で動作する場合、CLKIピンにクロック元を接続する必要はありません。

表20-11. ヒューズ、フラッシュ、EEPROM次位置書き込み前の待機時間

シンボル	最低待機時間	備考
tWD_FUSE	4.5ms	ヒューズ書き込み
tWD_FLASH	4.5ms	フラッシュメモリ書き込み
tWD_EEPROM	4.0ms	EEPROM書き込み
tWD_ERASE	9.0ms	チップ消去

## 20.5.2. 低電圧直列プログラミング命令一式

表20-12と次頁の図20-2は命令一式を記述します。

表20-12. 低電圧直列プログラミング命令一式

命令	命令形式				備考
	第1バイト	第2バイト	第3バイト	第4バイト	
プログラミング許可	\$AC	\$53	\$00	\$00	
チップ消去	\$AC	\$80	\$00	\$00	
多忙/準備可検査	\$F0	\$00	\$00	状態値	最下位ビットが多忙フラグ。
設定系命令					
拡張アドレス設定 (注1)	\$4D	\$00	拡張アドレス	\$00	
フラッシュ ページ内上位バイト設定	\$48	アドレス上位	アドレス下位	上位バイト	
フラッシュ ページ内下位バイト設定	\$40	アドレス上位	アドレス下位	下位バイト	
EEPROMページ内バイト設定	\$C1	\$00	ページ内位置	バイト	注: ページ内指示以外のビットは0。
読み出し命令					
フラッシュメモリ上位バイト読み出し	\$28	アドレス上位	アドレス下位	上位バイト	
フラッシュメモリ下位バイト読み出し	\$20	アドレス上位	アドレス下位	下位バイト	
EEPROM読み出し	\$A0	アドレス上位	アドレス下位	バイト	
施錠ビット読み出し	\$58	\$00	\$00	施錠ビット値	
識別バイト読み出し	\$30	\$00	アドレス	識別バイト	
ヒューズ下位読み出し	\$50	\$00	\$00	ヒューズ下位	
ヒューズ上位読み出し	\$58	\$08	\$00	ヒューズ上位	
拡張ヒューズ読み出し	\$50	\$08	\$00	拡張ヒューズ	
校正值読み出し	\$38	\$00	\$00	校正值	
書き込み命令 (注2)					
フラッシュ ページ書き込み	\$4C	アドレス上位	アドレス下位	\$00	
EEPROMバイト書き込み	\$C0	アドレス上位	アドレス下位	バイト	
EEPROMページ書き込み	\$C2	アドレス上位	アドレス下位	\$00	注: ページ指示以外のアドレスビットは0。
施錠ビット書き込み	\$AC	\$E0	\$00	施錠ビット値	
ヒューズ下位書き込み	\$AC	\$A0	\$00	ヒューズ下位	
ヒューズ上位書き込み	\$AC	\$A8	\$00	ヒューズ上位	
拡張ヒューズ書き込み	\$AC	\$A4	\$00	拡張ヒューズ	

注1: 全命令が全デバイスで利用可能な訳ではありません。

注2: プログラム用メモリにアクセスする命令は語(ワード)アドレスを使用します。このアドレスはページ範囲内でランダムにできます。

注: 施錠ビットとヒューズ値はプログラムが0、非プログラムが1です。将来との互換性のため、未使用のヒューズと施錠ビットは非プログラム(1)にすべきです。

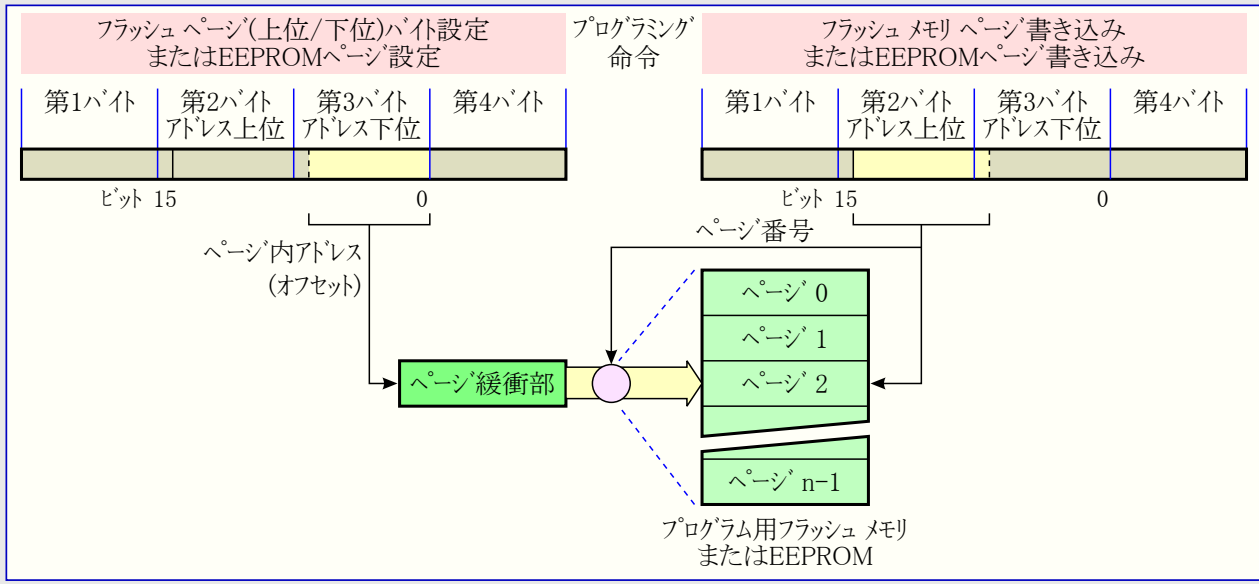
- ・ヒューズ、施錠ビット、識別バイト、校正值、ページ容量については対応項を参照してください。
- ・プログラミングと書き込み器に関する応用記述については <http://www.atmel.com/avr> をご覧ください。
- ・第4バイトの赤背景はホスト読み込み(デバイス出力)を示します。

多忙/準備可検査バイト データ出力のLSBが1なら、プログラミング操作が未だ保留(動作中)です。次の命令が実行される前に本ビットが0に戻るまで待ってください。

同じページ内で、下位バイト データは上位バイト データに先行して格納されなければなりません。

データがページ緩衝部に格納された後にEEPROMページをプログラムしてください。次頁の図20-2をご覧ください。

図20-2. 低電圧直列プログラミング命令例



(訳補) フラッシュメモリ、EEPROM、ページ緩衝部内のアドレス(位置)指定に使用されるビットはメモリ容量とページ構成に依存します。ATtiny25/45/85でのこれらの指定方法は次表で要約されます。

表20-A. アドレス(第2,3バイト)指定法

命令	第2バイト	第3バイト	備考
拡張アドレス設定			該当命令なし
フラッシュページ内バイト設定	0000 0000	0000 LLLL 000L LLLL	ATtiny25 : L=PC3~0 ATtiny45/85 : L=PC4~0
EEPROMページ内バイト設定	0000 0000	0000 00LL	ATtiny25/45/85 : L=EEA1~0
フラッシュメモリ読み出し	0000 00HH 0000 0HHH 0000 HHHH	LLLL LLLL	ATtiny25 : H=PC9~8, L=PC7~0 ATtiny45 : H=PC10~8, L=PC7~0 ATtiny85 : H=PC11~8, L=PC7~0
EEPROM読み出し	0000 0000 0000 0000 0000 000H	0LLL LLLL LLLL LLLL LLLL LLLL	ATtiny25 : L=EEA6~0 ATtiny45 : L=EEA7~0 ATtiny85 : H=EEA8, L=EEA7~0
フラッシュページ書き込み	0000 00HH 0000 0HHH 0000 HHHH	LLLL 0000 LLL0 0000 LLL0 0000	ATtiny25 : H=PC9~8, L=PC7~4 ATtiny45 : H=PC10~8, L=PC7~5 ATtiny85 : H=PC11~8, L=PC7~5
EEPROMバイト書き込み	0000 0000 0000 0000 0000 000H	0LLL LLLL LLLL LLLL LLLL LLLL	ATtiny25 : L=EEA6~0 ATtiny45 : L=EEA7~0 ATtiny85 : H=EEA8, L=EEA7~0
EEPROMページ書き込み	0000 0000 0000 0000 0000 000H	0LLL LL00 LLLL LL00 LLLL LL00	ATtiny25 : L=EEA6~2 ATtiny45 : L=EEA7~2 ATtiny85 : H=EEA8, L=EEA7~2

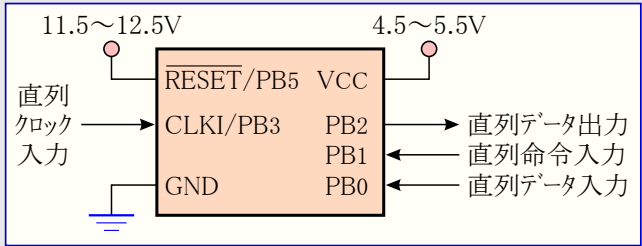
20.6. 高電圧直列プログラミング

本項はATtiny25/45/85でのプログラム用フラッシュメモリ、データ用EEPROM、**施錠ビット**、**ヒューズビット**のプログラミングと照合の方法を記述します。

表20-13. 高電圧直列プログラミング用ピン配置

信号名	ピン名	入出力	機能
SDI	PB0	入力	直列データ入力
SII	PB1	入力	直列命令入力
SDO	PB2	出力	直列データ出力
SCI	PB3	入力	直列クロック入力 (最小周期=220ns)

図20-3. 高電圧直列プログラミング構成図



高電圧直列プログラミング間中の直列クロック入力(SCI)に対する最小周期は220nsです。

表20-14. プログラミング動作移行に使用するピン値

ピン(信号)名	シンボル	値
SDI	Prog_enable[0]	0
SII	Prog_enable[1]	0
SDO	Prog_enable[2]	0

20.7. 高電圧直列プログラミング手順

高電圧直列プログラミング動作でのATtiny25/45/85のプログラミングと照合は次の手順が推奨されます(命令形式は表20-16.参照)。

20.7.1. 高電圧直列プログラミング動作への移行

次に示す方法がデバイスを高電圧直列プログラミング動作にします。

- ① VCCとRESETピンを0V、表20-14.で一覧されるProg\_enableピンを全てLow(0)に設定します。
  - ② VCCとGND間に4.5～5.5Vを印加します。20μs以内にVCCが最低1.8Vに達することを保証してください。
  - ③ RESETに11.5～12.5Vを印加し、20～60μs待ちます。
  - ④ Prog\_enable識別がラッチされてしまうのを確実にするため、高電圧が印加されてしまった後、最低10μs、Prog\_enableピンを無変化に保ちます。
  - ⑤ Prog\_enable[2]/SDOピンでの駆動衝突を避けるため、Prog\_enable[2]/SDOピンを開放します。
  - ⑥ SDI/SIIで如何なる直列命令を与える前に少なくとも300μs間待ちます。
  - ⑦ デバイスの電源を落とすか、RESETピンを0Vに持ってくることによってプログラミング動作を抜けます。
- VCCの上昇時間が上で示した必要条件を完全に満たせない場合、次の代替手順が使用できます。
- ① VCCとRESETピンを0V、表20-14.で一覧されるProg\_enableピンを全てLow(0)に設定します。
  - ② VCCとGND間に4.5～5.5Vを印加します。
  - ③ VCCを監視し、0.9～1.1Vに達したら直ぐ、RESETに11.5～12.5Vを印加します。
  - ④ Prog\_enable識別がラッチされてしまうのを確実にするため、高電圧が印加されてしまった後、最低10μs、Prog\_enableピンを無変化に保ちます。
  - ⑤ Prog\_enable[2]/SDOピンでの駆動衝突を避けるため、Prog\_enable[2]/SDOピンを開放します。
  - ⑥ SDI/SIIで如何なる直列命令を与える前に、VCCが実際に4.5～5.5Vに達するまで待ちます。
  - ⑦ デバイスの電源を落とすか、RESETピンを0Vに持ってくることによってプログラミング動作を抜けます。

表20-15. 高電圧リセット特性

供給電圧 (VCC)	RESETピン高電圧閾値電圧 (VHVRST)	プログラミング許可識別ラッチに対する最小高電圧時間 (tHVRST)
4.5V	11.5V	100ns
5.5V	11.5V	100ns



### 20.7.2. 効率的なプログラミングへの考慮

設定した命令とアドレスはプログラミング中、デバイス内で維持されます。効率的なプログラミングを行うために次が考慮されるべきです。

- 複数のメモリ領域を読み書きする時に命令設定は一度だけ必要です。
- チップ消去後のフラッシュメモリと(EESAVEヒューズがプログラム(0)されている場合を除き)EEPROM全体の内容は\$FFなので、値が\$FFのデータ書き込みを飛ばします。
- アドレス上位バイトはフラッシュメモリで新規256語(ワード)枠、EEPROMで新規256バイト枠の読み書き前に一度だけ必要です。この考慮は識別バイト読み出しにも適用されます。

### 20.7.3. チップ消去

チップ消去はフラッシュメモリ、EEPROM(注1)、施錠ビットを消去します。施錠ビットはプログラムメモリが完全に消去されてしまうまでリセット(消去)されません。ヒューズビットは変更されません。チップ消去はフラッシュメモリやEEPROMが再書き込みされる前に実行されなければなりません。

**注1:** EESAVEヒューズがプログラム(0)されていると、EEPROMはチップ消去中、保護されます。

- ① チップ消去命令を設定します(表20-16をご覧ください)。
- ② チップ消去終了に対してSDOがHighになるまで待ちます。
- ③ 無操作命令を設定します。

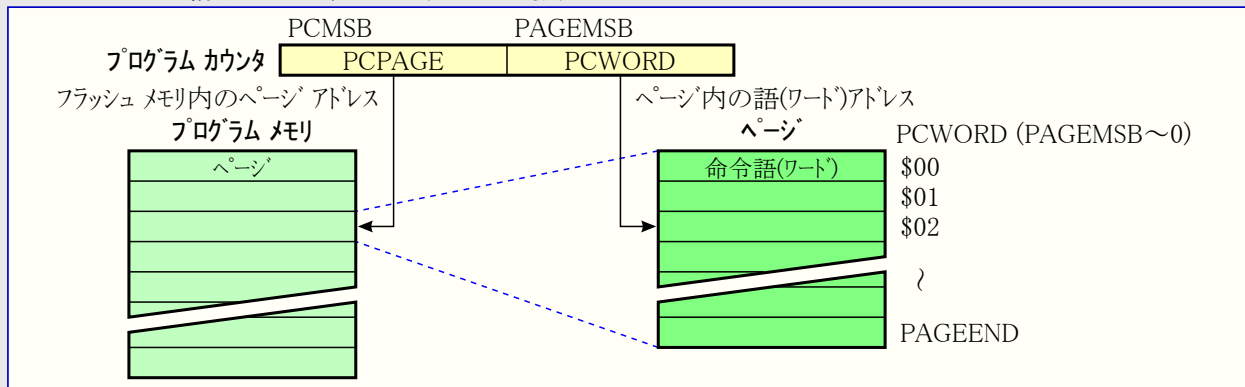
### 20.7.4. フラッシュメモリ書き込み

フラッシュメモリはページで構成されます(99頁の表20-8参照)。フラッシュメモリへ書く時にプログラムデータはページ緩衝部にラッチされます。これは同時に書かれることをプログラムデータの1ページに許します。次の手順は完全なフラッシュメモリの書き込み方法を記述します。

- ① フラッシュ書き込み移行命令を設定します(表20-16をご覧ください)。
- ② フラッシュメモリページ緩衝部を設定します。
- ③ フラッシュメモリ上位アドレス設定とフラッシュページ書き込み命令を設定します。第3命令バイト後、ページ書き込み終了に対してSDOがhighになるまで待ちます。
- ④ フラッシュメモリ全体または全データが書かれてしまうまで②～③を繰り返します。
- ⑤ 無操作命令の設定によってフラッシュページ書き込みを終えます。

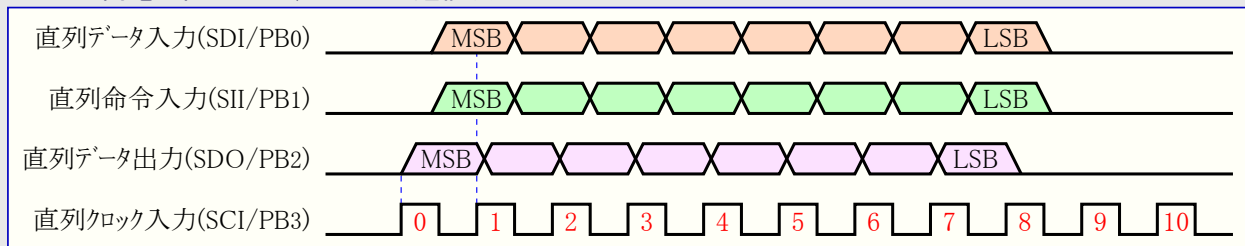
ATtiny25/45/85との直列データ読み書き時、データは直列クロックの上昇端でクロック駆動(取得/出力変更)されます。詳細については図20-5、図21-6、表21-12をご覧ください。

図20-4. ページで構成されたフラッシュメモリのアドレス指定



**注:** PCPAGEとPCWORDは99頁の表20-8で一覧されます。

図20-5. 高電圧直列プログラミングバイト通信波形



### 20.7.5. EEPROM書き込み

EEPROMはページで構成されます(99頁の表20-9.参照)。EEPROMを書く時にデータはページ緩衝部にラッチされます。これは同時に書かれることをデータの1ページに許します。データ用EEPROMメモリの書き込み方法は次の通りです。(表20-16.参照)

- ① EEPROM書き込み移行命令を設定します。
- ② EEPROMページ緩衝部を設定します。
- ③ EEPROMページ書き込み命令を設定します。第2命令バイト後、ページ書き込み終了に対してSDOがhighになるまで待ちます。
- ④ EEPROM全体または全データが書かれてしまうまで②～③を繰り返します。
- ⑤ 無操作命令の設定によってEEPROMページ書き込みを終えます。

### 20.7.6. フラッシュメモリ読み出し

フラッシュメモリの読み出し方法は次の通りです。(表20-16.参照)

- ① フラッシュ読み出し移行命令を設定します。
- ② フラッシュの上下バイトを読み出します。選択したアドレスの内容はSDO直列出力で利用可能です。

### 20.7.7. EEPROM読み出し

EEPROMの読み出し方法は次の通りです。(表20-16.参照)

- ① EEPROM読み出し移行命令を設定します。
- ② EEPROMのバイトを読み出します。選択したアドレスの内容はSDO直列出力で利用可能です。

### 20.7.8. ヒューズと施錠ビットの読み出し/書き込み

ヒューズ上位/下位と施錠ビットの読み出し/書き込み方法は表20-16.で示されます。

### 20.7.9. 識票バイトと校正值バイトの読み出し

識票バイトと校正值バイトの読み出し方法は表20-16.で示されます。

### 20.7.10. 電源OFF手順

SCIを0に設定します。RESETを1に設定します。VCC電源をOFFにします。

表20-16. 高電圧直列プログラミング命令一式

命令		命令形式						備考
		第1バイト	第2バイト	第3バイト	第4バイト	第5バイト	第6バイト	
チップ消去	SDI	0 1000 0000 00	0 0000 0000 00	0 0000 0000 00		第3バイト後SDO=Highまで待機。		
	SII	0 0100 1100 00	0 0110 0100 00	0 0110 1100 00				
	SDO	x xxxx xxxx xx	x xxxx xxxx xx	x xxxx xxxx xx				
フラッシュ メモリ 書き込み移行	SDI	0 0001 0000 00				フラッシュ メモリ書き込み処理移行。		
	SII	0 0100 1100 00						
	SDO	x xxxx xxxx xx						
フラッシュ ページ 緩衝部設定	SDI	0 AAAA AAAA 00	0 LLLL LLLL 00	0 HHHH HHHH 00	0 0000 0000 00	0 0000 0000 00	必要数分第1～5バイト 繰り返し。 A=下位アドレス(注1) H=上位データ L=下位データ	
	SII	0 0000 1100 00	0 0010 1100 00	0 0011 1100 00	0 0111 1101 00	0 0111 1100 00		
	SDO	x xxxx xxxx xx	x xxxx xxxx xx	x xxxx xxxx xx	x xxxx xxxx xx	x xxxx xxxx xx		
フラッシュ メモリ 上位アドレス設定 ページ書き込み	SDI	0 0000 000U 00	0 0000 0000 00	0 0000 0000 00	第3バイト後SDO=Highまで待機。 U=上位アドレス			
	SII	0 0001 1100 00	0 0110 0100 00	0 0110 1100 00				
	SDO	x xxxx xxxx xx	x xxxx xxxx xx	x xxxx xxxx xx				
フラッシュ メモリ 読み出し移行	SDI	0 0000 0010 00			フラッシュ メモリ読み出し処理移行。			
	SII	0 0100 1100 00						
	SDO	x xxxx xxxx xx						
フラッシュ メモリ 上下バイト 読み出し	SDI	0 AAAA AAAA 00	0 0000 000U 00	0 0000 0000 00	0 0000 0000 00	0 0000 0000 00	0 0000 0000 00	
	SII	0 0000 1100 00	0 0001 1100 00	0 0110 1000 00	0 0111 1000 00	0 0111 1100 00		
	SDO	x xxxx xxxx xx	x xxxx xxxx xx	x xxxx xxxx xx	L LLLL LLLx xx	x xxxx xxxx xx	H HHHH HHx xx	
EEPROM 書き込み移行	SDI	0 0001 0001 00		EEPROM書き 込み処理移行	第1,3～6バイトを繰り返し。新規256バイト ページ時は 第2バイトも繰り返し。 A=下位アドレス(注1), H=上位データ, L=下位データ			
	SII	0 0100 1100 00						
	SDO	x xxxx xxxx xx						
EEPROMページ 緩衝部設定	SDI	0 00AA AAAA 00	0 UUUU UUUU 00	0 LLLL LLLL 00	0 0000 0000 00	0 0000 0000 00	必要数分第1～5バイト 繰り返し。(注2) U=上位アドレス, A=下位アドレス, L=データ	
	SII	0 0000 1100 00	0 0001 1100 00	0 0010 1100 00	0 0110 1101 00	0 0110 1100 00		
	SDO	x xxxx xxxx xx	x xxxx xxxx xx	x xxxx xxxx xx	x xxxx xxxx xx	x xxxx xxxx xx		
EEPROM ページ書き込み	SDI	0 0000 0000 00	0 0000 0000 00			第2バイト後 SDO=High まで待機。		
	SII	0 0110 0100 00	0 0110 1100 00					
	SDO	x xxxx xxxx xx	x xxxx xxxx xx					
EEPROM バイト書き込み	SDI	0 00AA AAAA 00	0 UUUU UUUU 00	0 LLLL LLLL 00	0 0000 0000 00	0 0000 0000 00	0 0000 0000 00	
	SII	0 0000 1100 00	0 0001 1100 00	0 0010 1100 00	0 0110 1101 00	0 0110 0100 00	0 0110 1100 00	
	SDO	x xxxx xxxx xx	x xxxx xxxx xx	x xxxx xxxx xx	x xxxx xxxx xx	x xxxx xxxx xx	x xxxx xxxx xx	
EEPROM 読み出し移行	SDI	0 0000 0011 00		EEPROM読み 出し処理移行。	第6バイト後SDO=Highまで待機。 必要数分第1～6バイト繰り返し。(注2) (注3) A=下位アドレス, U=上位アドレス, L=データ			
	SII	0 0100 1100 00						
	SDO	x xxxx xxxx xx						
EEPROM バイト読み出し	SDI	0 00AA AAAA 00	0 0000 0000 00	0 0000 0000 00	0 0000 0000 00	必要数分第1～4バイト繰り返し。		
	SII	0 0000 1100 00	0 0001 1100 00	0 0110 1000 00	0 0110 1100 00			
	SDO	x xxxx xxxx xx	x xxxx xxxx xx	x xxxx xxxx xx	L LLLL LLLx xx			
ヒューズ'下位 書き込み	SDI	0 0100 0000 00	0 7654 3210 00	0 0000 0000 00	0 0000 0000 00	第4バイト後SDO=Highまで待機。 7～0はビット位置で論理0でプログラム。 (98頁の表20-5.参照)		
	SII	0 0100 1100 00	0 0010 1100 00	0 0110 0100 00	0 0110 1100 00			
	SDO	x xxxx xxxx xx	x xxxx xxxx xx	x xxxx xxxx xx	x xxxx xxxx xx			
ヒューズ'上位 書き込み	SDI	0 0100 0000 00	0 7654 3210 00	0 0000 0000 00	0 0000 0000 00	第4バイト後SDO=Highまで待機。 7～0はビット位置で論理0でプログラム。 (98頁の表20-4.参照)		
	SII	0 0100 1100 00	0 0010 1100 00	0 0111 0100 00	0 0111 1100 00			
	SDO	x xxxx xxxx xx	x xxxx xxxx xx	x xxxx xxxx xx	x xxxx xxxx xx			
拡張ヒューズ 書き込み	SDI	0 0100 0000 00	0 0000 0000 00	0 0000 0000 00	0 0000 0000 00	第4バイト後SDO=Highまで待機。 0はビット位置で論理0でプログラム。 (98頁の表20-3.参照)		
	SII	0 0100 1100 00	0 0010 1100 00	0 0110 0110 00	0 0110 1110 00			
	SDO	x xxxx xxxx xx	x xxxx xxxx xx	x xxxx xxxx xx	x xxxx xxxx xx			
施錠ビット 書き込み	SDI	0 0010 0000 00	0 0000 0010 00	0 0000 0000 00	0 0000 0000 00	第4バイト後SDO=Highまで待機。 1～0はビット位置で論理0でプログラム。 (97頁の表20-1.参照)		
	SII	0 0100 1100 00	0 0010 1100 00	0 0110 0100 00	0 0110 1100 00			
	SDO	x xxxx xxxx xx	x xxxx xxxx xx	x xxxx xxxx xx	x xxxx xxxx xx			
ヒューズ'下位 読み出し	SDI	0 0000 0100 00	0 0000 0000 00	0 0000 0000 00		7～0はビット位置で論理0でプログラム。 (98頁の表20-5.参照)		
	SII	0 0100 1100 00	0 0110 1000 00	0 0110 1100 00				
	SDO	x xxxx xxxx xx	x xxxx xxxx xx	7 6543 210x xx				
ヒューズ'上位 読み出し	SDI	0 0000 0100 00	0 0000 0000 00	0 0000 0000 00		7～0はビット位置で論理0でプログラム。 (98頁の表20-4.参照)		
	SII	0 0100 1100 00	0 0111 1010 00	0 0111 1110 00				
	SDO	x xxxx xxxx xx	x xxxx xxxx xx	7 6543 210x xx				
拡張ヒューズ 読み出し	SDI	0 0000 0100 00	0 0000 0000 00	0 0000 0000 00		0はビット位置で論理0でプログラム。 (98頁の表20-3.参照)		
	SII	0 0100 1100 00	0 0110 1010 00	0 0110 1110 00				
	SDO	x xxxx xxxx xx	x xxxx xxxx xx	x xxxx xx0x xx				
施錠ビット 読み出し	SDI	0 0000 0100 00	0 0000 0000 00	0 0000 0000 00		1～0はビット位置で論理0でプログラム。 (97頁の表20-1.参照)		
	SII	0 0100 1100 00	0 0111 1000 00	0 0111 1100 00				
	SDO	x xxxx xxxx xx	x xxxx xxxx xx	x xxxx x10x xx				

次頁へ続く

表20-16 (続き). 高電圧直列プログラミング命令一式

命令		命令形式						備考
		第1バイト	第2バイト	第3バイト	第4バイト	第5バイト	第6バイト	
識別バイト 読み出し	SDI	0 0000 1000 00	0 0000 00AA 00	0 0000 0000 00	0 0000 0000 00	A=アドレス 7~0はビット位置。		
	SII	0 0100 1100 00	0 0000 1100 00	0 0110 1000 00	0 0110 1100 00			
	SDO	x xxxx xxxx xx	x xxxx xxxx xx	x xxxx xxxx xx	7 6543 210x xx			
校正值 読み出し	SDI	0 0000 1000 00	0 0000 0000 00	0 0000 0000 00	0 0000 0000 00	7~0はビット位置。		
	SII	0 0100 1100 00	0 0000 1100 00	0 0111 1000 00	0 0111 1100 00			
	SDO	x xxxx xxxx xx	x xxxx xxxx xx	x xxxx xxxx xx	7 6543 210x xx			
無操作	SDI	0 0000 0000 00				アイドル状態に復帰。		
	SII	0 0100 1100 00						
	SDO	x xxxx xxxx xx						

**注1:** 256語(ワード)よりも少ないページ容量に関する上位余剰ビットはページ アドレス部です。

**注2:** 256バイトよりも少ないページ容量に関する上位余剰ビットはページ アドレス部です。

**注3:** EEPROMはページ単位で書かれます。しかし、ページ内に設定されたバイトだけが実際にEEPROMへ書かれます。複数バイトが同じページに書かれるべきなら、ページ単位EEPROMアクセスはより効果的です。EEPROMの自動消去はSPI(低電圧)直列プログラミングだけで、高電圧直列プログラミングで利用できないことに注意してください。

**注4:** 上位(ページ)アドレスの有効ビットはATtiny25/45/85で各々異なります(99頁の「ページ容量」と102頁の図20-2参照)。

## 21. 電気的特性

### 21.1. 絶対最大定格 (警告)

動作温度	-55℃ ~ +125℃
保存温度	-65℃ ~ +150℃
RESETを除くピン許容電圧	-0.5V ~ VCC+0.5V
RESETピン許容電圧	-0.5V ~ +13.0V
最大動作電圧	6.0V
入出力ピン出力電流	40.0mA
消費電流	200.0mA

(警告)

絶対最大定格を超える負担はデバイスに定常的な損傷を与えます。絶対最大定格は負担の定格を示すためだけのもので、この値または、この仕様書の動作特性で示された値を超える条件で動作することを示すものではありません。長時間の最大定格での使用はデバイスの信頼性を損なう場合があります。

### 21.2. DC特性

表21-1. DC特性 TA=-40℃~85℃

シンボル	項目	条件	Min	Typ (注1)	Max	単位
V <sub>IL</sub>	Lowレベル入力電圧 (XTAL1, RESETを除く)	VCC=1.8~2.4V	-0.5		0.2VCC (注2)	V
		VCC=2.4~5.5V	-0.5		0.3VCC (注2)	
V <sub>IL1</sub>	Lowレベル入力電圧 (XTAL1)	VCC=1.8~5.5V	-0.5		0.1VCC (注2)	
V <sub>IL2</sub>	Lowレベル入力電圧 (RESET)	VCC=1.8~5.5V	-0.5		0.2VCC (注2)	
V <sub>IL3</sub>	Lowレベル入力電圧 (I/OとしてのRESET)	VCC=1.8~2.4V	-0.5		0.2VCC (注2)	V
		VCC=2.4~5.5V	-0.5		0.3VCC (注2)	
V <sub>IH</sub>	Highレベル入力電圧 (XTAL1, RESETを除く)	VCC=1.8~2.4V	0.7VCC (注3)		VCC+0.5	V
		VCC=2.4~5.5V	0.6VCC (注3)		VCC+0.5	
V <sub>IH1</sub>	Highレベル入力電圧 (XTAL1)	VCC=1.8~2.4V	0.8VCC (注3)		VCC+0.5	
		VCC=2.4~5.5V	0.7VCC (注3)		VCC+0.5	
V <sub>IH2</sub>	Highレベル入力電圧 (RESET)	VCC=1.8~5.5V	0.9VCC (注3)		VCC+0.5	
V <sub>IH3</sub>	Highレベル入力電圧 (I/OとしてのRESET)	VCC=1.8~2.4V	0.7VCC (注3)		VCC+0.5	V
		VCC=2.4~5.5V	0.6VCC (注3)		VCC+0.5	
V <sub>OL</sub>	Lレベル出力電圧 (RESET(注6)を除く) (注4)	IOL=10mA, VCC=5V			0.6	V
		IOL=5mA, VCC=3V			0.5	
V <sub>OH</sub>	Hレベル出力電圧 (RESET(注6)を除く) (注5)	IOH=-10mA, VCC=5V	4.3			V
		IOH=-5mA, VCC=3V	2.5			
I <sub>IL</sub>	I/OピンLowレベル入力漏れ電流	VCC=5.5V		<0.05	1	μA
I <sub>IH</sub>	I/OピンHighレベル入力漏れ電流	確実なH/L範囲		<0.05	1	μA
RRST	RESETピン プルアップ抵抗	VCC=5.5V, Low入力	30		60	kΩ
RPU	I/Oピン プルアップ抵抗	VCC=5.5V, Low入力	20		50	kΩ
I <sub>CC</sub>	活動動作消費電流 (注7)	VCC=2V, 1MHz		0.3	0.55	mA
		VCC=3V, 4MHz		1.5	2.5	
		VCC=5V, 8MHz		5	8	
	アイドル動作消費電流 (注7)	VCC=2V, 1MHz		0.1	0.2	mA
		VCC=3V, 4MHz		0.35	0.6	
		VCC=5V, 8MHz		1.2	2	
	パワーダウン動作消費電流 (注8)	VCC=3V, WDT有効			10	μA
		VCC=3V, WDT禁止			2	

注1: 25℃での代表値です。

注2: Lowレベルの認識が保証される最高電圧です。

注3: Highレベルの認識が保証される最低電圧です。

(注4)~(注8)は次頁を参照してください。



**注4:** 各I/Oポートは安定状態(非過渡時)に於いて検査条件(VCC=5Vで10mA、VCC=3Vで5mA)よりも多くのシンク電流を流すことができますが、次の条件を厳守してください。

① 全ポートのIOLの合計が60mAを超えるべきではありません。

IOLが検査条件を超える場合、VOLも仕様書での値を超えます。表の検査条件よりも大きなシンク電流を流すことは保証されません。

**注5:** 各I/Oポートは安定状態(非過渡時)に於いて検査条件(VCC=5Vで10mA、VCC=3Vで5mA)よりも多くのソース電流を流すことができますが、次の条件を厳守してください。

① 全ポートのIOHの合計が60mAを超えるべきではありません。

IOHが検査条件を超える場合、VOHも仕様書での値を超えます。表の検査条件よりも大きなソース電流を流すことは保証されません。

**注6:** RESETピンはプログラミング動作での操作と移行時に高電圧を許容しなければならず、その結果として標準I/Oピンと比べて弱い駆動能力を持ちます。(122頁から始まる)図22-23～26をご覧ください。

**注7:** 25頁の「消費電力の最小化」で記述された方法を用いた外部クロックでの値です。電力削減が許可(PRR=\$FF)され、I/Oの駆動はありません。

**注8:** 低電圧検出器(BOD)禁止です。

## 21.3. 速度

最高周波数は動作電圧に依存します。図21-1.と図21-2.で示されるように最高周波数対動作電圧曲線は1.8～2.7Vと2.7～4.5V間で直線です。(訳注: 共通性から2行追加)

図21-1. ATtiny25/45/85Vの最高周波数対VCC

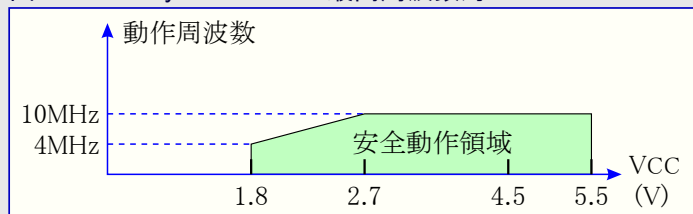
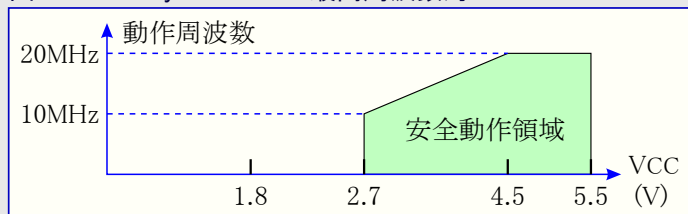


図21-2. ATtiny25/45/85の最高周波数対VCC



## 21.4. クロック特性

### 21.4.1. 校正付き内蔵RC発振器精度

工場既定校正よりも高い精度に内蔵発振器を手動校正することが可能です。この発振器周波数が温度と電圧に依存することに注意してください。電圧と温度の特性は127頁の図22-40.と128頁の図22-41.で得られます。

表21-2. 校正付き内蔵RC発振器の校正精度

校正種別	周波数	VCC	温度	校正精度 (注1)
工場校正	8.0MHz (注2)	3V	25°C	±10%
使用者校正	6～8MHz 内の固定周波数	1.8～5.5V(注3), 2.7～5.5V(注4) 内の固定電圧	-40～85°C 内の固定温度	±1%

**注1:** 校正点での発振器周波数精度(固定温度と固定電圧)

**注2:** ATtiny25Vのみ: ATtiny15互換動作での6.4MHz

**注3:** ATtiny25V/45V/85Vに対する電圧範囲

**注4:** ATtiny25/45/85に対する電圧範囲

### 21.4.2. 外部クロック信号駆動

図21-3. 外部クロック駆動波形

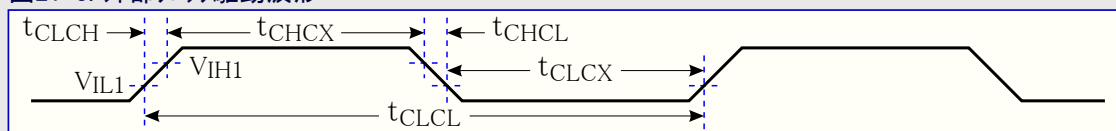


表21-3. 外部クロック特性

シンボル	項目	VCC=1.8~5.5V		VCC=2.7~5.5V		VCC=4.5~5.5V		単位
		Min	Max	Min	Max	Min	Max	
1/t <sub>CLCL</sub>	クロック周波数	0	4	0	10	0	20	MHz
t <sub>CLCL</sub>	クロック周期	250		100		50		ns
t <sub>CHCX</sub>	Highレベル時間	100		40		20		
t <sub>CLCX</sub>	Lowレベル時間	100		40		20		
t <sub>CLCH</sub>	上昇時間		2.0		1.6		0.5	μs
t <sub>CHCL</sub>	下降時間		2.0		1.6		0.5	
Δt <sub>CLCL</sub>	隣接クロック周期間の变化率		2		2		2	%

注: 詳細については17頁の「外部クロック信号」を参照してください。

## 21.5. システムとリセットの特性

表21-4. システムとリセットの電氣的特性

シンボル	項目	条件	Min	Typ	Max	単位
V <sub>RST</sub>	RESETピン閾値電圧	VCC=3V	0.2VCC		0.9VCC	V
t <sub>RST</sub>	リセット パルス幅			2.5		μs
V <sub>HYST</sub>	低電圧検出ヒステリシス電圧			50		mV
t <sub>BOD</sub>	最小低電圧検出時間			2		μs
V <sub>BG</sub>	基準電圧	VCC=5V TA=25°C	1.0	1.1	1.2	V
t <sub>BG</sub>	起動時間			40	70	μs
I <sub>BG</sub>	消費電流			15		μA

注: 値は指針だけです。

以下のように2つの電源ONリセット版が実装されています。

### 21.5.1. 標準電源ONリセット

この電源ONリセットの実装はATtiny25/45/85の初期版で存在します。下表はこの電源ONリセットの特性を記述し、それは以下のデバイスに対してだけ有効です。

- ATtiny25 : 改訂Dとそれ以前
- ATtiny45 : 改訂Fとそれ以前
- ATtiny85 : 改訂Bとそれ以前

注: 改訂は外囲器上に記されます(8P3と8S2外囲器:裏面、20M1外囲器:表面)。

表21-5. 標準電源ONリセット特性 (TA=-40°C~85°C)

シンボル	項目	Min	Typ	Max	単位
V <sub>POR</sub>	電源ONリセット開放閾値電圧 (注1)	0.7	1.0	1.4	V
V <sub>POA</sub>	電源ONリセット活性閾値電圧 (注2)	0.05	0.9	1.3	
S <sub>RON</sub>	電源投入時上昇率	0.01		4.5	V/ms

注: 値は指針だけです。

注1: 電圧上昇時にデバイスがリセットから開放される閾値電圧です。

注2: 供給電圧がV<sub>POA</sub>未満でなければ電源ONリセットは動作しません(電圧下降時)。

### 21.5.2. 強化電源ONリセット

この電源ONリセットの実装はATtiny25/45/85の新版で存在します。下表はこの電源ONリセットの特性を記述し、それは以下のデバイスに対してだけ有効です。

- ATtiny25 : 改訂Eとそれ以降
- ATtiny45 : 改訂Gとそれ以降
- ATtiny85 : 改訂Gとそれ以降

表21-6. 強化電源ONリセット特性 (TA=-40°C~85°C)

シンボル	項目	Min	Typ	Max	単位
V <sub>POR</sub>	電源ONリセット開放閾値電圧 (注1)	1.1	1.4	1.6	V
V <sub>POA</sub>	電源ONリセット活性閾値電圧 (注2)	0.6	1.3	1.6	
S <sub>RON</sub>	電源投入時上昇率	0.01			V/ms

注: 値は指針だけです。

注1: 電圧上昇時にデバイスがリセットから開放される閾値電圧です。

注2: 供給電圧がV<sub>POA</sub>未満でなければ電源ONリセットは動作しません(電圧下降時)。

## 21.6. 低電圧検出(BOD)

表21-7. BODLEVELヒューズ符号化 (V<sub>BOT</sub>, TA=-40~85℃) (注1)

BODLEVEL2～0	Min	Typ	Max	単位
1 1 1	低電圧検出(BOD)リセット禁止			
1 1 0	1.7	1.8	2.0	V
1 0 1	2.5	2.7	2.9	
1 0 0	4.1	4.3	4.5	
0 0 0 ～ 0 1 1	(予約)			

注1: いくつかのデバイスでV<sub>BOT</sub>が公称最低動作電圧以下の可能性があります。この状態のデバイスについては、製造検査中、VCC=V<sub>BOT</sub>に落として検査されています。これはマイクロコントローラの正しい動作がもはや保証されない電圧になる前に、低電圧検出(BOD)リセットが起きることを保証します。

## 21.7. A/D変換器特性

表21-8. A/D変換特性 (TA=-40℃~85℃)

シンボル	項目	条件	Min	Typ	Max	単位
シングル エンド 入力変換	分解能				10	ビット
	絶対精度 (INL,DNL,利得,オフセット, 量子化誤差を含む)	VCC=4V 変換クロック=200kHz		2		LSB
		VREF=4V 変換クロック=1MHz		3		
		雑音低減動作 変換クロック=200kHz		1.5		
		変換クロック=1MHz		2.5		
	積分性非直線誤差(INL) (オフセット,利得誤差校正後)	VCC=4V		1		LSB
	微分性非直線誤差(DNL)	VREF=4V		0.5		
	利得誤差	変換クロック=200kHz		2.5		
	オフセット(ゼロ)誤差			1.5		
	変換クロック周波数		50		1000	kHz
	変換時間	連続変換動作	14		280	μs
	A <sub>REF</sub> 外部基準電圧		2.0		VCC	V
	V <sub>IN</sub> 入力電圧		GND		VREF	
単極 差動 入力変換	入力周波数帯域			38.4		kHz
	分解能	×1			10	ビット
		×20			10	
	絶対精度 (INL,DNL,利得,オフセット, 量子化誤差を含む)	×1		10.0		LSB
		×20		20.0		
	積分性非直線誤差(INL) (オフセット,利得誤差校正後)	VCC=5V ×1		4.0		
		VREF=4V ×20		10.0		
	利得誤差	変換クロック=50~200kHz ×1		10.0		
		×20		15.0		
	オフセット(ゼロ)誤差	×1		3.0		LSB
		×20		4.0		
	変換クロック周波数		50		200	kHz
	変換時間	連続変換動作	70		280	μs
	A <sub>REF</sub> 外部基準電圧		2.0		VCC-1.0	V
	V <sub>IN</sub> 入力電圧		GND		VCC	
	V <sub>DIFF</sub> 差動入力電圧差				VREF/利得	
	入力周波数帯域			4		kHz

[次頁に続く]

(訳注) 原書の表21-8.~10.は表21-8.として統合しました。

表21-8 (続き). A/D変換特性 (TA=-40°C~85°C)

	シンボル	項目	条件	Min	Typ	Max	単位
両極差動入力変換		分解能	×1			10	ビット
			×20			10	
		絶対精度 (INL,DNL,利得,オフセット, 量子化誤差を含む)	×1		8.0		LSB
			×20		8.0		
		積分性非直線誤差(INL) (オフセット,利得誤差校正後)	×1		4.0		
			×20		5.0		
		利得誤差	×1		4.0		
			×20		5.0		
		オフセット(ゼロ)誤差	×1		3.0		
			×20		4.0		
		変換クロック周波数		50		200	kHz
		変換時間	連続変換動作	70		280	μs
共通	AREF	外部基準電圧		2.0		VCC-1.0	V
	VIN	入力電圧		GND		VCC	
	VDIFF	差動入力電圧差				VREF/利得	
		入力周波数帯域			4		kHz
		A/D変換出力	単極動作	0		1023	LSB
			両極動作	-512		511	
	VINT	内部基準電圧		1.0	1.1	1.2	V
		内部2.56V基準電圧 (注)	VCC>3V	2.3	2.56	2.8	
	RREF	基準電圧入力インピーダンス			32		kΩ
	RAIN	アナログ入力インピーダンス			100		MΩ

注: 値は指針の意味だけです。

(訳注) 原書の表21-8.~10.は表21-8.として統合しました。

21.8. 低電圧直列プログラミング特性

図21-4. 低電圧直列プログラミング バイト通信波形

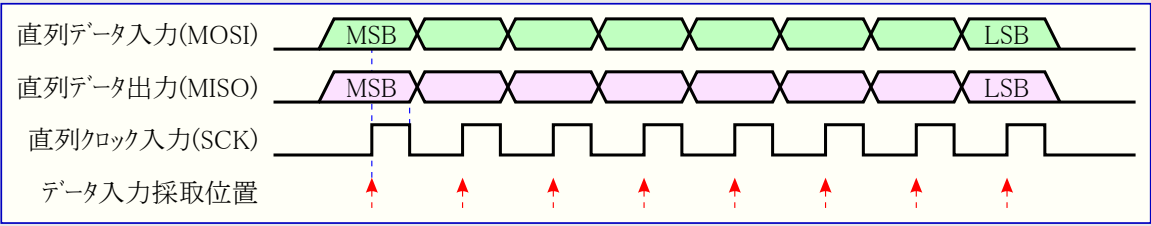


図21-5. 低電圧直列プログラミング タイミング

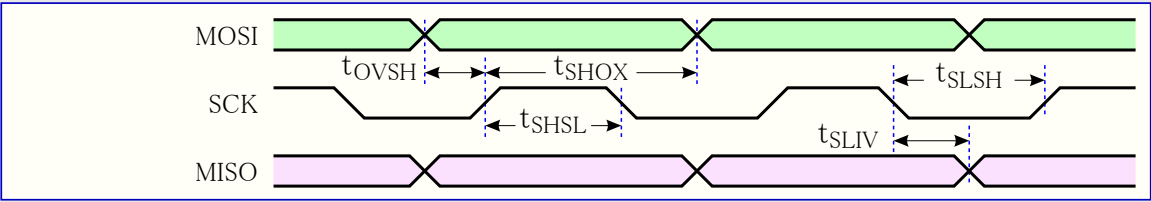


表21-11. 低電圧直列プログラミング特性 (特記条件を除いて、TA=-40℃～85℃，VCC=1.8～5.5V)

シンボル	項目		Min	Typ	Max	単位
1/tCLCL	発振器周波数	1.8～2.7V	0		4	MHz
		2.7～4.5V	0		10	
		4.5～5.5V	0		20	
tCLCL	発振器周期	1.8～2.7V	250			ns
		2.7～4.5V	100			
		4.5～5.5V	50			
tSHSL	SCKパルスHレベル幅	(注1)	2tCLCL			ns
tSLSH	SCKパルスLレベル幅	(注1)	2tCLCL			
tOVSH	SCK ↑ に対するMOSIセットアップ時間		tCLCL			
tSHOX	SCK ↑ に対するMOSI保持時間		2tCLCL			ns
tSLIV	SCK ↓ に対するMISO出力遅延時間				100	

注1:  $f_{CK} < 12\text{MHz}$  時  $2t_{CLCL}$ 、 $f_{CK} \geq 12\text{MHz}$  時  $3t_{CLCL}$ 。

21.9. 高電圧直列プログラミング特性

図21-6. 高電圧直列プログラミング タイミング

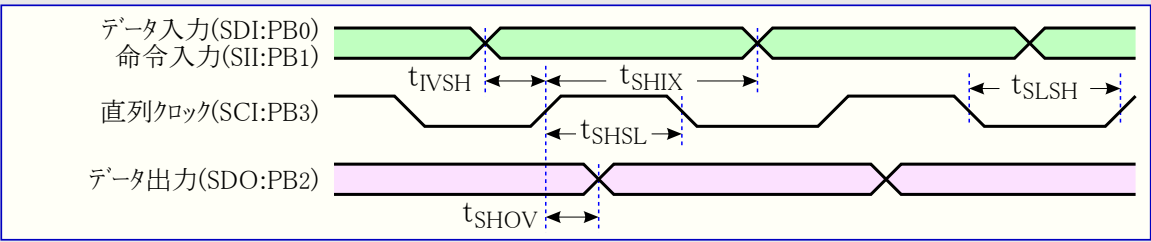


表21-12. 高電圧直列プログラミング特性 (特記条件を除いて、VCC=5.0V±10%)

シンボル	項目	Min	Typ	Max	単位
tSHSL	SCIパルスHレベル幅	125			ns
tSLSH	SCIパルスLレベル幅	125			
tIVSH	SCI ↑ に対するSDI,SIIセットアップ時間	50			
tSHIX	SCI ↑ に対するSDI,SII保持時間	50			
tSHOV	SCI ↑ に対するSDO出力遅延時間		16		ms
tWLWH_PFB	ヒューズ書き込み第3バイト後待機時間		2.5		



## 22. 代表特性

本項内に含まれたデータは主に同じ製法と設計法の類似デバイスの特徴付けとシミュレーションに基づいています。従って、このデータはデバイスがどう反応するかについての指標として扱われるべきです。

以下の図は代表的な特性を示します。これらの図は製造中に検査されていません。全ての消費電流測定は全I/Oピンを入力として設定した内部プルアップ許可で行われています。電源幅振幅の方形波発振器がクロック源として使用されています。

パワーダウン動作での消費電力はクロック選択と無関係です。

消費電流は動作電圧、動作周波数、I/Oピンの負荷、I/Oピンの切り替え速度、命令実行、周囲温度のような様々な要素の関数です。支配的な要素は動作電圧と動作周波数です。

容量性負荷のピンの引き込み電流は(1つのピンに対して)  $C_L(\text{負荷容量}) \times V_{CC}(\text{動作電圧}) \times f(\text{I/Oピンの平均切り替え周波数})$  として推測できます。

デバイスは検査範囲よりも高い周波数特性を示します。デバイスは注文番号が示す周波数よりも高い周波数での機能特性を保証されません。

ウォッチドッグタイマ許可のパワーダウン動作での消費電流とウォッチドッグタイマ禁止のパワーダウン動作での消費電流間の違いは、ウォッチドッグタイマによって引き込んだ(消費した)差電流を表します。

### 22.1. 活動動作消費電流

図22-1. 活動動作消費電流 対 周波数 (100kHz～1MHz)

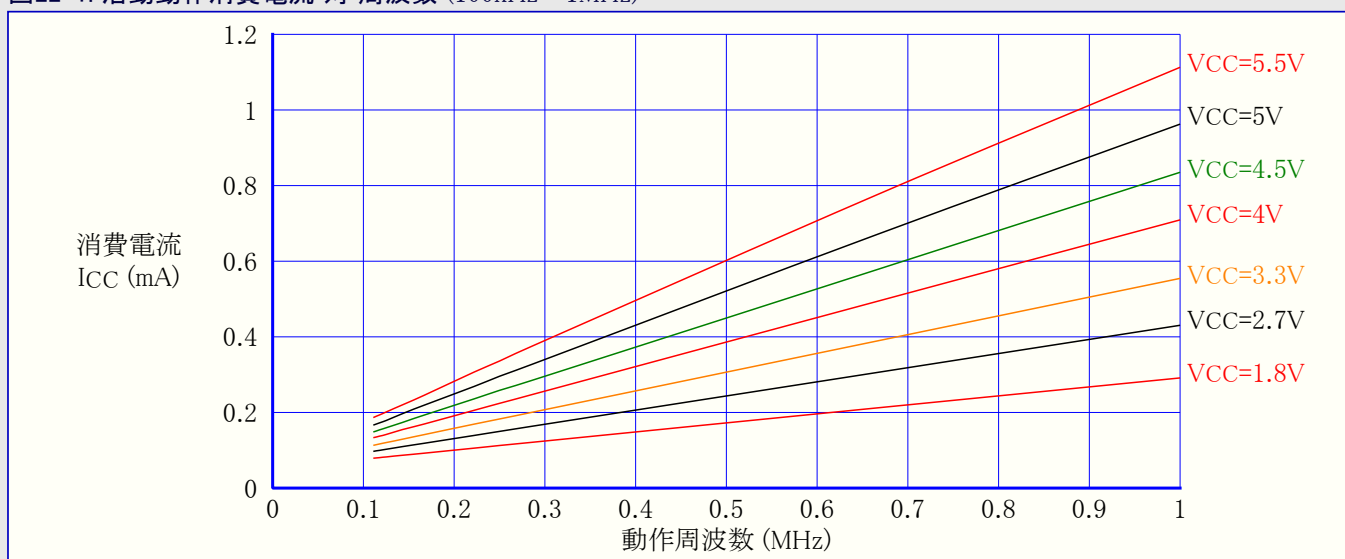


図22-2. 活動動作消費電流 対 周波数 (1MHz～20MHz)

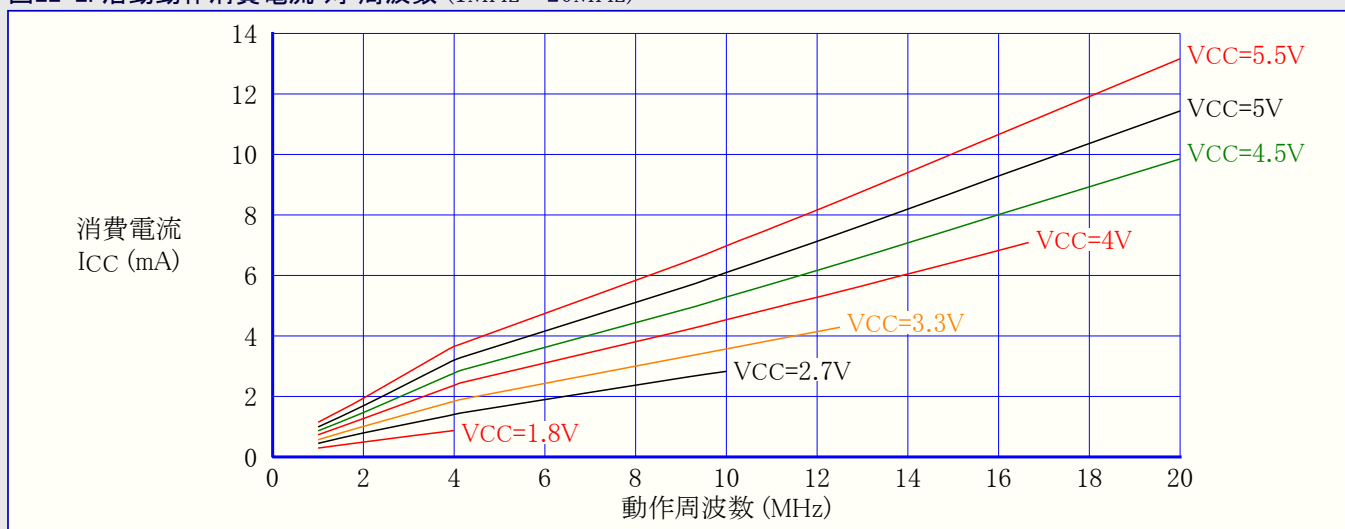


図22-3. 活動動作消費電流 対 動作電圧 (内蔵RC発振器,8MHz)

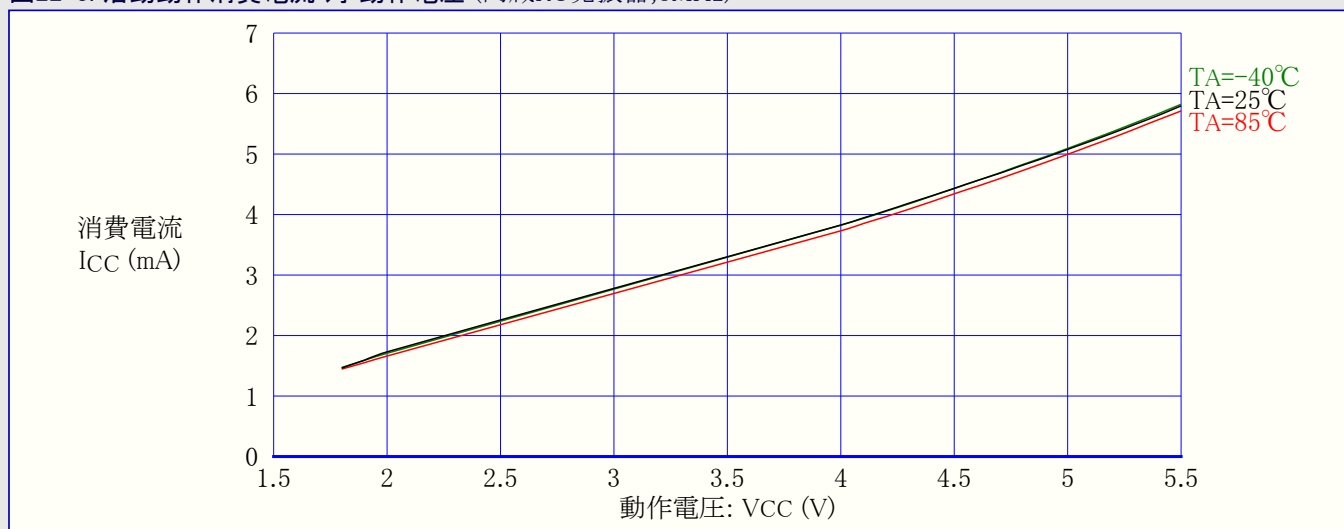


図22-4. 活動動作消費電流 対 動作電圧 (内蔵RC発振器,CKDIV8=プログラム(0),1MHz)

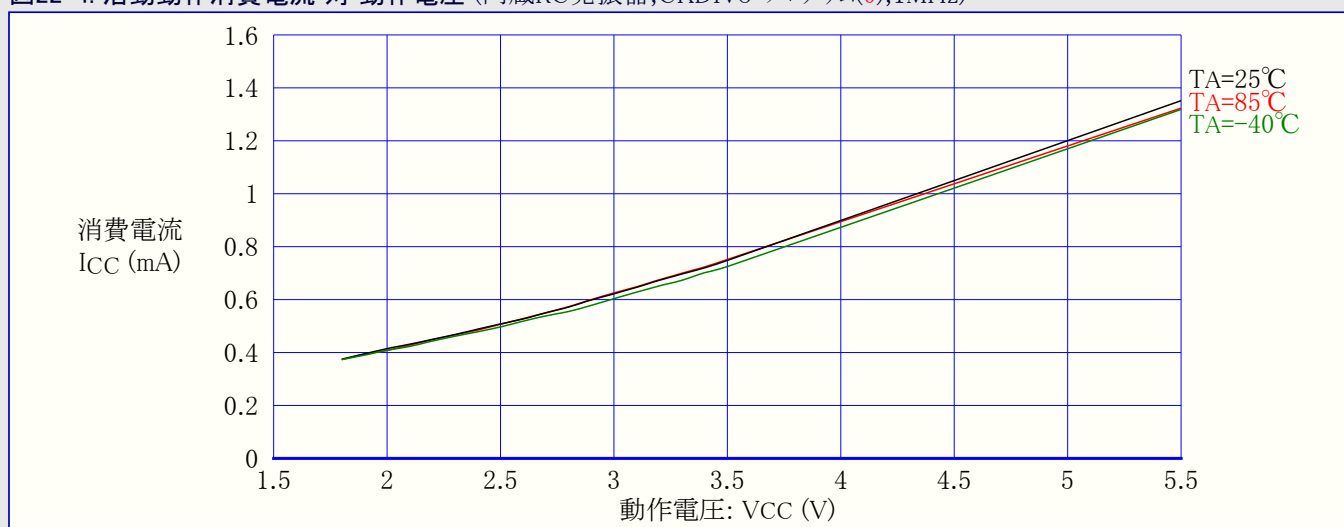
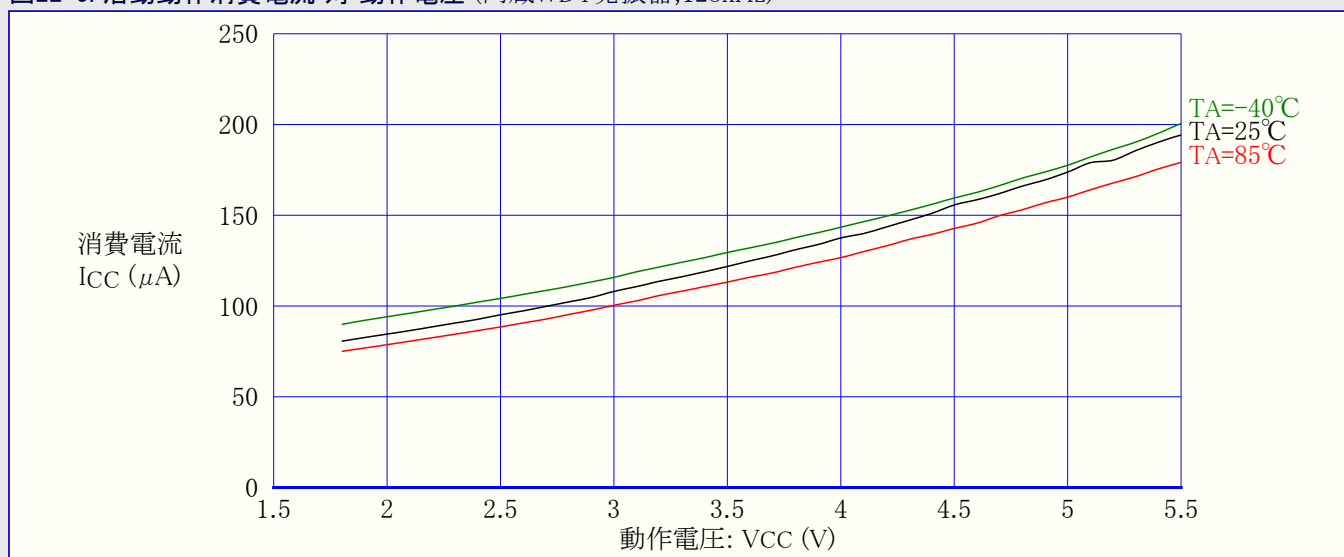


図22-5. 活動動作消費電流 対 動作電圧 (内蔵WDT発振器,128kHz)



## 22.2. アイドル動作消費電流

図22-6. アイドル動作消費電流 対 周波数 (100kHz~1MHz)

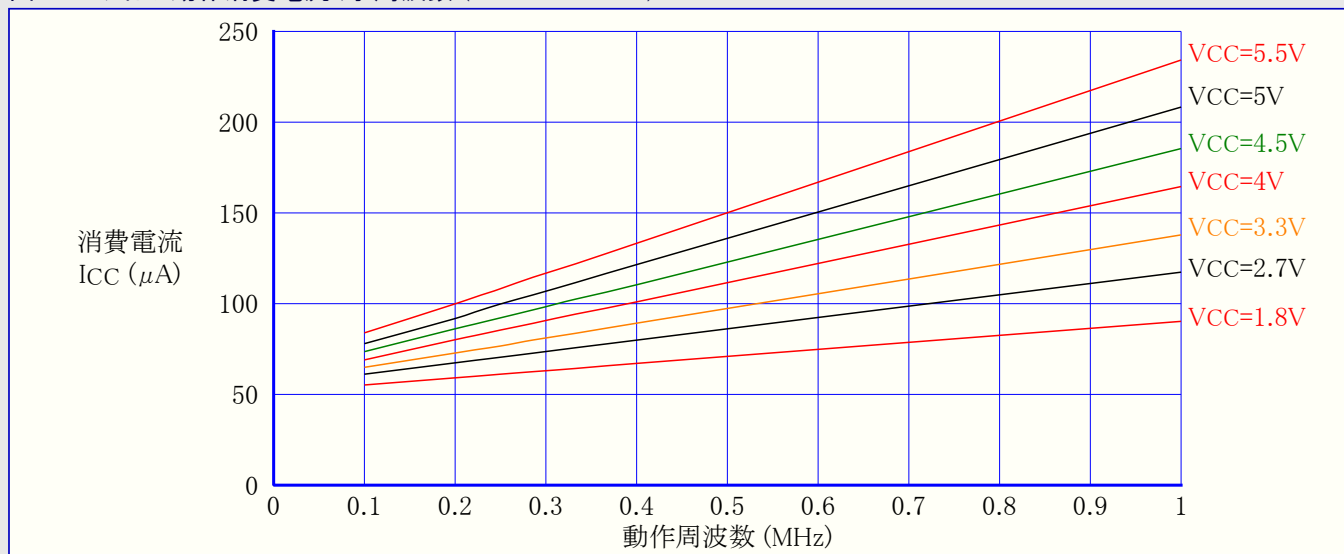


図22-7. アイドル動作消費電流 対 周波数 (1MHz~20MHz)

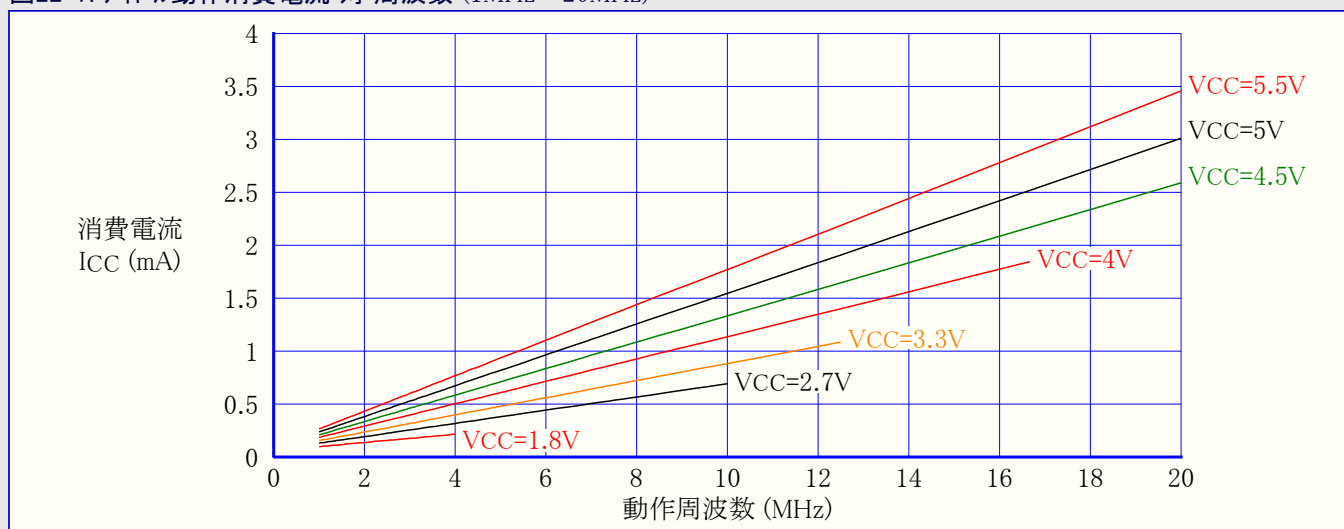


図22-8. アイドル動作消費電流 対 動作電圧 (内蔵RC発振器, 8MHz)

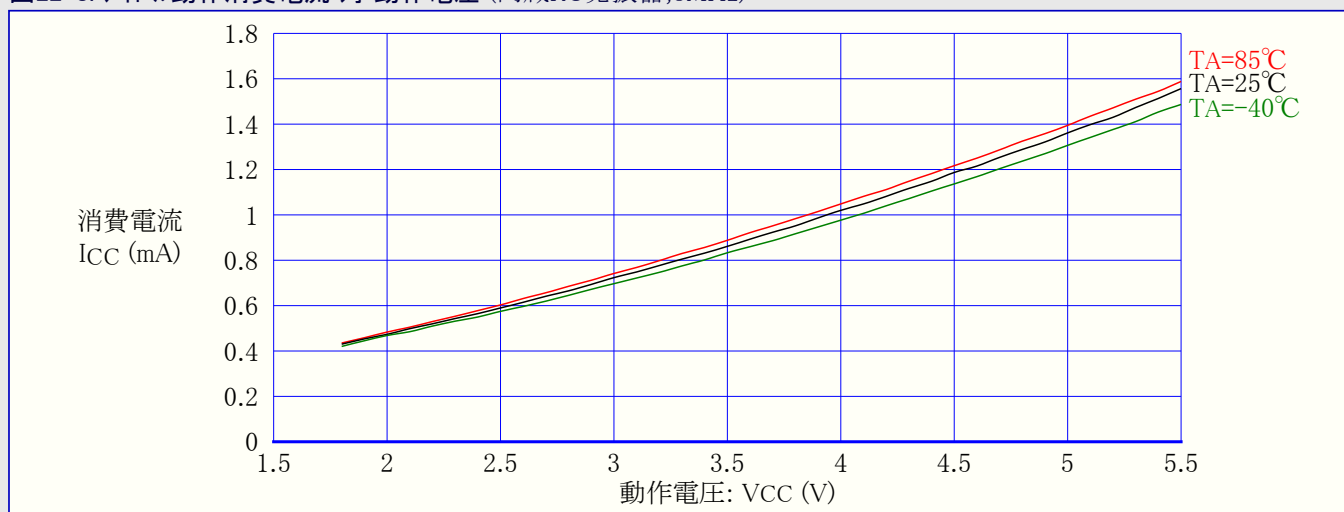


図22-9. アイドル動作消費電流 対 動作電圧 (内蔵RC発振器,CKDIV8=プログラム(0),1MHz)

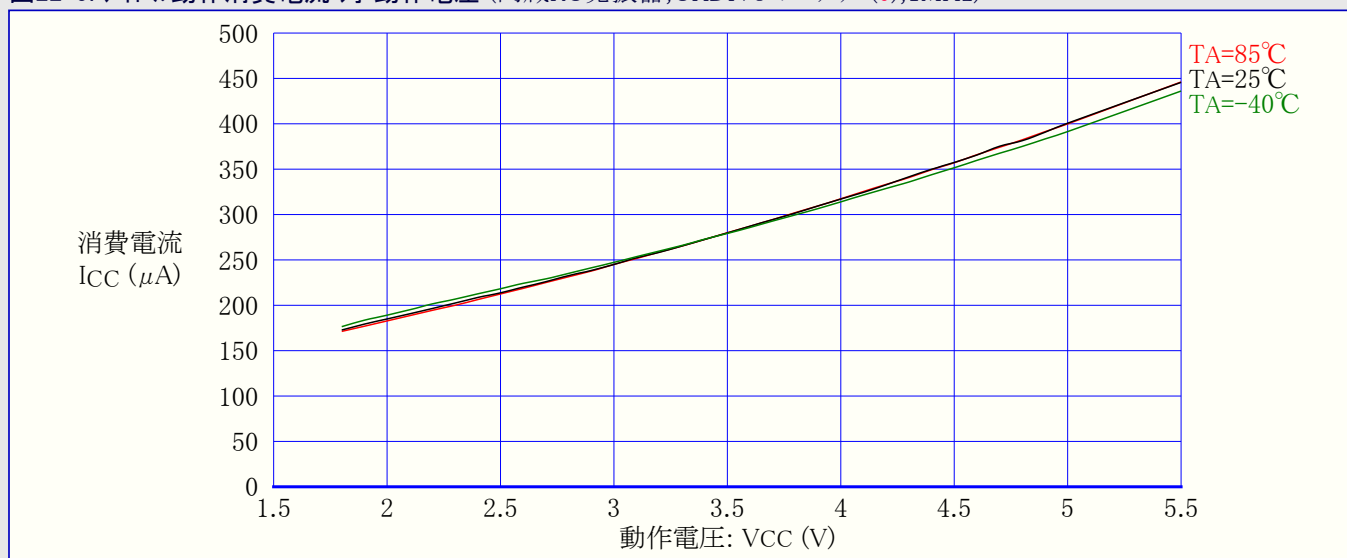
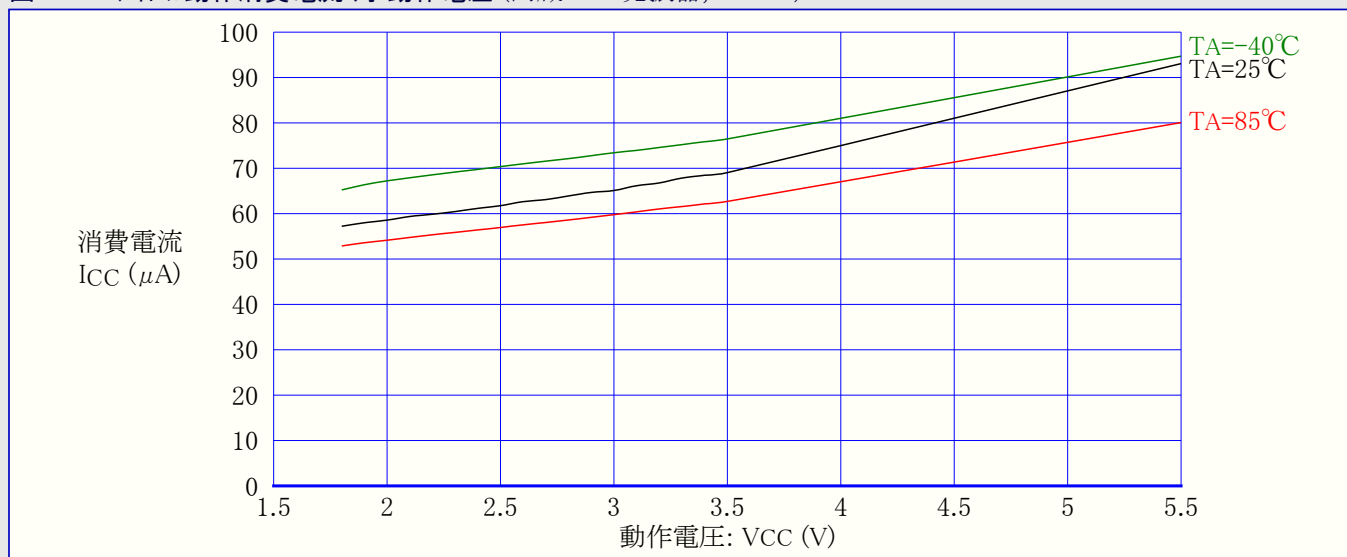


図22-10. アイドル動作消費電流 対 動作電圧 (内蔵WDT発振器,128kHz)



## 22.3. 周辺機能部供給電流

以下の表と式は活動動作とアイドル動作で個別周辺機能部に対する追加消費電流の計算に使用できます。周辺機能部の許可や禁止は電力削減レジスタによって制御されます。詳細については26頁の「PRR - 電力削減レジスタ」をご覧ください。

表22-1. 各部追加消費電流 (絶対値: μA)

PRR内ビット	1MHz,2V	4MHz,3V	8MHz,5V
PRTIM1	45	300	1100
PRTIM0	5	30	110
PRUSI	5	25	100
PRADC	15	85	340

表22-2. 各部追加消費電流 (相対値: %)

PRR内ビット	活動動作(図22-1,図22-2)	アイドル動作(図22-6,図22-7)
PRTIM1	20	80
PRTIM0	2	10
PRUSI	2	10
PRADC	5	25

表22-1.で一覧される以外のVCCと周波数設定については表22-2.からの数値を元に代表的な消費電流を計算できます。

例1: VCC=2V, f=1MHzでUSI, タイマ/カウンタ0, A/D変換器が許可されたアイドル動作での予測される消費電流を計算します。表22-2.のアイドル動作列からUSIが10%、タイマ/カウンタ0が10%、A/D変換器が25%追加する必要があります。図22-9.を読み、VCC=2V, f=1MHzでのアイドル動作消費電流が約0.18mAであることを得ます。USI, タイマ/カウンタ0, A/D変換器許可のアイドル動作での総消費電流を得ます。

$$\text{総消費電流} = 0.18\text{mA} \times (1 + 0.1 + 0.1 + 0.25) \approx 0.261\text{mA}$$

## 22.4. パワーダウン動作消費電流

図22-11. パワーダウン動作消費電流 対 動作電圧 (ウォッチドッグ タイマ禁止)

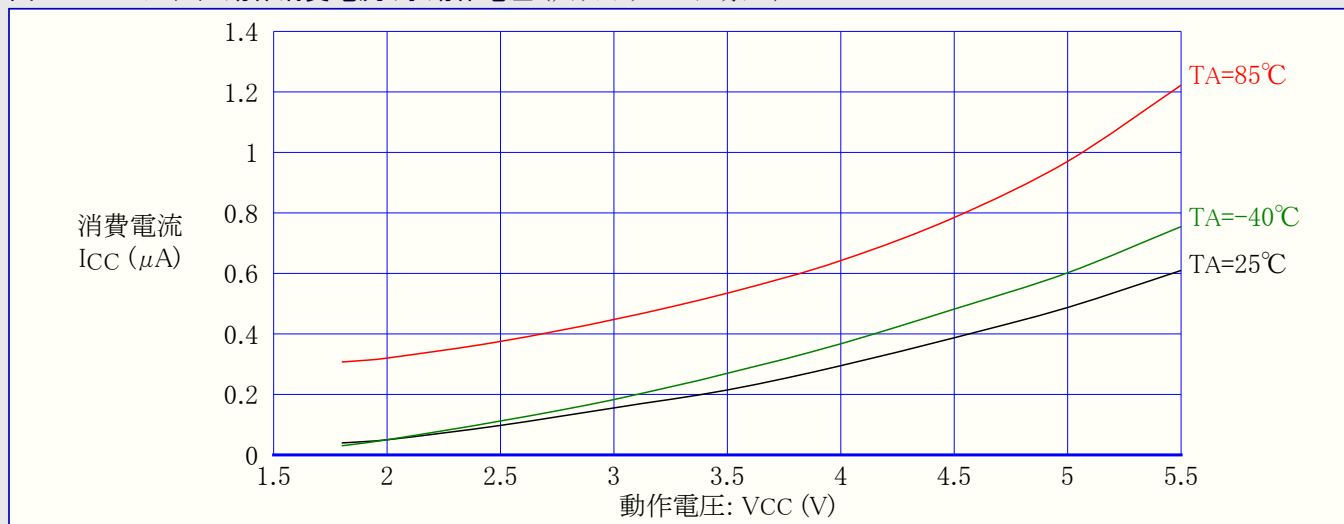
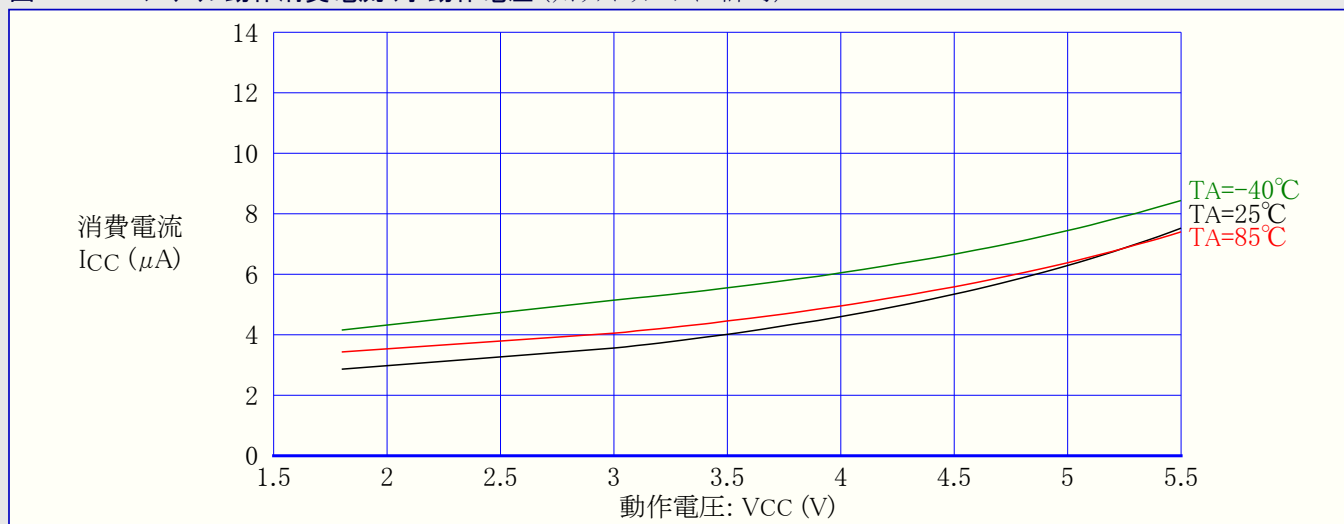


図22-12. パワーダウン動作消費電流 対 動作電圧 (ウォッチドッグ タイマ許可)



## 22.5. ピン プルアップ°

図22-13. I/Oピン プルアップ°抵抗電流 対 入力電圧 (VCC=1.8V)

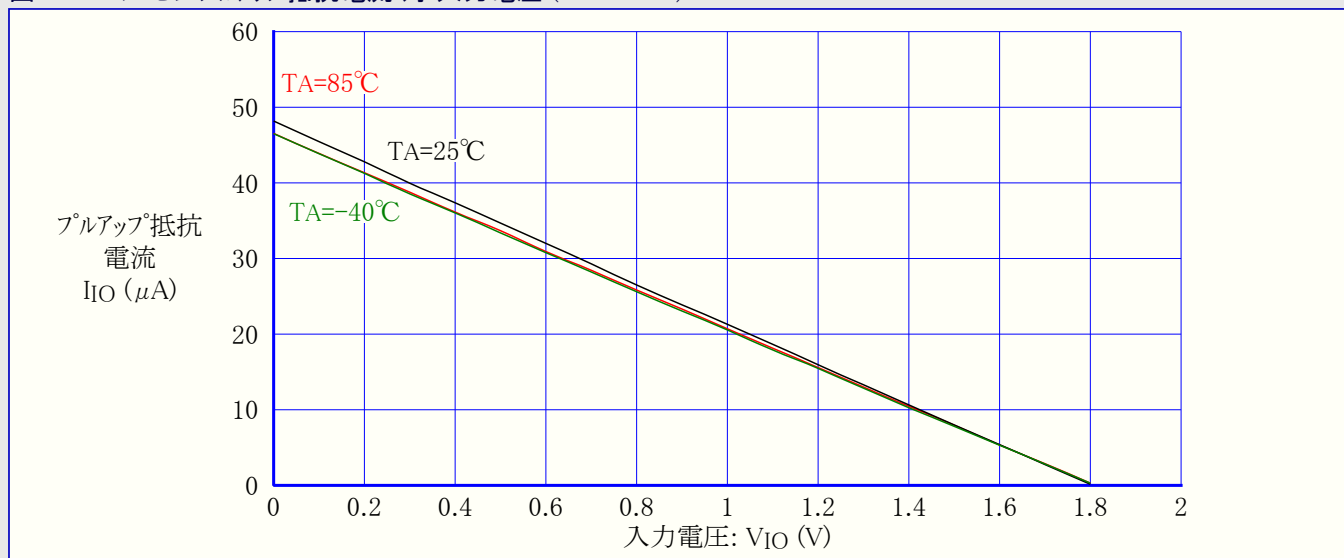




図22-14. I/Oピンプルアップ抵抗電流 対 入力電圧 (VCC=2.7V)

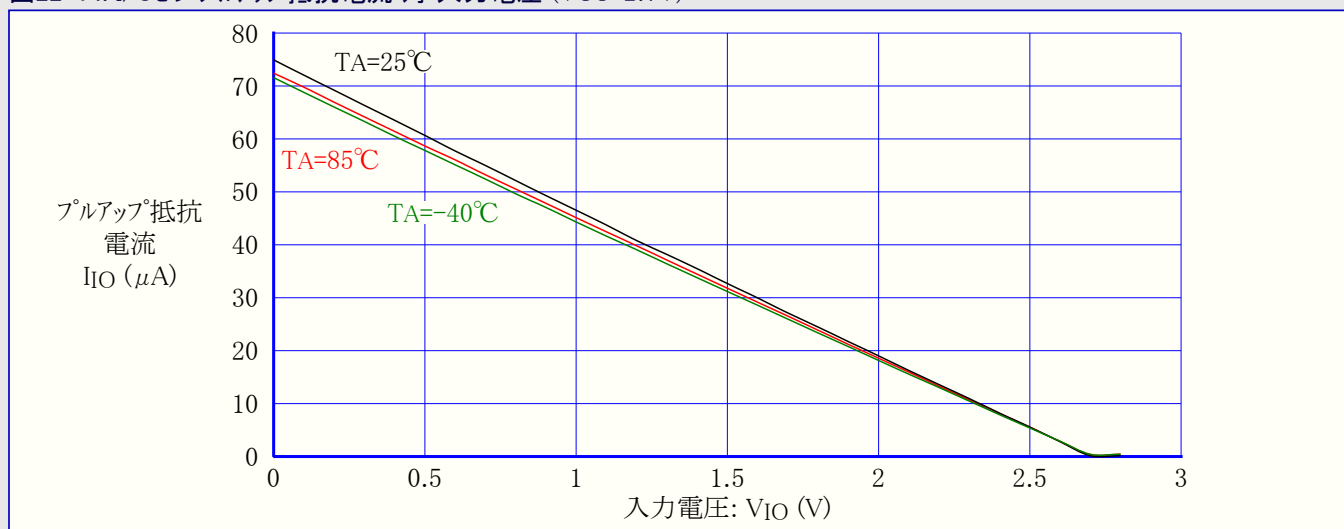


図22-15. I/Oピンプルアップ抵抗電流 対 入力電圧 (VCC=5V)

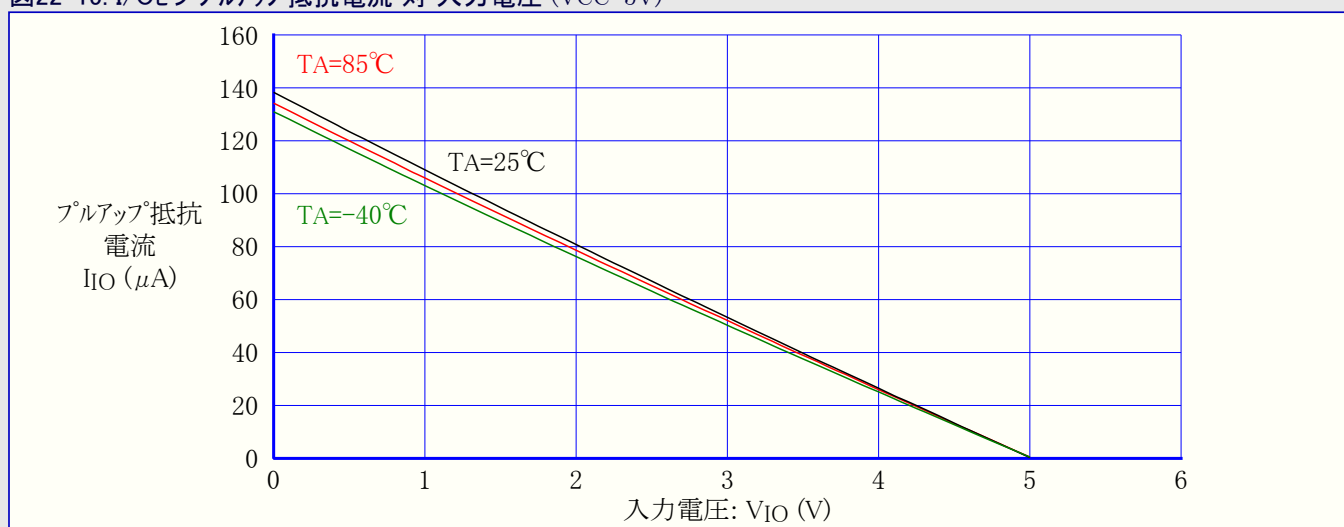


図22-16. RESETプルアップ抵抗電流 対 入力電圧 (VCC=1.8V)

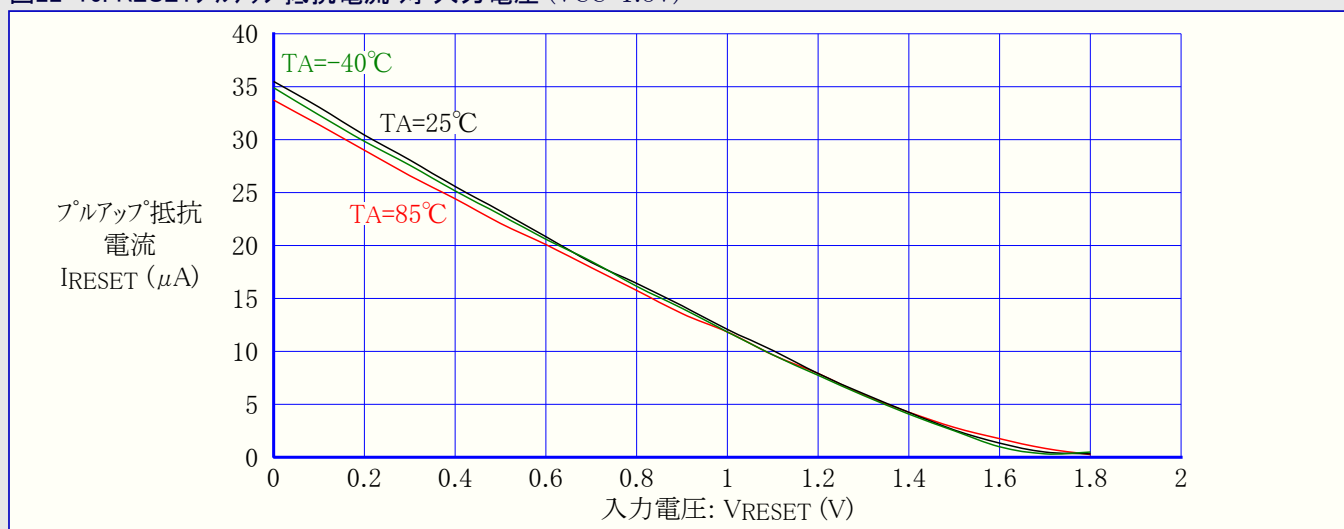


図22-17. RESETプルアップ抵抗電流 対 入力電圧 (VCC=2.7V)

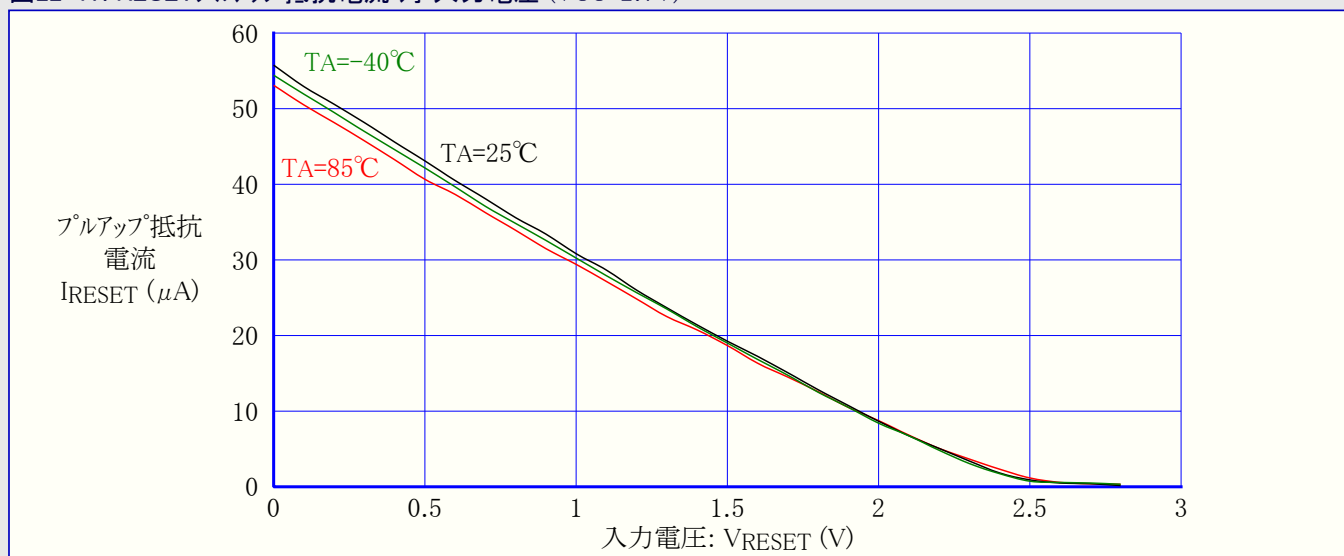
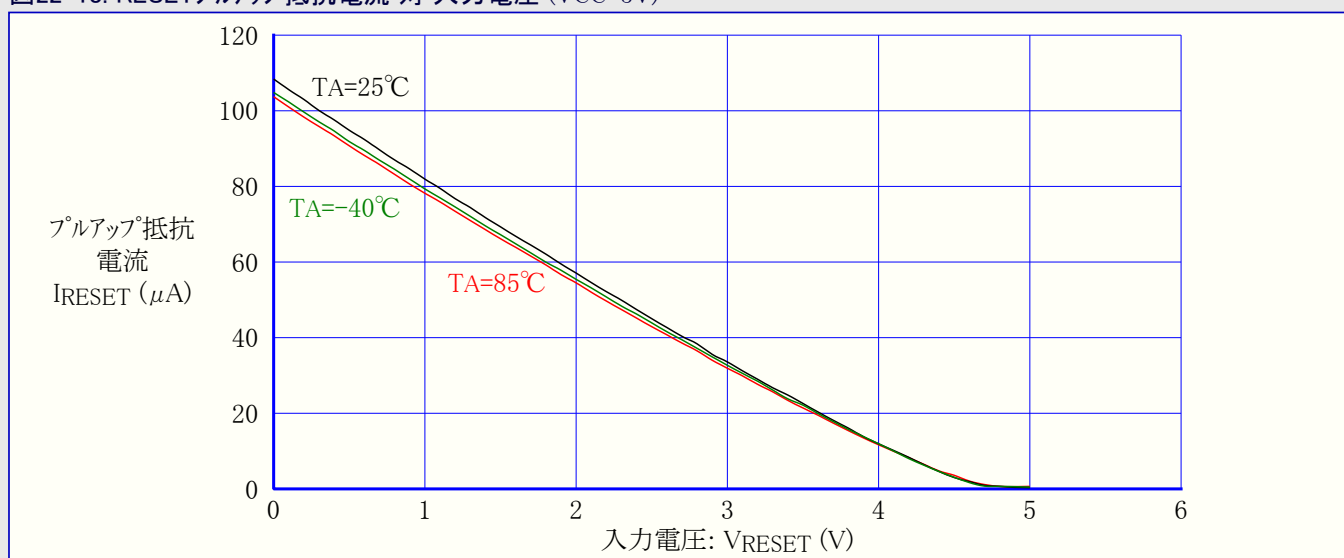


図22-18. RESETプルアップ抵抗電流 対 入力電圧 (VCC=5V)



## 22.6. ピン駆動能力

図22-19. I/Oピン出力電圧 対 シンク電流 (VCC=3V)

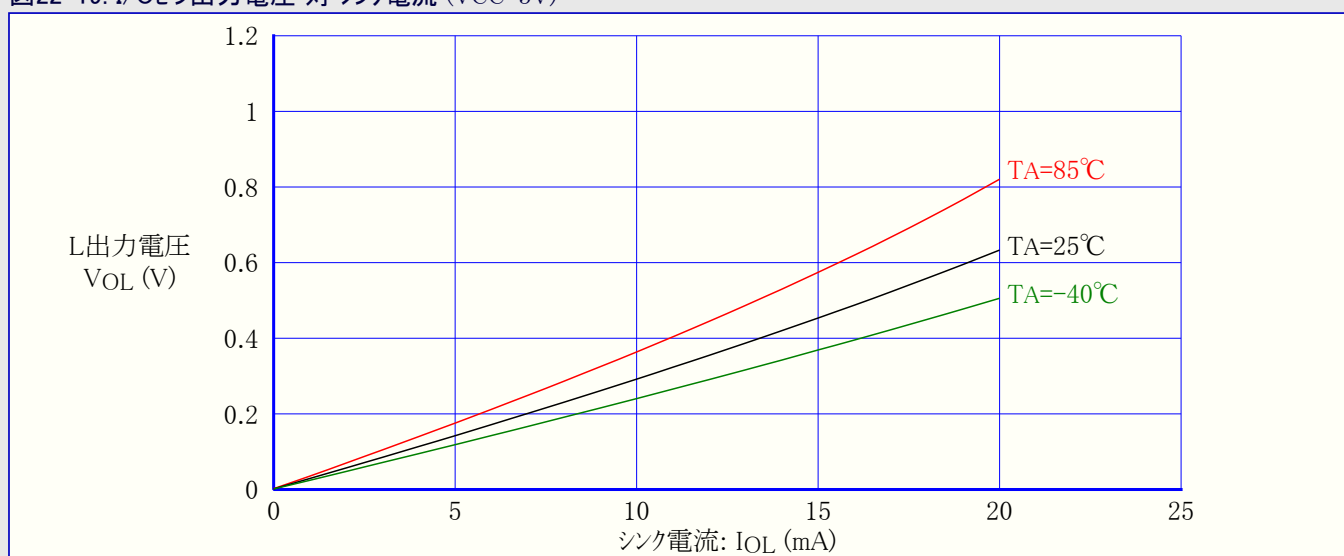


図22-20. I/Oピン出力電圧 対 シンク電流 (VCC=5V)

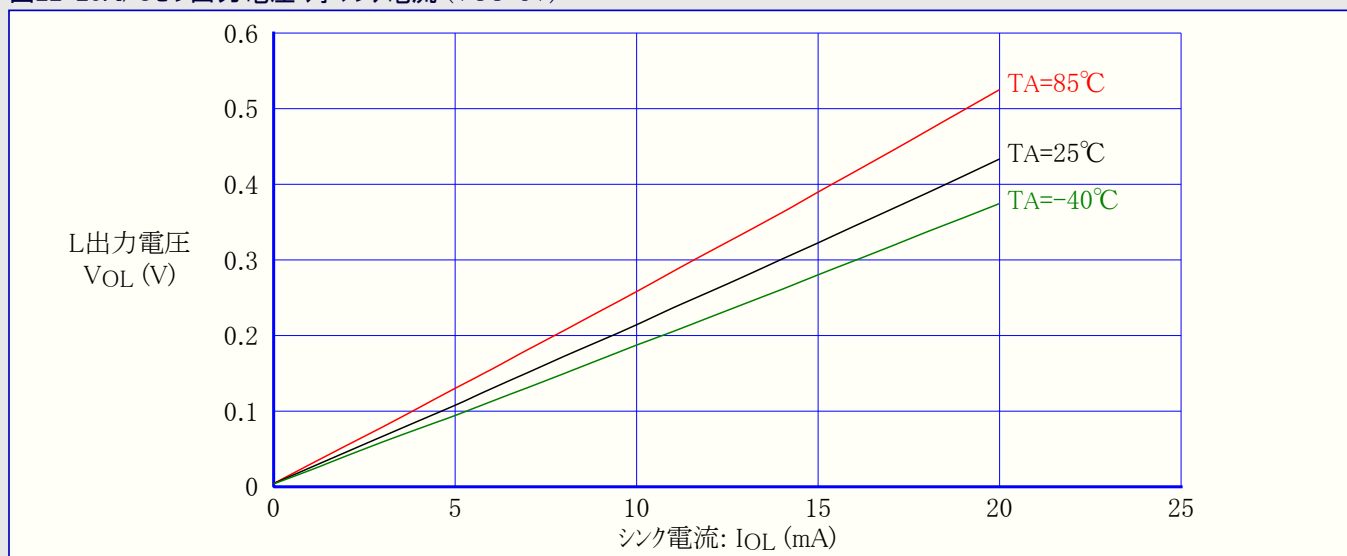


図22-21. I/Oピン出力電圧 対 ソース電流 (VCC=3V)

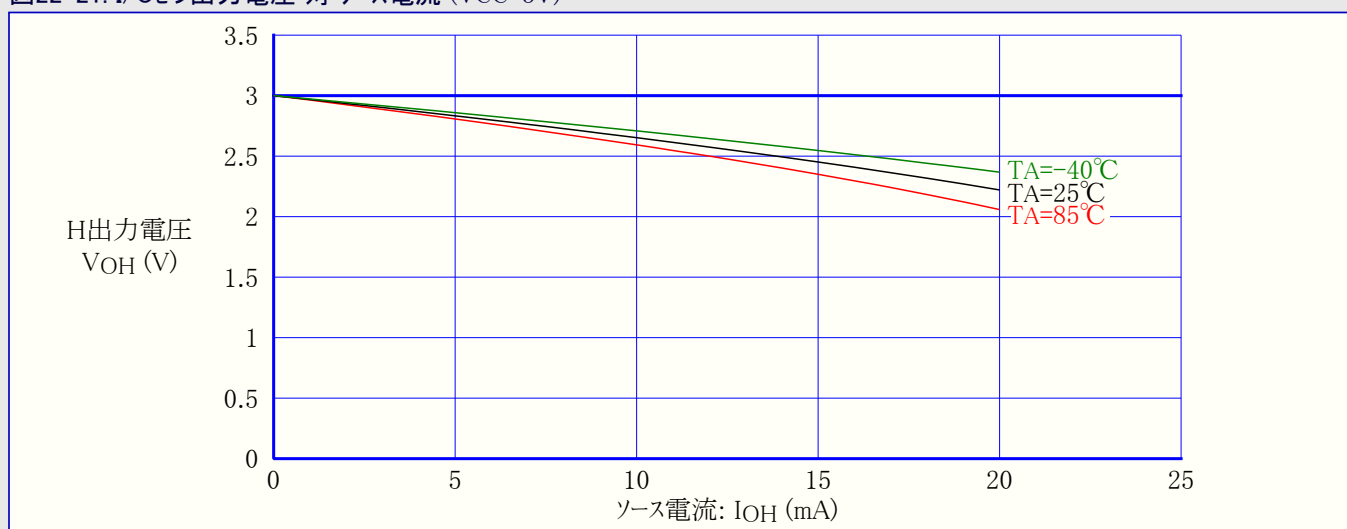


図22-22. I/Oピン出力電圧 対 ソース電流 (VCC=5V)

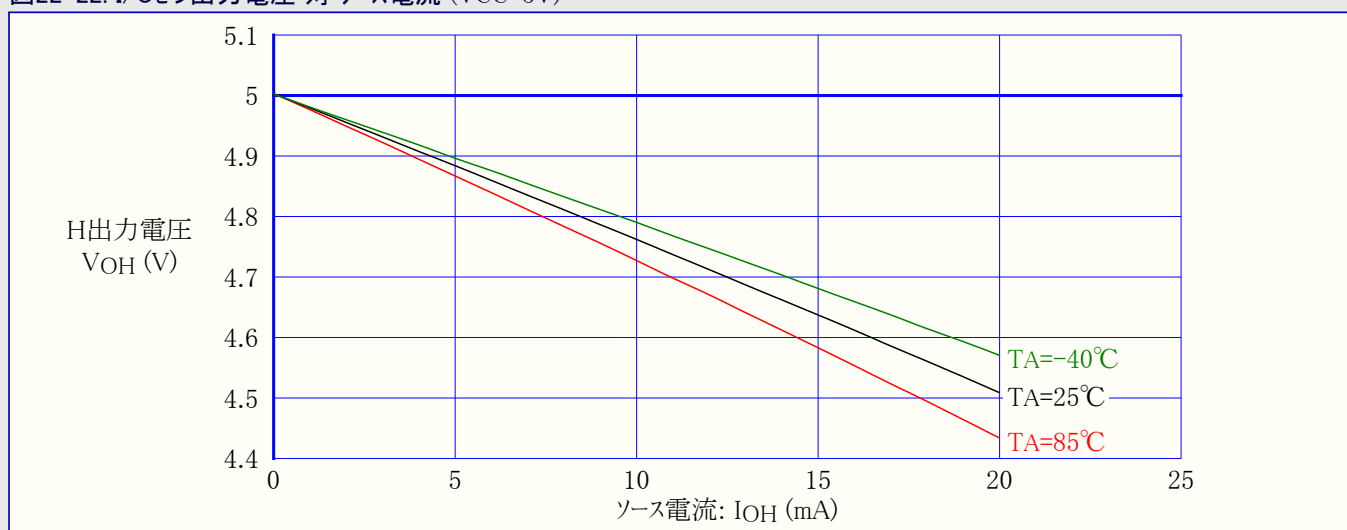


図22-23. RESETピン出力電圧 対 シンク電流 (VCC=3V)

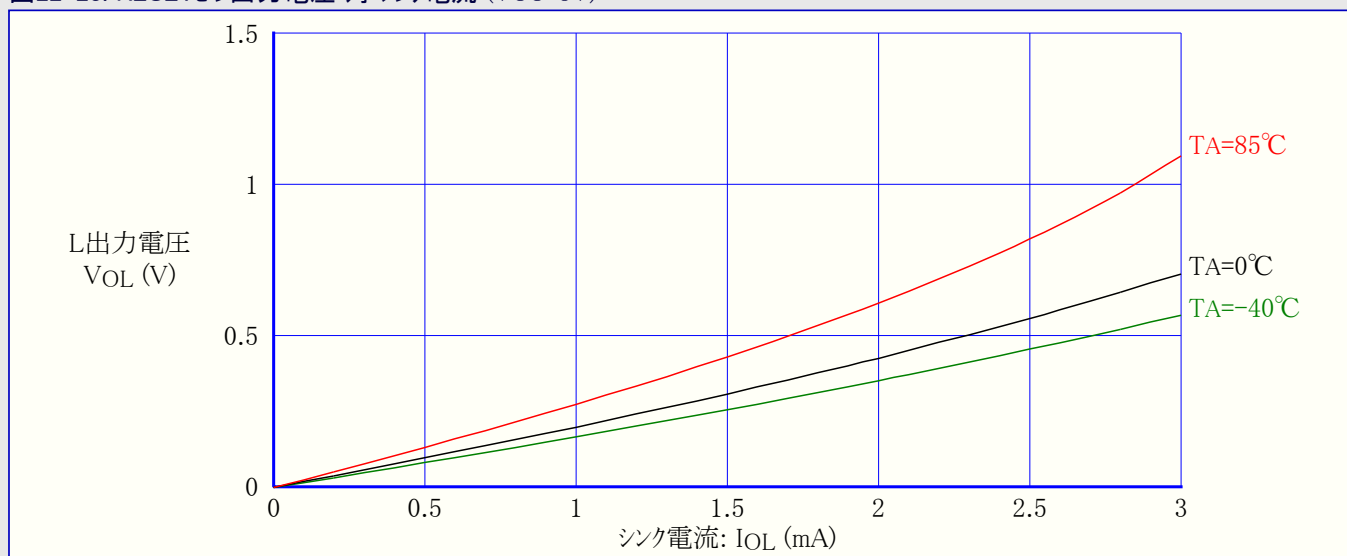


図22-24. RESETピン出力電圧 対 シンク電流 (VCC=5V)

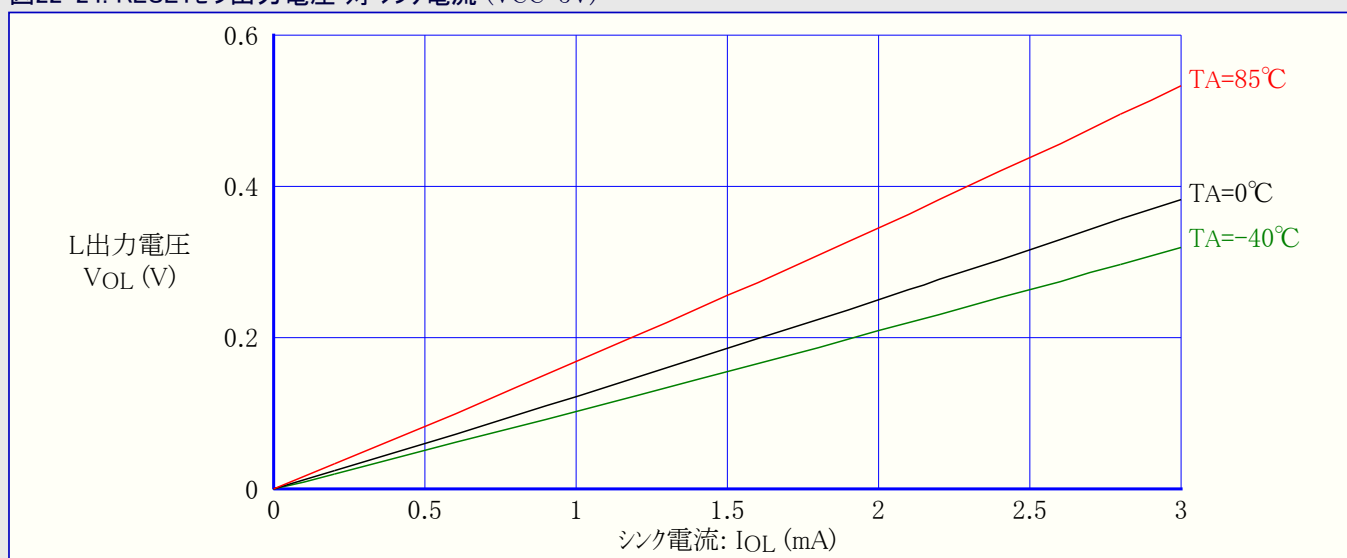


図22-25. RESETピン出力電圧 対 ソース電流 (VCC=3V)

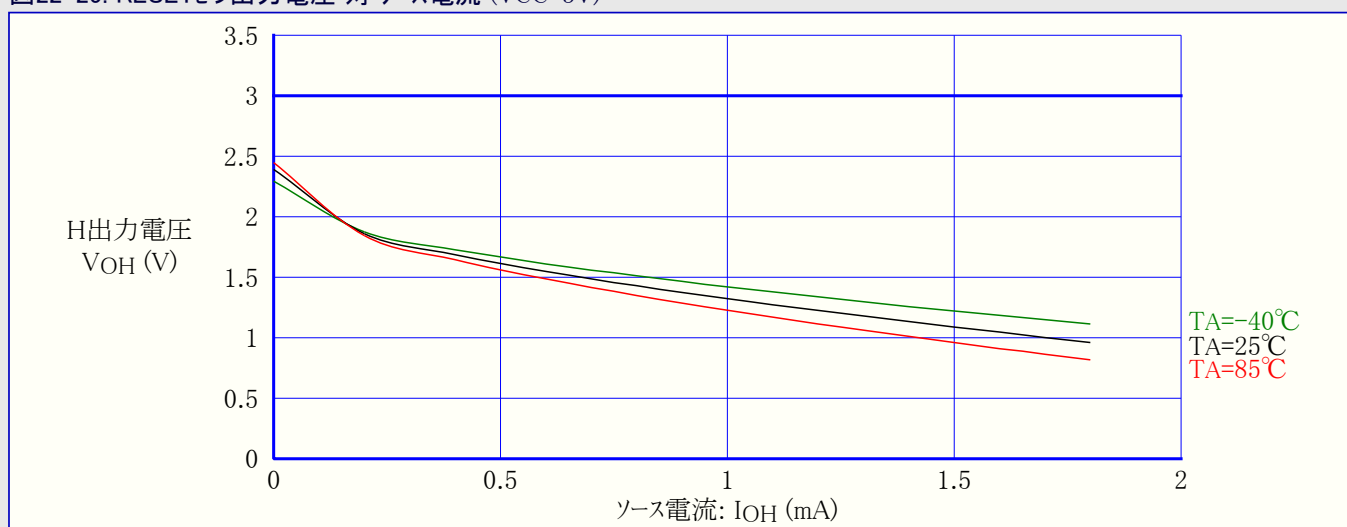
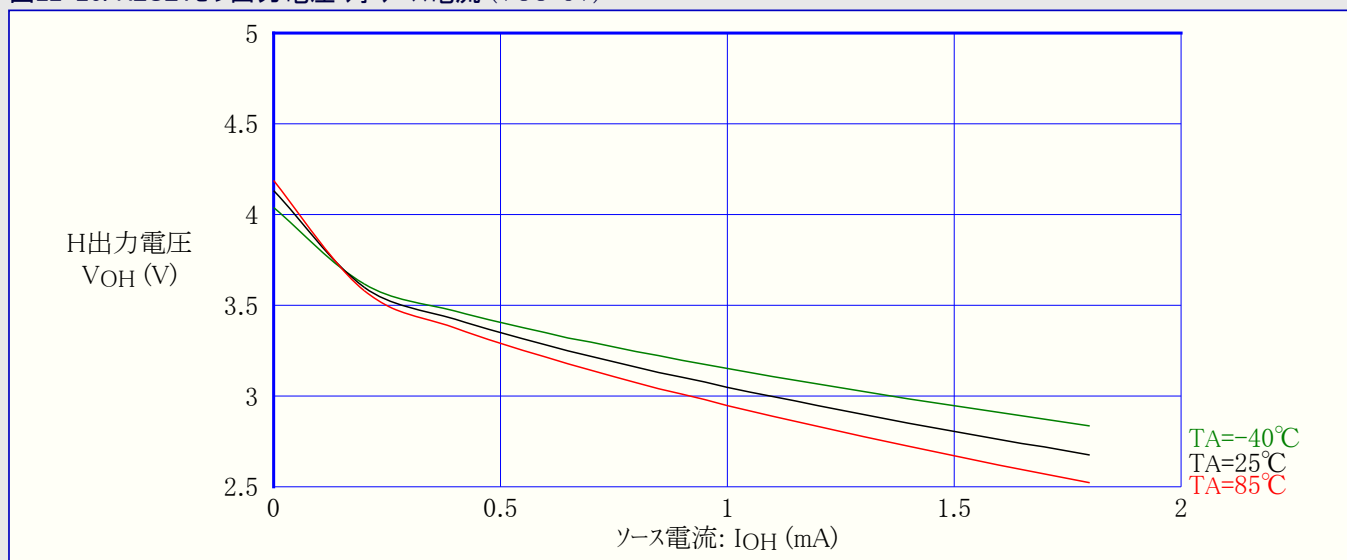


図22-26. RESETピン出力電圧 対 ソース電流 (VCC=5V)



## 22.7. ピン 閾値とヒステリシス

図22-27. I/Oピン入力閾値(スレッショルド)電圧 対 動作電圧 ( $V_{IH}$ , 1読み値)

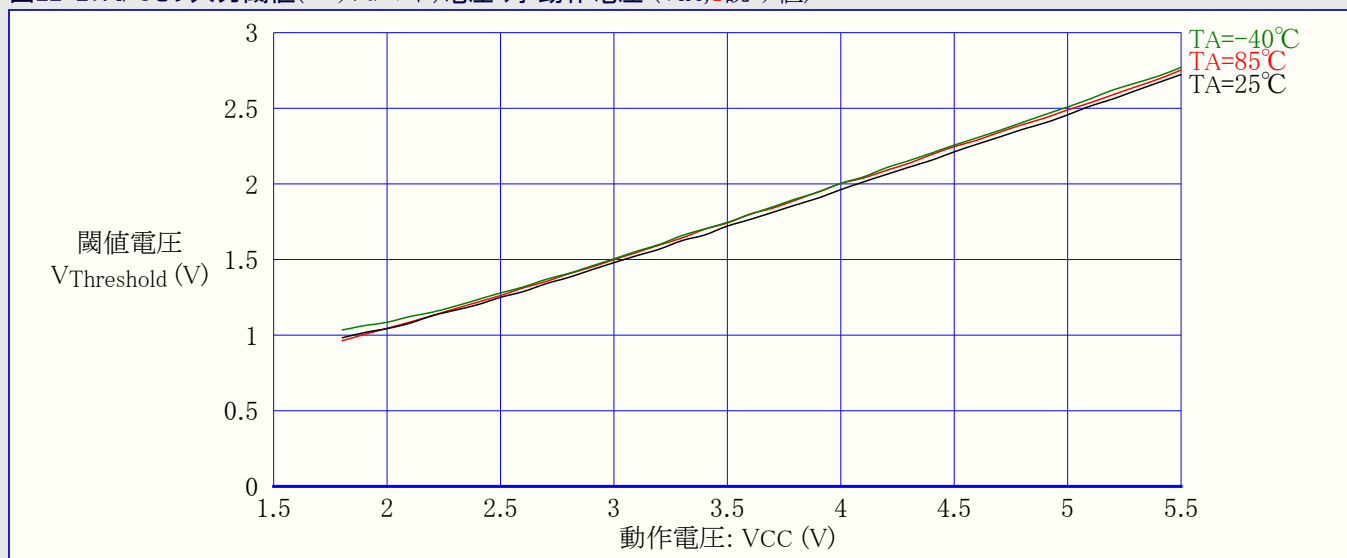


図22-28. I/Oピン入力閾値(スレッショルド)電圧 対 動作電圧 ( $V_{IL}$ , 0読み値)

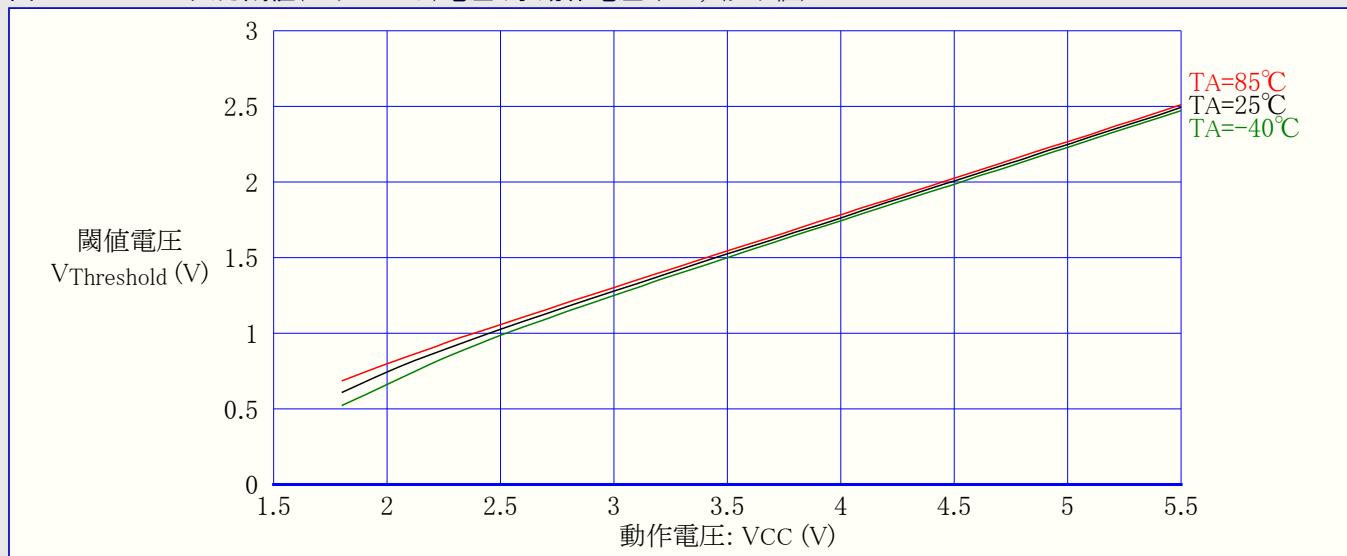




図22-29. I/Oピン入力ヒステリシス電圧 対 動作電圧

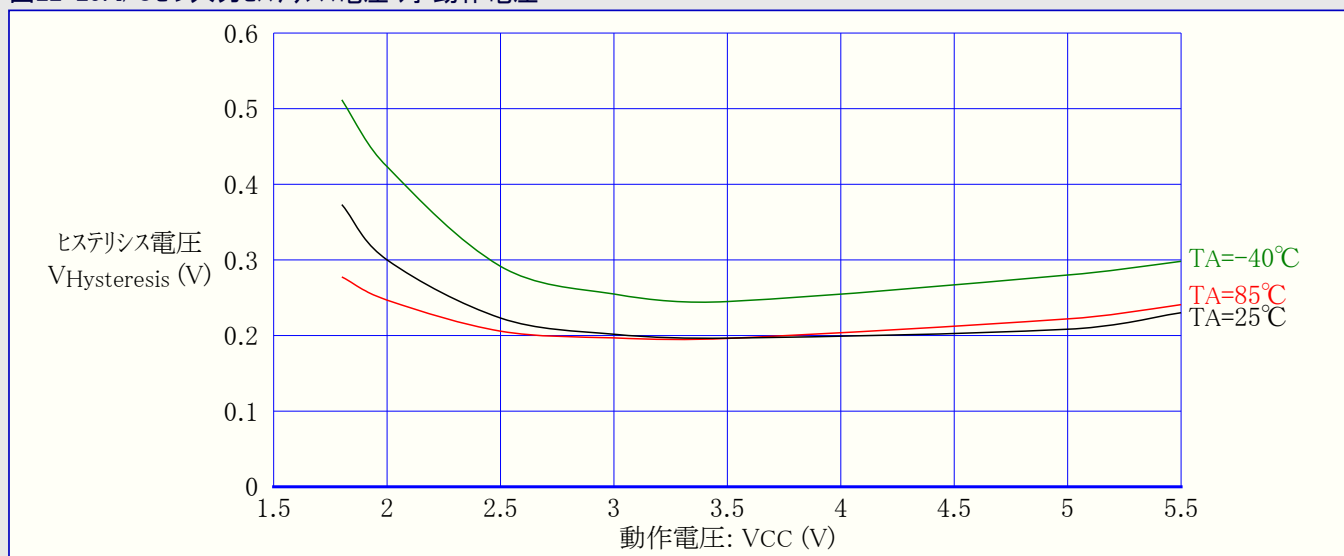


図22-30. RESET入力閾値(スレッショルド)電圧 対 動作電圧 ( $V_{IH}$ , 1読み値)

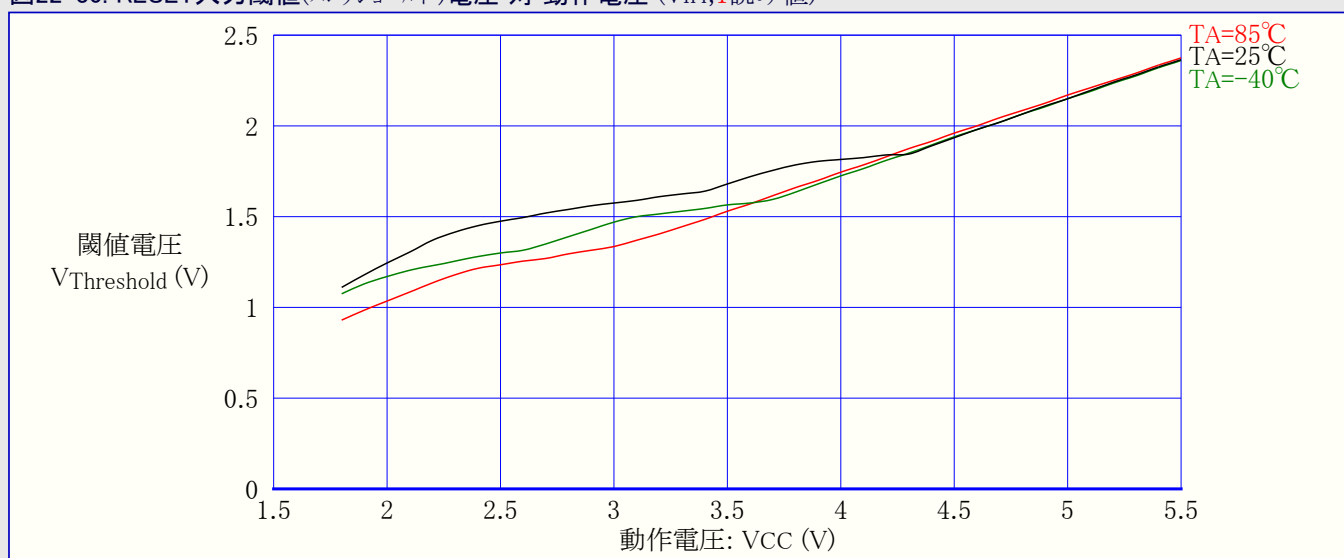


図22-31. RESET入力閾値(スレッショルド)電圧 対 動作電圧 ( $V_{IL}$ , 0読み値)

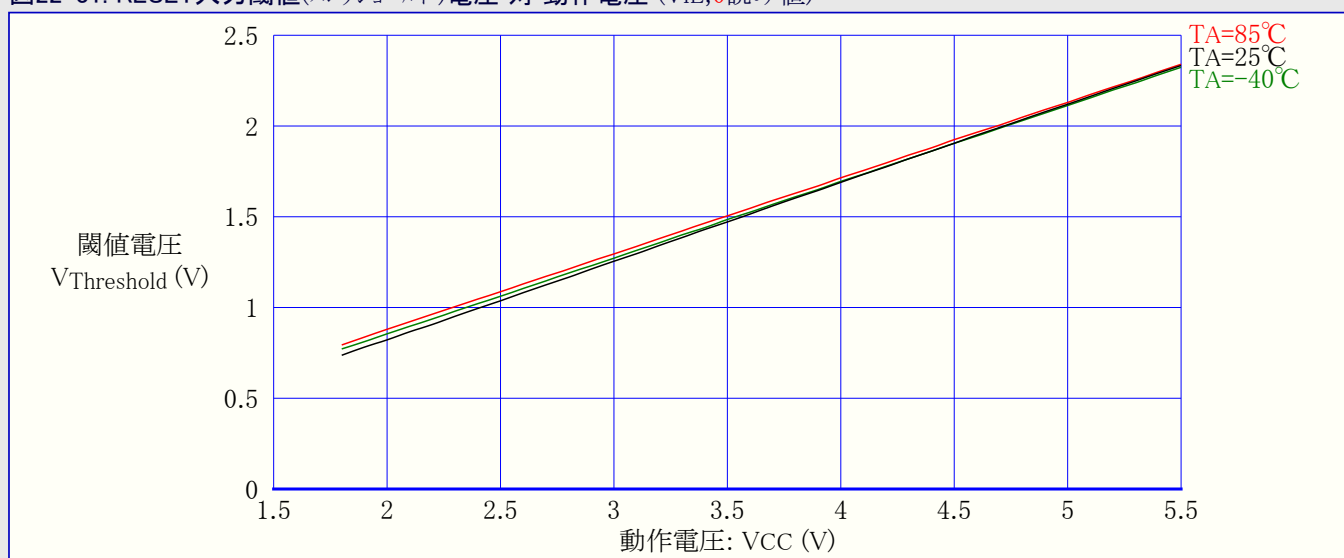
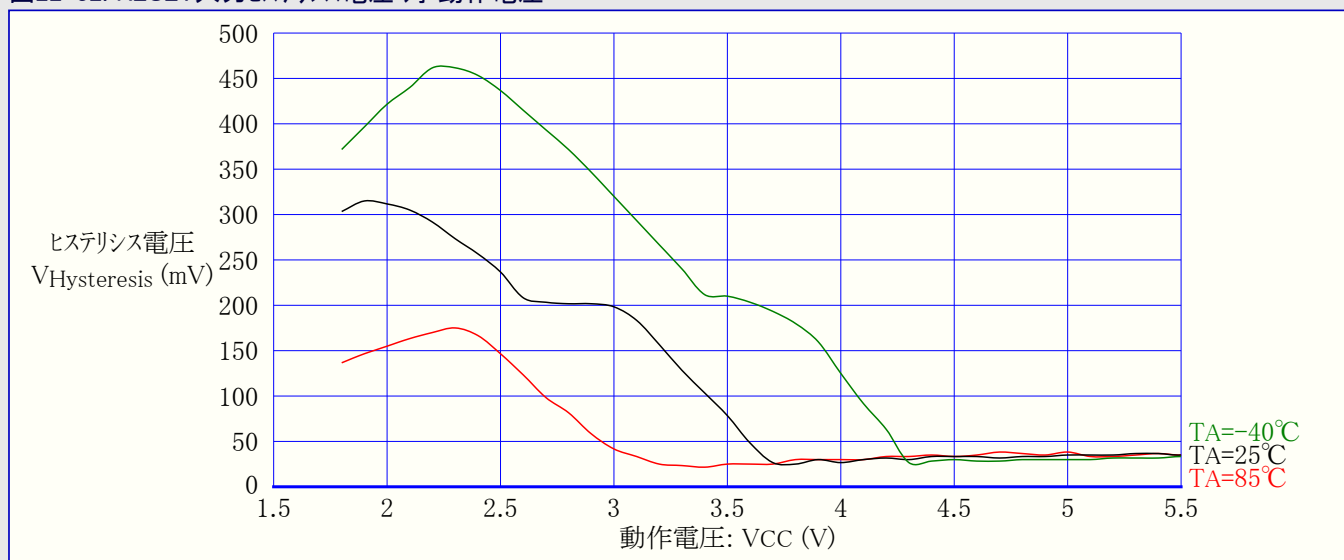


図22-32. RESET入力ヒステリシス電圧 対 動作電圧



## 22.8. 低電圧検出器(BOD)閾値

図22-33. 低電圧検出器(BOD)閾値(スレッシュホールド)電圧 対 動作温度 (検出電圧4.3V)

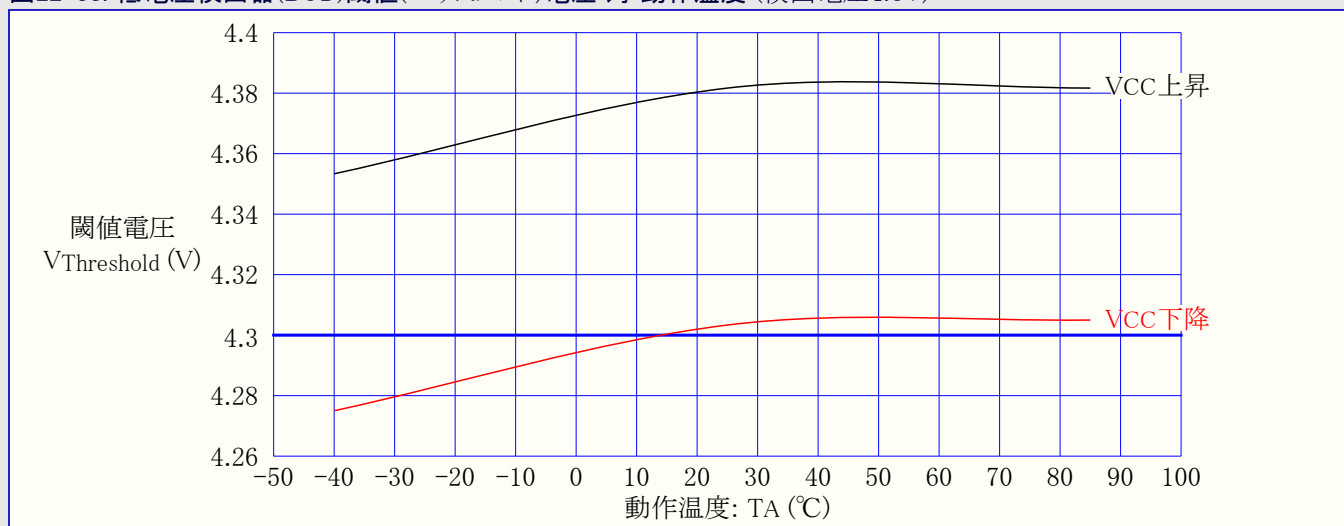


図22-34. 低電圧検出器(BOD)閾値(スレッシュホールド)電圧 対 動作温度 (検出電圧2.7V)

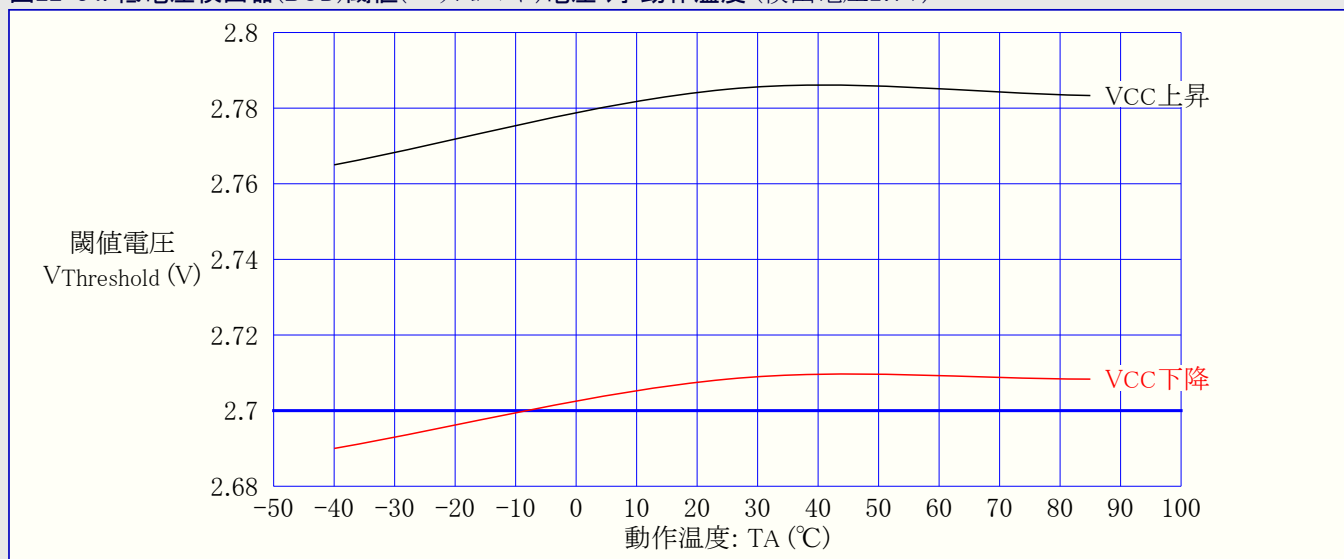


図22-35. 低電圧検出器(BOD)閾値(スレッショルド)電圧 対 動作温度 (検出電圧1.8V)

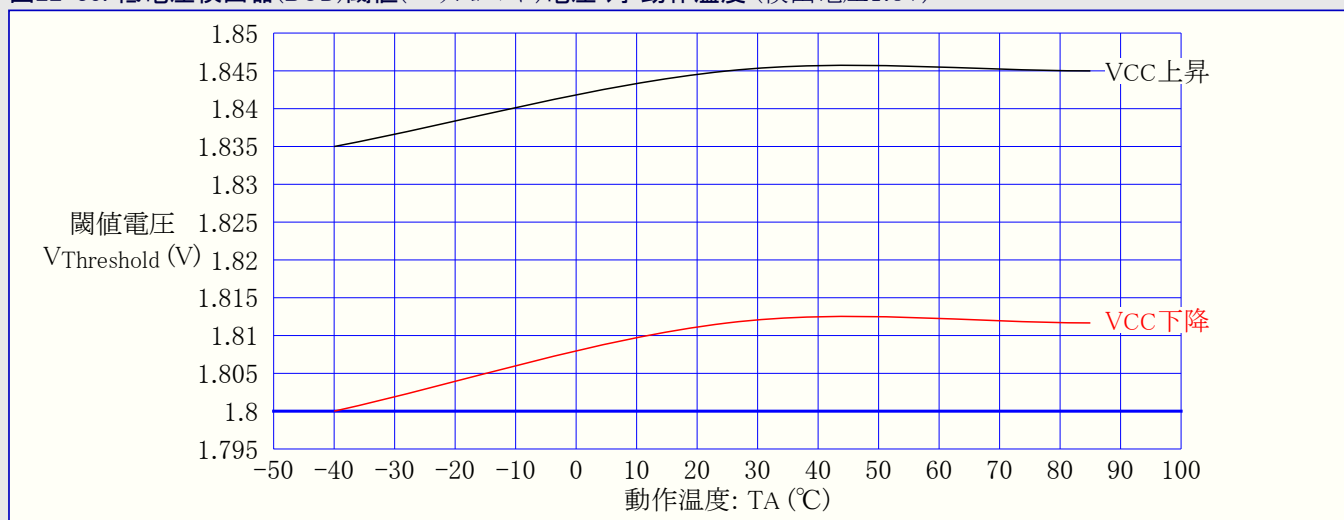


図22-36. 内部バンドギャップ電圧 対 動作電圧

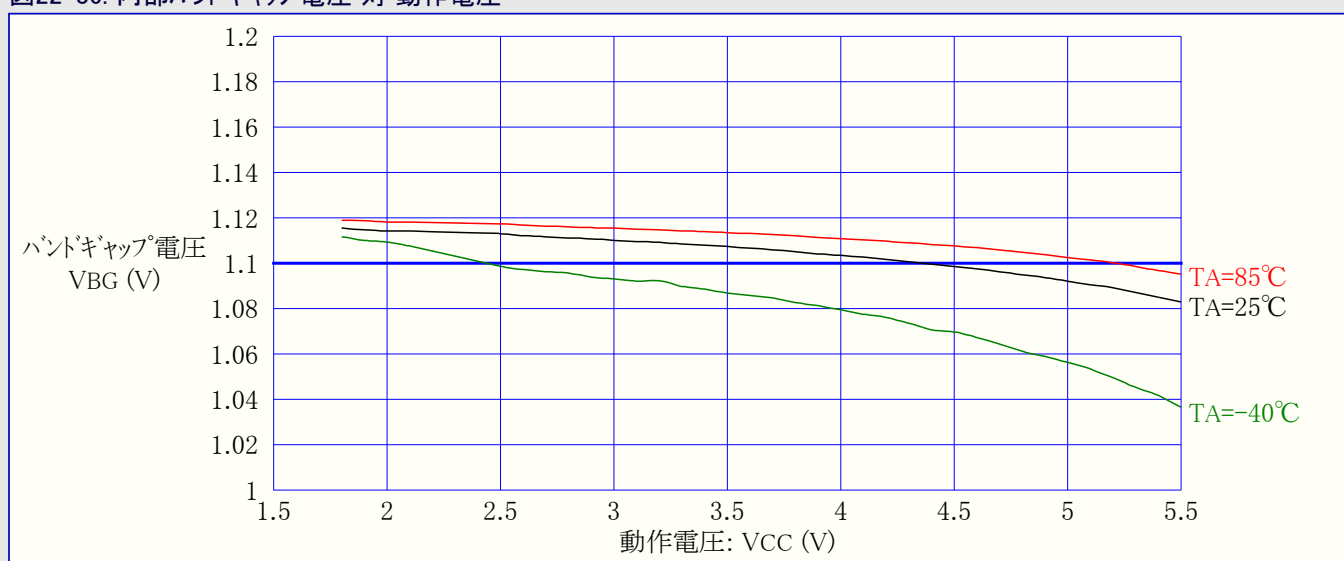
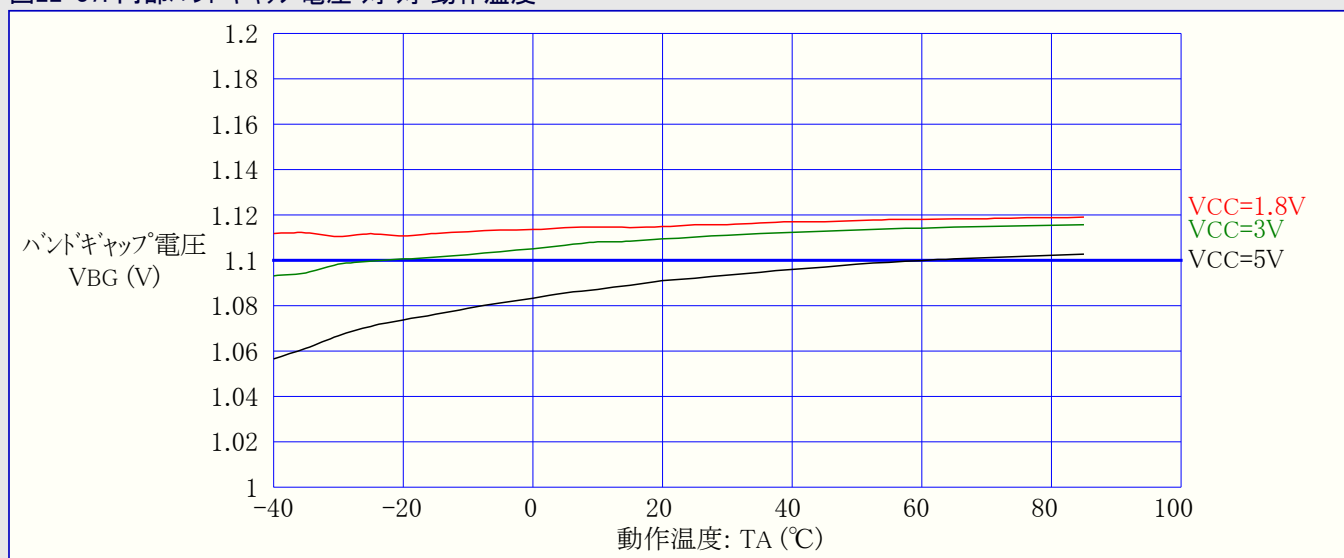


図22-37. 内部バンドギャップ電圧 対 動作温度



## 22.9. 内部発振器周波数

図22-38. ウォッチドッグ発振器周波数 対 動作電圧

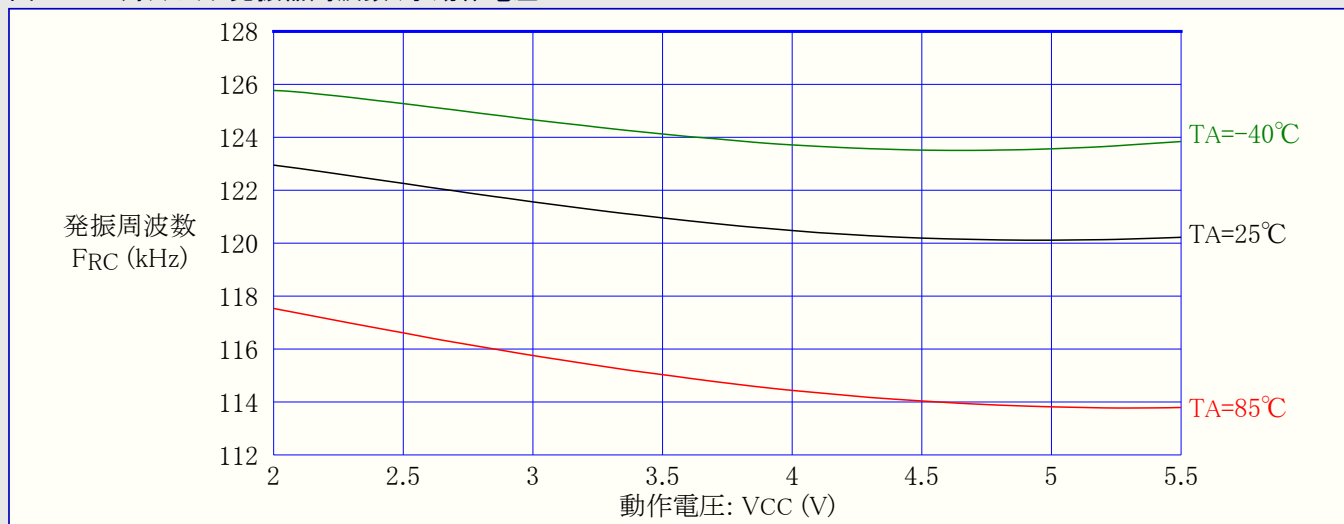


図22-39. ウォッチドッグ発振器周波数 対 動作温度

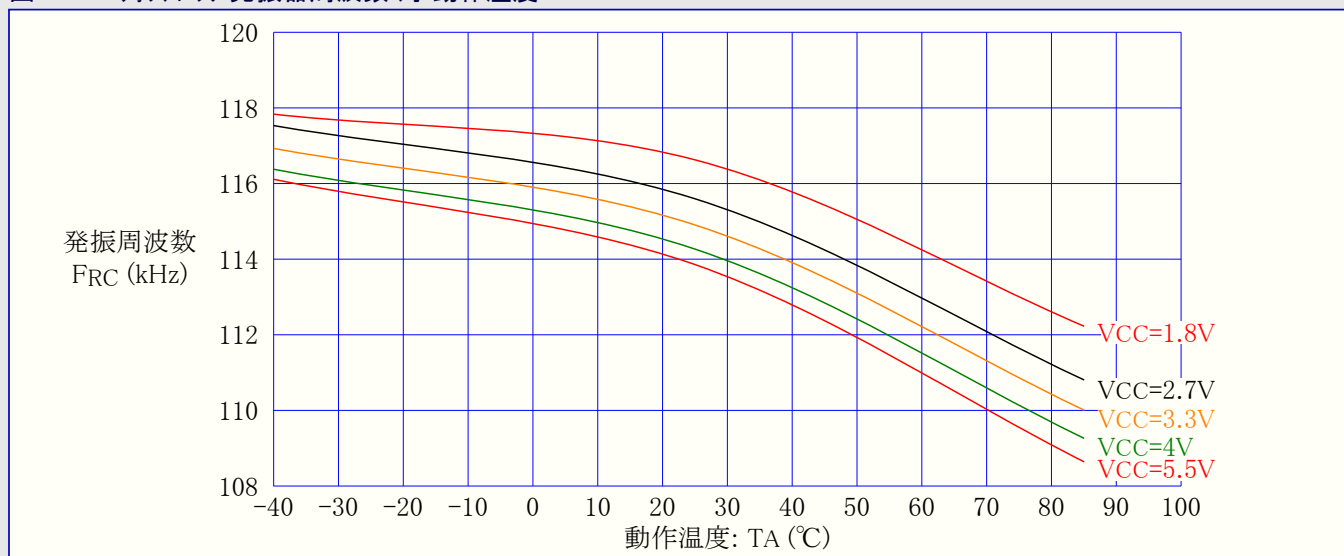


図22-40. 校正済み8MHz内蔵RC発振器周波数 対 動作電圧

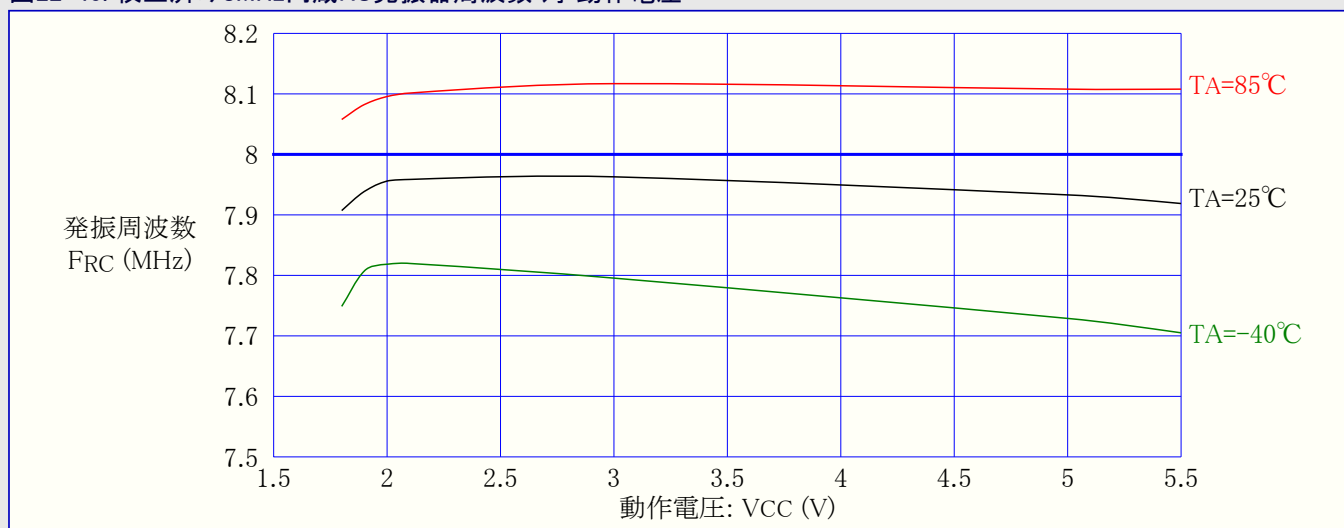


図22-41. 校正済み8MHz内蔵RC発振器周波数 対 動作温度

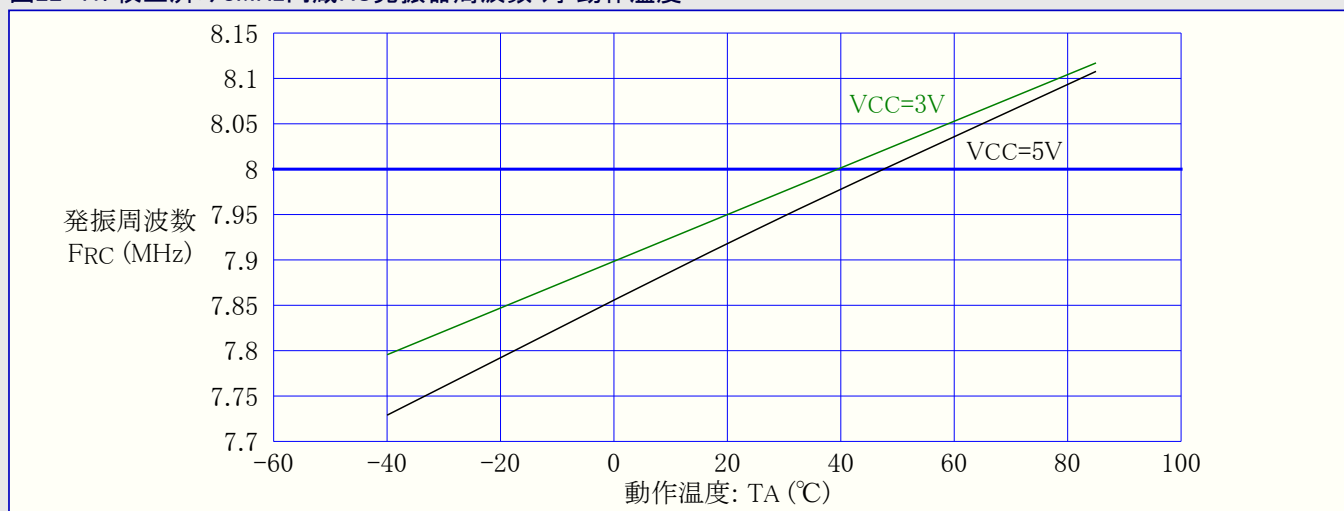


図22-42. 校正付き8MHz内蔵RC発振器周波数 対 発振校正(OSCCAL)値

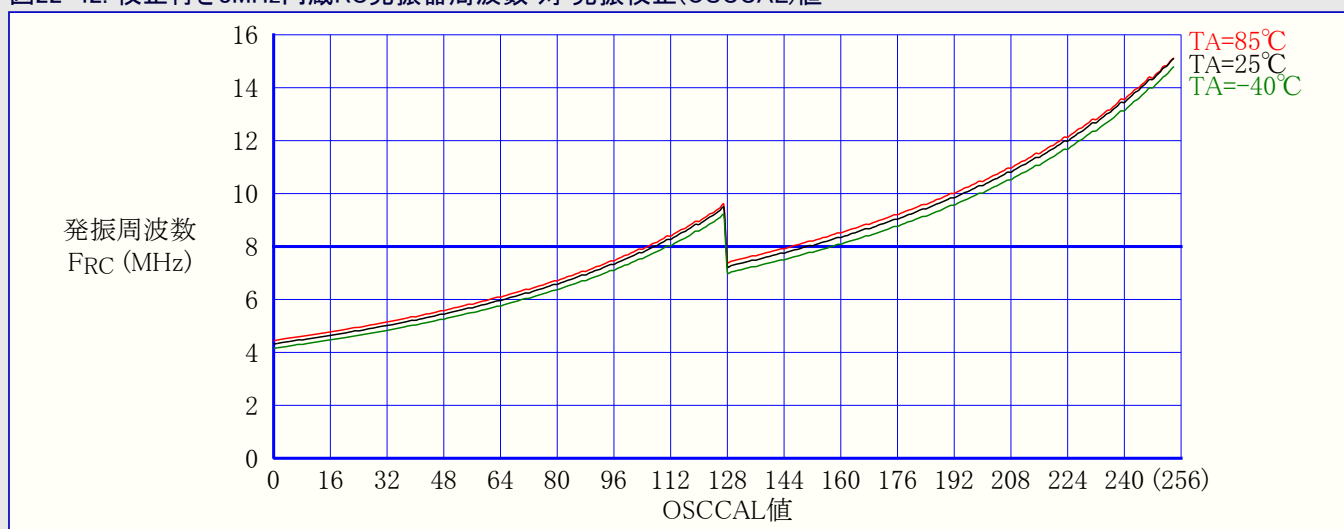


図22-43. 校正済み1.6MHz内蔵RC発振器周波数 対 動作電圧

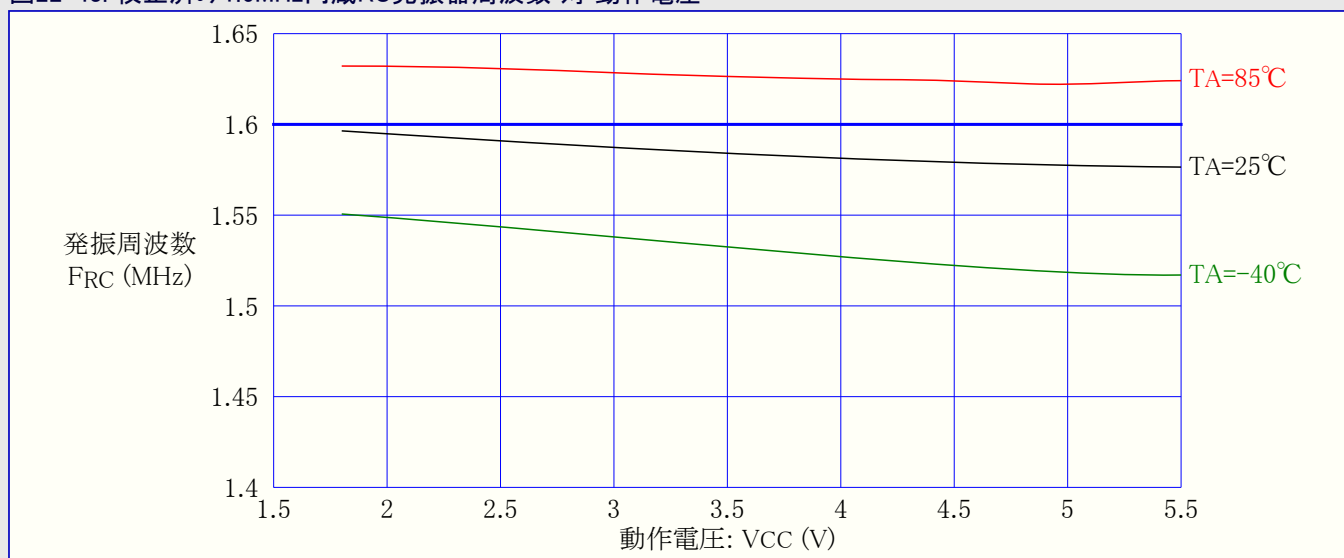




図22-44. 校正済み1.6MHz内蔵RC発振器周波数 対 動作温度

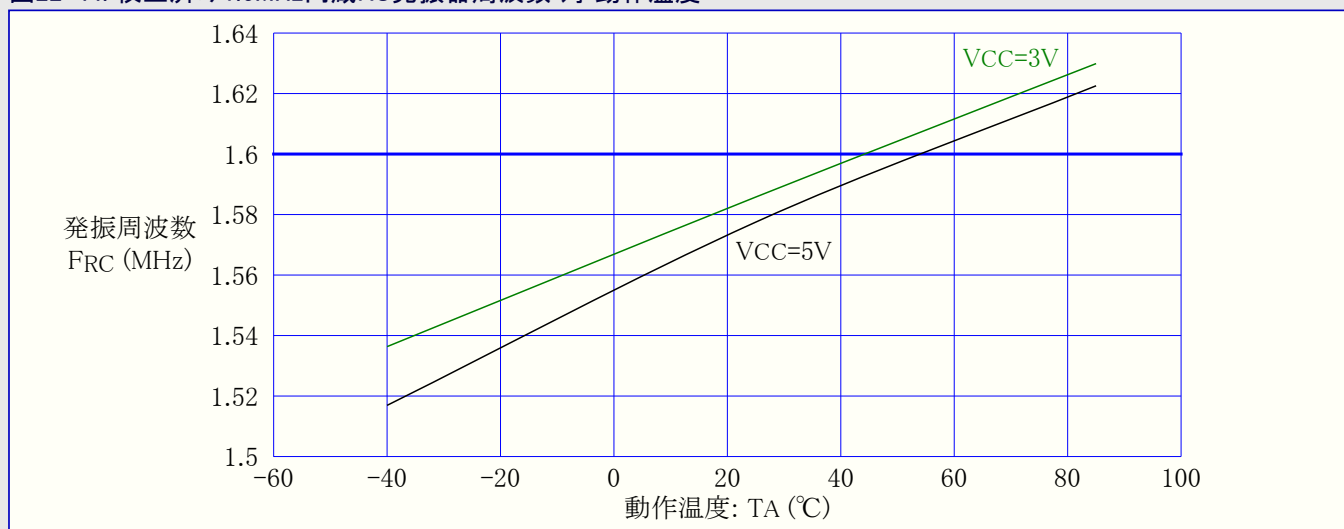
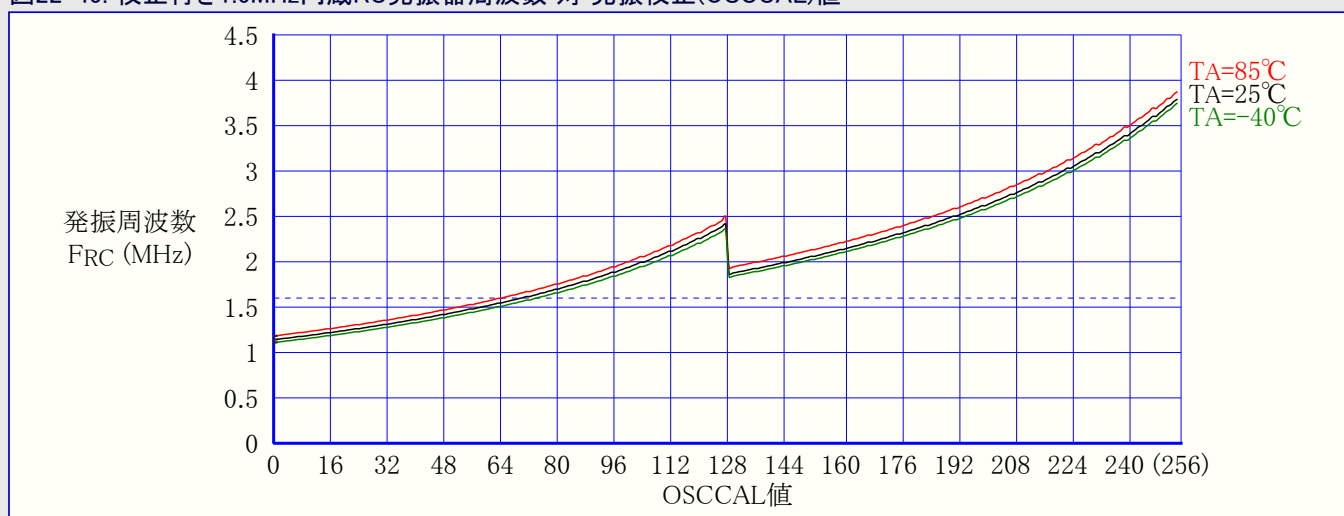


図22-45. 校正付き1.6MHz内蔵RC発振器周波数 対 発振校正(OSCCAL)値



## 22.10. 周辺機能部消費電流

図22-46. 低電圧検出器(BOD)消費電流 対 動作電圧

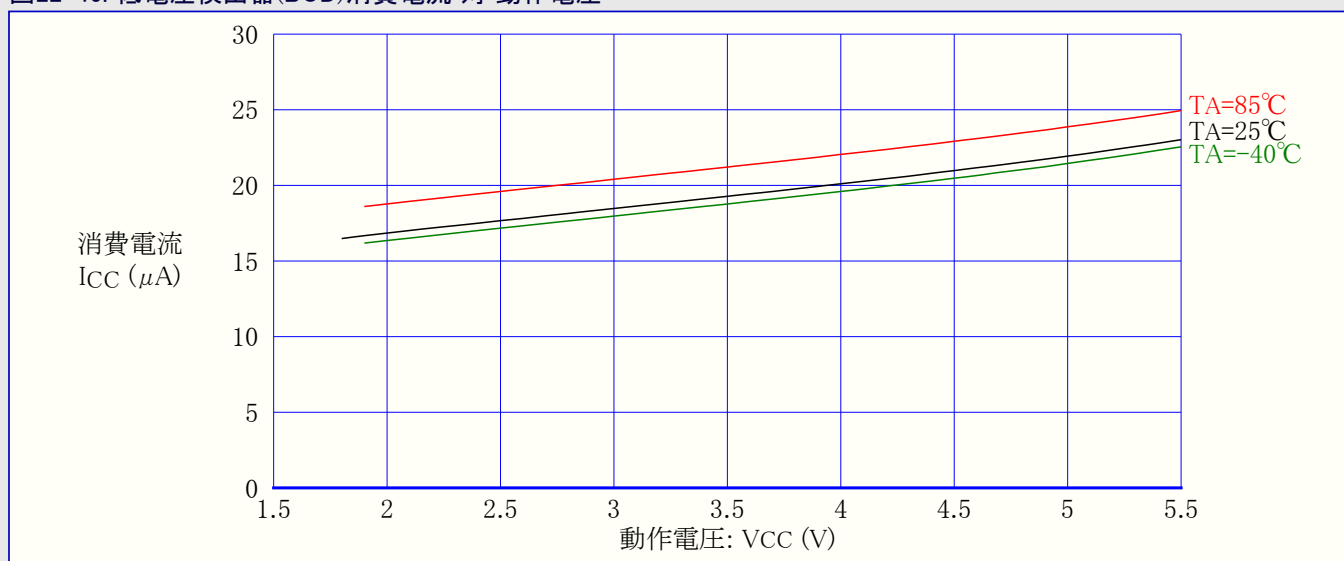


図22-47. A/D変換器消費電流 対 動作電圧 (AREF=AVCC)

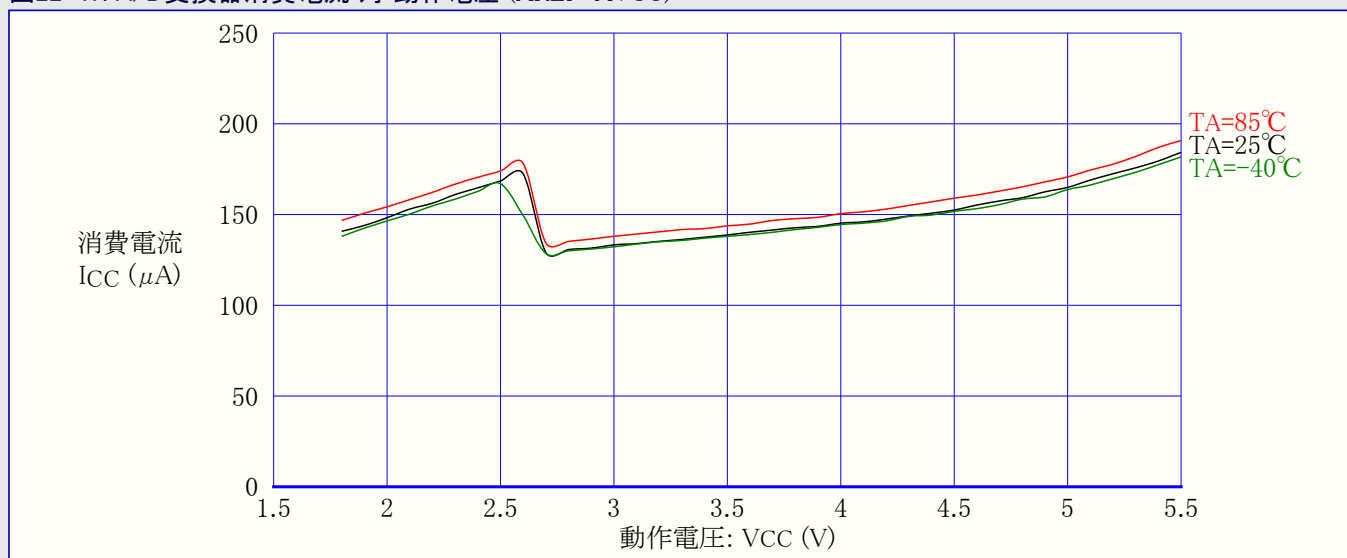


図22-48. アナログ比較器消費電流 対 動作電圧

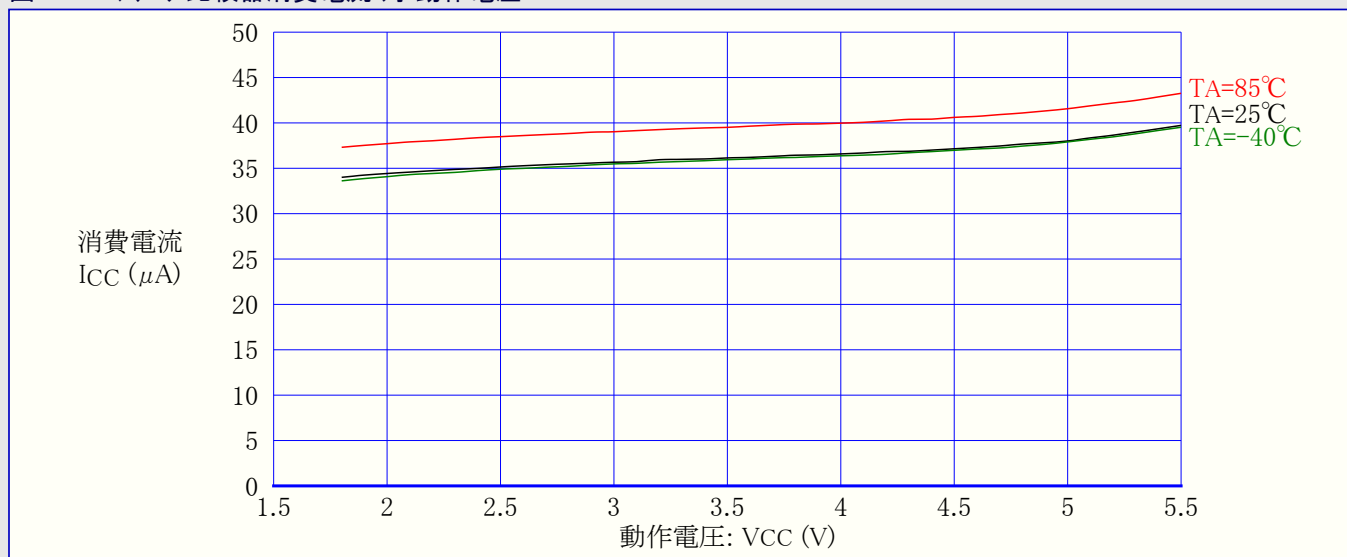
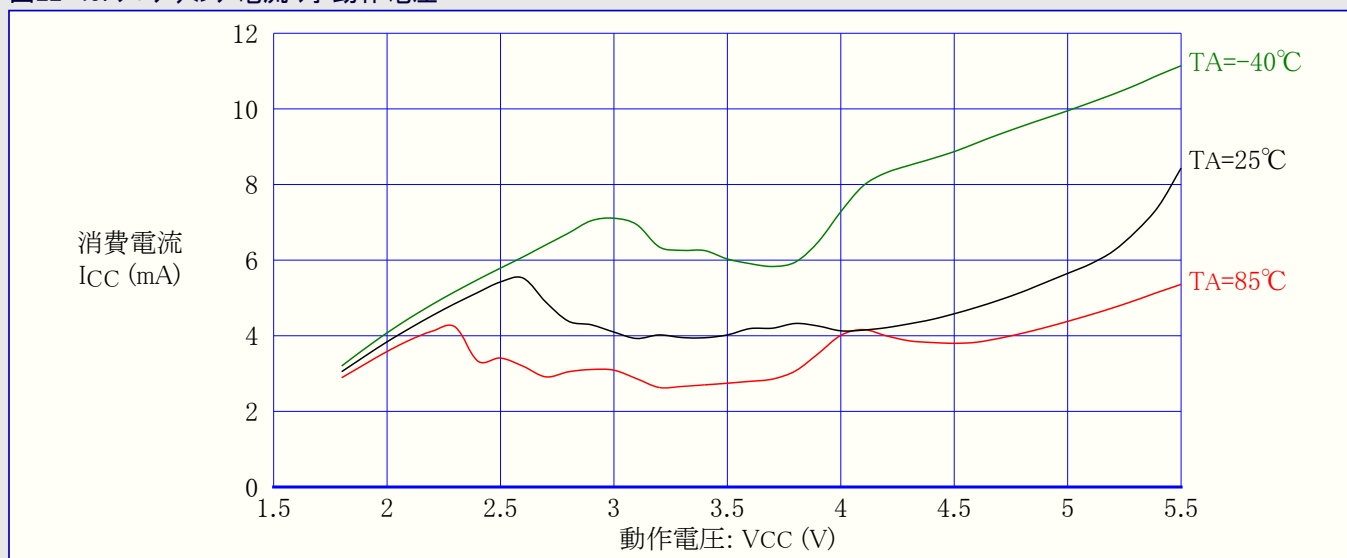


図22-49. プログラミング電流 対 動作電圧



## 22.11. リセット消費電流とリセット パルス幅

図22-50. リセット消費(供給)電流 対 周波数 (100kHz～1MHz、RESETフルアップ電流を除く)

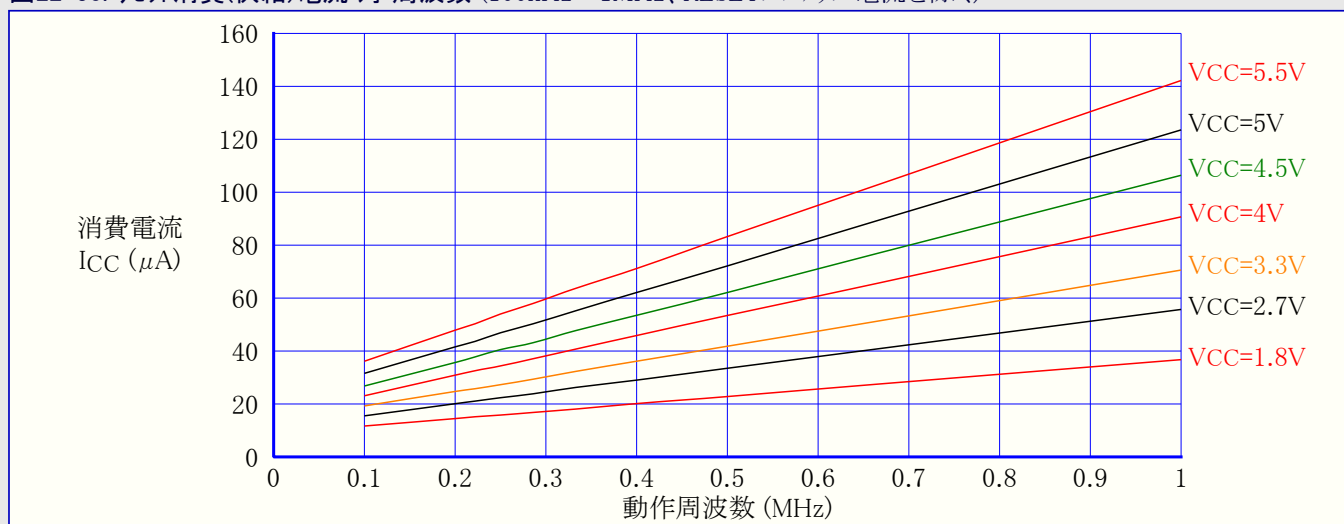


図22-51. リセット消費(供給)電流 対 周波数 (1MHz～20MHz、RESETフルアップ電流を除く)

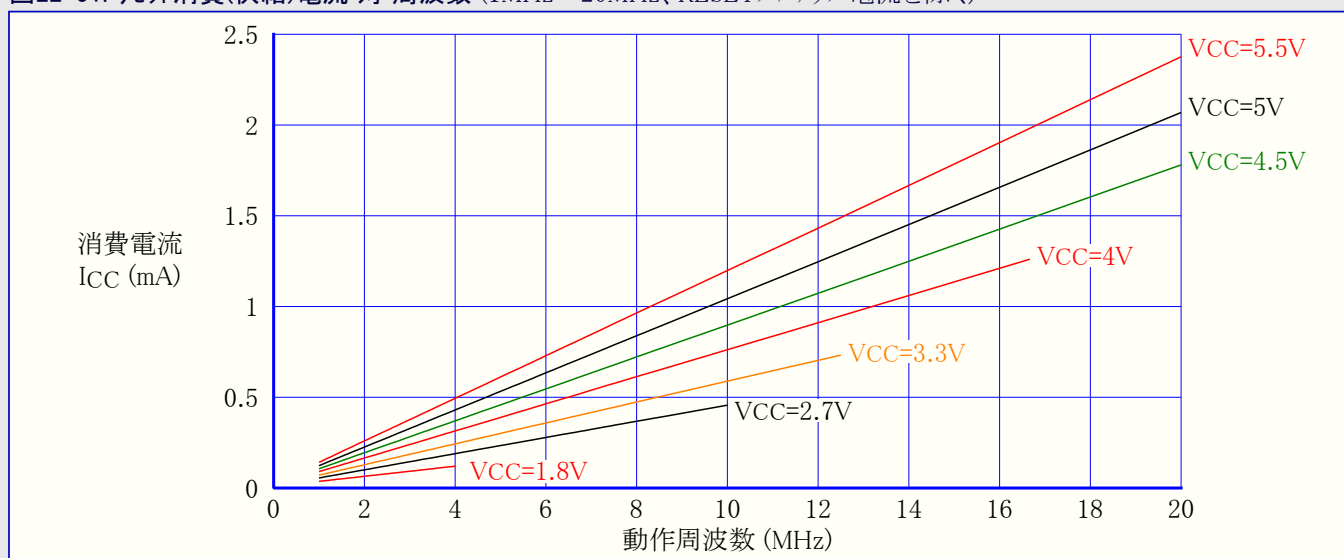
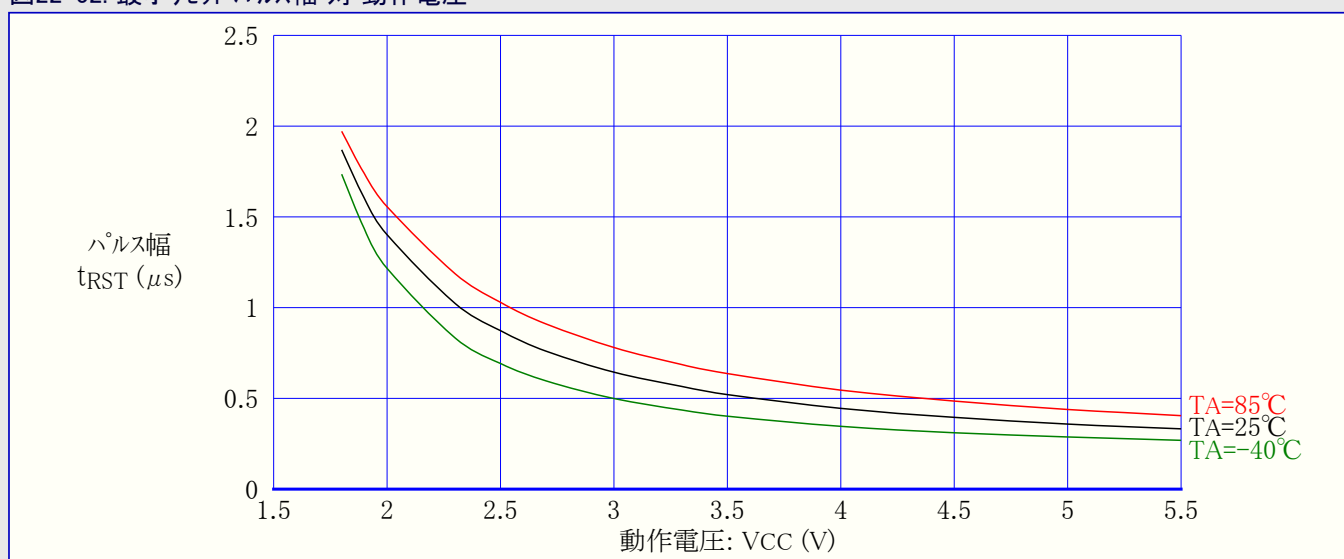


図22-52. 最小リセット パルス幅 対 動作電圧



## 23. レジスタ要約

アドレス	レジスタ略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	頁
\$3F (\$5F)	SREG	I	T	H	S	V	N	Z	C	6
\$3E (\$5E)	SPH	—	—	—	—	—	—	(SP9)	(SP8)	7
\$3D (\$5D)	SPL	SP7	SP6	SP5	SP4	SP3	SP2	SP1	SP0	
\$3C (\$5C)	予約									
\$3B (\$5B)	GIMSK	—	INT0	PCIE	—	—	—	—	—	34
\$3A (\$5A)	GIFR	—	INTF0	PCIF	—	—	—	—	—	34
\$39 (\$59)	TIMSK	—	OCIE1A	OCIE1B	OCIE0A	OCIE0B	TOIE1	TOIE0	—	68,62,54
\$38 (\$58)	TIFR	—	OCF1A	OCF1B	OCF0A	OCF0B	TOV1	TOV0	—	68,62,54
\$37 (\$57)	SPMCSR	—	—	RSIG	CTPB	RFLB	PGWRT	PGERS	SPMEN	96
\$36 (\$56)	予約									
\$35 (\$55)	MCUCR	BODS	PUD	SE	SM1	SM0	BODSE	ISC01	ISC00	42,26,33
\$34 (\$54)	MCUSR	—	—	—	—	WDRF	BORF	EXTRF	PORF	30
\$33 (\$53)	TCCR0B	FOC0A	FOC0B	—	—	WGM02	CS02	CS01	CS00	52
\$32 (\$52)	TCNT0	タイマ/カウンタ0								53
\$31 (\$51)	OSCCAL	内蔵RC発振器 発振校正値レジスタ								21
\$30 (\$50)	TCCR1	CTC1	PWM1A	COM1A1	COM1A0	CS13	CS12	CS11	CS10	59
\$2F (\$4F)	TCNT1	タイマ/カウンタ1								61,68
\$2E (\$4E)	OCR1A	タイマ/カウンタ1 比較Aレジスタ								61,68
\$2D (\$4D)	OCR1C	タイマ/カウンタ1 比較Cレジスタ								61,68
\$2C (\$4C)	GTCCR	TSM	PWM1B	COM1B1	COM1B0	FOC1B	FOC1A	PSR1	PSR0	60,67,51
\$2B (\$4B)	OCR1B	タイマ/カウンタ1 比較Bレジスタ								61
\$2A (\$4A)	TCCR0A	COM0A1	COM0A0	COM0B1	COM0B0	—	—	WGM01	WGM00	51
\$29 (\$49)	OCR0A	タイマ/カウンタ0 比較Aレジスタ								53
\$28 (\$48)	OCR0B	タイマ/カウンタ0 比較Bレジスタ								53
\$27 (\$47)	PLLCSR	LSM	—	—	—	—	PKCE	PLLE	PLOCK	63,69
\$26 (\$46)	CLKPR	CLKPCE	—	—	—	CLKPS3	CLKPS2	CLKPS1	CLKPS0	21
\$25 (\$45)	DT1A	DT1AH3	DT1AH2	DT1AH1	DT1AH0	DT1AL3	DT1AL2	DT1AL1	DT1AL0	71
\$24 (\$44)	DT1B	DT1BH3	DT1BH2	DT1BH1	DT1BH0	DT1BL3	DT1BL2	DT1BL1	DT1BL0	71
\$23 (\$43)	DTPS1	—	—	—	—	—	—	DTPS11	DTPS10	71
\$22 (\$42)	DWDR	デバッグWIRE データレジスタ								92
\$21 (\$41)	WDTCR	WDIF	WDIE	WDP3	WDCE	WDE	WDP2	WDP1	WDP0	31
\$20 (\$40)	PRR	—	—	—	—	PRTIM1	PRTIM0	PRUSI	PRADC	26
\$1F (\$3F)	EEARH	—	—	—	—	—	—	—	(EEAR8)	13
\$1E (\$3E)	EEARL	(EEAR7)	EEPROMアドレスレジスタ (EEAR6～0)							
\$1D (\$3D)	EEDR	EEPROMデータレジスタ								13
\$1C (\$3C)	EECR	—	—	EEPM1	EEPM0	EERIE	EEMPE	EEPE	EERE	13
\$1B (\$3B)	予約									
\$1A (\$3A)	予約									
\$19 (\$39)	予約									
\$18 (\$38)	PORTB	—	—	PORTB5	PORTB4	PORTB3	PORTB2	PORTB1	PORTB0	42
\$17 (\$37)	DDRB	—	—	DDB5	DDB4	DDB3	DDB2	DDB1	DDB0	42
\$16 (\$36)	PINB	—	—	PINB5	PINB4	PINB3	PINB2	PINB1	PINB0	42
\$15 (\$35)	PCMSK	—	—	PCINT5	PCINT4	PCINT3	PCINT2	PCINT1	PCINT0	34
\$14 (\$34)	DIDR0	—	—	ADC0D	ADC2D	ADC3D	ADC1D	AIN1D	AIN0D	91,81
\$13 (\$33)	GPIOR2	汎用I/Oレジスタ2								14
\$12 (\$32)	GPIOR1	汎用I/Oレジスタ1								14
\$11 (\$31)	GPIOR0	汎用I/Oレジスタ0								14
\$10 (\$30)	USIBR	USI 緩衝レジスタ								77
\$0F (\$2F)	USIDR	USI データレジスタ								77
\$0E (\$2E)	USISR	USISIF	USIOIF	USIPF	USIDC	USICNT3	USICNT2	USICNT1	USICNT0	77
\$0D (\$2D)	USICR	USISIE	USIOIE	USIWM1	USIWM0	USICS1	USICS0	USICLK	USITC	78
\$0C (\$2C)	予約									
\$0B (\$2B)	予約									
\$0A (\$2A)	予約									
\$09 (\$29)	予約									
\$08 (\$28)	ACSR	ACD	ACBG	ACO	ACI	ACIE	—	ACIS1	ACIS0	81
\$07 (\$27)	ADMUX	REFS1	REFS0	ADLAR	REFS2	MUX3	MUX2	MUX1	MUX0	89
\$06 (\$26)	ADCSRA	ADEN	ADSC	ADATE	ADIF	ADIE	ADPS2	ADPS1	ADPS0	90
\$05 (\$25)	ADCH	A/Dデータレジスタ 上位バイト (ADC9～8またはADC9～2)								91
\$04 (\$24)	ADCL	A/Dデータレジスタ 下位バイト (ADC7～0またはADC1～0)								
\$03 (\$23)	ADCSRB	BIN	ACME	IPR	—	—	ADTS2	ADTS1	ADTS0	90,80
\$02 (\$22)	予約									
\$01 (\$21)	予約									
\$00 (\$20)	予約									

注: 将来のデバイスとの共通性のため、予約ビットへ書く場合は0を書くべきです。予約I/Oメモリ アドレスは決して書かれるべきではありません。

- アドレス範囲\$00~\$1FのI/OレジスタはCBIとSBI命令の使用で直接アクセス可能です。これらのレジスタの単一ビットはCBISとSBIS命令の使用によって検査できます。
- いくつかの状態ビットはそれらへ論理1を書くことによって解除(0)されます。他の多くのAVRと異なり、CBIとSBI命令は指定ビットだけ操作し、従ってこのような状態フラグを含むレジスタで使用できることに注意してください。CBIとSBI命令は\$00~\$1Fのレジスタだけで動作します。

## 24. 命令要約 (1/2)

ニーモニック	オペランド	意味	動作	フラグ	クロック
算術、論理演算命令					
ADD	Rd,Rr	汎用レジスタ間の加算	$Rd \leftarrow Rd + Rr$	I,T,H,S,V,N,Z,C	1
ADC	Rd,Rr	キャリーを含めた汎用レジスタ間の加算	$Rd \leftarrow Rd + Rr + C$	I,T,H,S,V,N,Z,C	1
ADIW	Rd,K6	即値の語(ワード)長加算	$RdH:RdL \leftarrow RdH:RdL + K6$	I,T,H,S,V,N,Z,C	2
SUB	Rd,Rr	汎用レジスタ間の減算	$Rd \leftarrow Rd - Rr$	I,T,H,S,V,N,Z,C	1
SUBI	Rd,K	汎用レジスタから即値の減算	$Rd \leftarrow Rd - K$	I,T,H,S,V,N,Z,C	1
SBIW	Rd,K6	即値の語(ワード)長減算	$RdH:RdL \leftarrow RdH:RdL - K6$	I,T,H,S,V,N,Z,C	2
SBC	Rd,Rr	キャリーを含めた汎用レジスタ間の減算	$Rd \leftarrow Rd - Rr - C$	I,T,H,S,V,N,Z,C	1
SBCI	Rd,K	汎用レジスタからキャリーと即値の減算	$Rd \leftarrow Rd - K - C$	I,T,H,S,V,N,Z,C	1
AND	Rd,Rr	汎用レジスタ間の論理積(AND)	$Rd \leftarrow Rd \text{ AND } Rr$	I,T,H,S,0,N,Z,C	1
ANDI	Rd,K	汎用レジスタと即値の論理積(AND)	$Rd \leftarrow Rd \text{ AND } K$	I,T,H,S,0,N,Z,C	1
OR	Rd,Rr	汎用レジスタ間の論理和(OR)	$Rd \leftarrow Rd \text{ OR } Rr$	I,T,H,S,0,N,Z,C	1
ORI	Rd,K	汎用レジスタと即値の論理和(OR)	$Rd \leftarrow Rd \text{ OR } K$	I,T,H,S,0,N,Z,C	1
EOR	Rd,Rr	汎用レジスタ間の排他的論理和(Ex-OR)	$Rd \leftarrow Rd \text{ EOR } Rr$	I,T,H,S,0,N,Z,C	1
COM	Rd	1の補数(論理反転)	$Rd \leftarrow \$FF - Rd$	I,T,H,S,0,N,Z,1	1
NEG	Rd	2の補数	$Rd \leftarrow \$00 - Rd$	I,T,H,S,V,N,Z,C	1
SBR	Rd,K	汎用レジスタの(複数)ビット設定(1)	$Rd \leftarrow Rd \text{ OR } K$	I,T,H,S,0,N,Z,C	1
CBR	Rd,K	汎用レジスタの(複数)ビット解除(0)	$Rd \leftarrow Rd \text{ AND } (\$FF - K)$	I,T,H,S,0,N,Z,C	1
INC	Rd	汎用レジスタの増加(+1)	$Rd \leftarrow Rd + 1$	I,T,H,S,V,N,Z,C	1
DEC	Rd	汎用レジスタの減少(-1)	$Rd \leftarrow Rd - 1$	I,T,H,S,V,N,Z,C	1
TST	Rd	汎用レジスタのゼロとマイナス検査	$Rd \leftarrow Rd \text{ AND } Rd$	I,T,H,S,0,N,Z,C	1
CLR	Rd	汎用レジスタの全0設定(=\$00)	$Rd \leftarrow Rd \text{ EOR } Rd$	I,T,H,0,0,0,1,C	1
SER	Rd	汎用レジスタの全1設定(=\$FF)	$Rd \leftarrow \$FF$	I,T,H,S,V,N,Z,C	1
分岐命令					
RJMP	k	相対無条件分岐	$PC \leftarrow PC + k + 1$	I,T,H,S,V,N,Z,C	2
IJMP		Zレジスタ間接無条件分岐	$PC \leftarrow Z$	I,T,H,S,V,N,Z,C	2
RCALL	k	相対サブルーチン呼び出し	$STACK \leftarrow PC, PC \leftarrow PC + k + 1$	I,T,H,S,V,N,Z,C	3
ICALL		Zレジスタ間接サブルーチン呼び出し	$STACK \leftarrow PC, PC \leftarrow Z$	I,T,H,S,V,N,Z,C	3
RET		サブルーチンからの復帰	$PC \leftarrow STACK$	I,T,H,S,V,N,Z,C	4
RETI		割り込みからの復帰	$PC \leftarrow STACK$	I,T,H,S,V,N,Z,C	4
CPSE	Rd,Rr	汎用レジスタ間比較、一致でスキップ	$Rd=Rr$ なら, $PC \leftarrow PC + 2 \text{ or } 3$	I,T,H,S,V,N,Z,C	1/2,3
CP	Rd,Rr	汎用レジスタ間の比較	$Rd - Rr$	I,T,H,S,V,N,Z,C	1
CPC	Rd,Rr	キャリーを含めた汎用レジスタ間の比較	$Rd - Rr - C$	I,T,H,S,V,N,Z,C	1
CPI	Rd,K	汎用レジスタと即値の比較	$Rd - K$	I,T,H,S,V,N,Z,C	1
SBRC	Rr,b	汎用レジスタのビットが解除(0)でスキップ	$Rr(b)=0$ なら, $PC \leftarrow PC + 2 \text{ or } 3$	I,T,H,S,V,N,Z,C	1/2,3
SBR	Rr,b	汎用レジスタのビットが設定(1)でスキップ	$Rr(b)=1$ なら, $PC \leftarrow PC + 2 \text{ or } 3$	I,T,H,S,V,N,Z,C	1/2,3
SBIC	P,b	I/Oレジスタのビットが解除(0)でスキップ	$P(b)=0$ なら, $PC \leftarrow PC + 2 \text{ or } 3$	I,T,H,S,V,N,Z,C	1/2,3
SBIS	P,b	I/Oレジスタのビットが設定(1)でスキップ	$P(b)=1$ なら, $PC \leftarrow PC + 2 \text{ or } 3$	I,T,H,S,V,N,Z,C	1/2,3
BRBS	s,k	ステータスフラグが設定(1)で分岐	$SREG(s)=1$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRBC	s,k	ステータスフラグが解除(0)で分岐	$SREG(s)=0$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BREQ	k	一致で分岐	$Z=1$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRNE	k	不一致で分岐	$Z=0$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRCS	k	キャリーフラグが設定(1)で分岐	$C=1$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRCC	k	キャリーフラグが解除(0)で分岐	$C=0$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRSH	k	符号なしの $\geq$ で分岐	$C=0$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRLO	k	符号なしの $<$ で分岐	$C=1$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRMI	k	-(マイナス)で分岐	$N=1$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRPL	k	+(プラス)で分岐	$N=0$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRGE	k	符号付きの $\geq$ で分岐	$(N \text{ EOR } V)=0$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRLT	k	符号付きの $<$ で分岐	$(N \text{ EOR } V)=1$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRHS	k	ハーフキャリーフラグが設定(1)で分岐	$H=1$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRHC	k	ハーフキャリーフラグが解除(0)で分岐	$H=0$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRTS	k	一時フラグが設定(1)で分岐	$T=1$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRTC	k	一時フラグが解除(0)で分岐	$T=0$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRVS	k	2の補数溢れフラグが設定(1)で分岐	$V=1$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRVC	k	2の補数溢れフラグが解除(0)で分岐	$V=0$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRIE	k	割り込み許可で分岐	$I=1$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRID	k	割り込み禁止で分岐	$I=0$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2

K6, K : 6, 8ビット定数 P : I/Oレジスタ Rd, Rr : 汎用レジスタ(R0~R31) X, Y, Z : X, Y, Zレジスタ  
b : ビット(0~7) k : アドレス定数(7,12,16ビット) q : 符号なし6ビット定数(変位) s : ステータスフラグ(C,Z,N,V,X,H,T,I)



# 命令要約 (2/2)

ニーモニック	オペランド	意味	動作	フラグ	クロック
データ移動命令					
MOV	Rd,Rr	汎用レジスタ間の複写	$Rd \leftarrow Rr$	I,T,H,S,V,N,Z,C	1
MOVW	Rd,Rr	汎用レジスタ対間の複写	$Rd+1:Rd \leftarrow Rr+1:Rr$	I,T,H,S,V,N,Z,C	1
LDI	Rd,K	即値の取得	$Rd \leftarrow K$	I,T,H,S,V,N,Z,C	1
LD	Rd,X	Xレジスタ間接での取得	$Rd \leftarrow (X)$	I,T,H,S,V,N,Z,C	2
LD	Rd,X+	事後増加付きXレジスタ間接での取得	$Rd \leftarrow (X), X \leftarrow X + 1$	I,T,H,S,V,N,Z,C	2
LD	Rd,-X	事前減少付きXレジスタ間接での取得	$X \leftarrow X - 1, Rd \leftarrow (X)$	I,T,H,S,V,N,Z,C	2
LD	Rd,Y	Yレジスタ間接での取得	$Rd \leftarrow (Y)$	I,T,H,S,V,N,Z,C	2
LD	Rd,Y+	事後増加付きYレジスタ間接での取得	$Rd \leftarrow (Y), Y \leftarrow Y + 1$	I,T,H,S,V,N,Z,C	2
LD	Rd,-Y	事前減少付きYレジスタ間接での取得	$Y \leftarrow Y - 1, Rd \leftarrow (Y)$	I,T,H,S,V,N,Z,C	2
LDD	Rd,Y+q	変位付きYレジスタ間接での取得	$Rd \leftarrow (Y + q)$	I,T,H,S,V,N,Z,C	2
LD	Rd,Z	Zレジスタ間接での取得	$Rd \leftarrow (Z)$	I,T,H,S,V,N,Z,C	2
LD	Rd,Z+	事後増加付きZレジスタ間接での取得	$Rd \leftarrow (Z), Z \leftarrow Z + 1$	I,T,H,S,V,N,Z,C	2
LD	Rd,-Z	事前減少付きZレジスタ間接での取得	$Z \leftarrow Z - 1, Rd \leftarrow (Z)$	I,T,H,S,V,N,Z,C	2
LDD	Rd,Z+q	変位付きZレジスタ間接での取得	$Rd \leftarrow (Z + q)$	I,T,H,S,V,N,Z,C	2
LDS	Rd,k	データ空間(SRAM)から直接取得	$Rd \leftarrow (k)$	I,T,H,S,V,N,Z,C	2
ST	X,Rr	Xレジスタ間接での設定	$(X) \leftarrow Rr$	I,T,H,S,V,N,Z,C	2
ST	X+,Rr	事後増加付きXレジスタ間接での設定	$(X) \leftarrow Rr, X \leftarrow X + 1$	I,T,H,S,V,N,Z,C	2
ST	-X,Rr	事前減少付きXレジスタ間接での設定	$X \leftarrow X - 1, (X) \leftarrow Rr$	I,T,H,S,V,N,Z,C	2
ST	Y,Rr	Yレジスタ間接での設定	$(Y) \leftarrow Rr$	I,T,H,S,V,N,Z,C	2
ST	Y+,Rr	事後増加付きYレジスタ間接での設定	$(Y) \leftarrow Rr, Y \leftarrow Y + 1$	I,T,H,S,V,N,Z,C	2
ST	-Y,Rr	事前減少付きYレジスタ間接での設定	$Y \leftarrow Y - 1, (Y) \leftarrow Rr$	I,T,H,S,V,N,Z,C	2
STD	Y+q,Rr	変位付きYレジスタ間接での設定	$(Y + q) \leftarrow Rr$	I,T,H,S,V,N,Z,C	2
ST	Z,Rr	Zレジスタ間接での設定	$(Z) \leftarrow Rr$	I,T,H,S,V,N,Z,C	2
ST	Z+,Rr	事後増加付きZレジスタ間接での設定	$(Z) \leftarrow Rr, Z \leftarrow Z + 1$	I,T,H,S,V,N,Z,C	2
ST	-Z,Rr	事前減少付きZレジスタ間接での設定	$Z \leftarrow Z - 1, (Z) \leftarrow Rr$	I,T,H,S,V,N,Z,C	2
STD	Z+q,Rr	変位付きZレジスタ間接での設定	$(Z + q) \leftarrow Rr$	I,T,H,S,V,N,Z,C	2
STS	k,Rr	データ空間(SRAM)へ直接設定	$(k) \leftarrow Rr$	I,T,H,S,V,N,Z,C	2
LPM		プログラム領域からZレジスタ間接での取得	$R0 \leftarrow (Z)$	I,T,H,S,V,N,Z,C	3
LPM	Rd,Z	同上 (任意のレジスタへ)	$Rd \leftarrow (Z)$	I,T,H,S,V,N,Z,C	3
LPM	Rd,Z+	同上 (事後増加付き)	$Rd \leftarrow (Z), Z \leftarrow Z + 1$	I,T,H,S,V,N,Z,C	3
SPM		プログラム領域へZレジスタ間接での設定	$(Z) \leftarrow R1:R0$	I,T,H,S,V,N,Z,C	-
IN	Rd,P	I/Oレジスタからの入力	$Rd \leftarrow P$	I,T,H,S,V,N,Z,C	1
OUT	P,Rr	I/Oレジスタへの出力	$P \leftarrow Rr$	I,T,H,S,V,N,Z,C	1
PUSH	Rr	汎用レジスタをスタックへ保存	$STACK \leftarrow Rr$	I,T,H,S,V,N,Z,C	2
POP	Rd	スタックから汎用レジスタへ復帰	$Rd \leftarrow STACK$	I,T,H,S,V,N,Z,C	2
ビット関係命令					
SBI	P,b	I/Oレジスタのビット設定(1)	$I/O(P,b) \leftarrow 1$	I,T,H,S,V,N,Z,C	2
CBI	P,b	I/Oレジスタのビット解除(0)	$I/O(P,b) \leftarrow 0$	I,T,H,S,V,N,Z,C	2
LSL	Rd	論理的左シフト	$Rd(n+1) \leftarrow Rd(n), Rd(0) \leftarrow 0$	I,T,H,S,V,N,Z,C	1
LSR	Rd	論理的右シフト	$Rd(n) \leftarrow Rd(n+1), Rd(7) \leftarrow 0$	I,T,H,S,V,0,Z,C	1
ROL	Rd	キャリーを含めた左回転	$Rd(0) \leftarrow C, Rd(n+1) \leftarrow Rd(n), C \leftarrow Rd(7)$	I,T,H,S,V,N,Z,C	1
ROR	Rd	キャリーを含めた右回転	$Rd(7) \leftarrow C, Rd(n) \leftarrow Rd(n+1), C \leftarrow Rd(0)$	I,T,H,S,V,N,Z,C	1
ASR	Rd	算術的右シフト	$Rd(n) \leftarrow Rd(n+1), n=0\sim6$	I,T,H,S,V,N,Z,C	1
SWAP	Rd	ニブル(4ビット)上位/下位交換	$Rd(7\sim4) \leftrightarrow Rd(3\sim0)$	I,T,H,S,V,N,Z,C	1
BSET	s	ステータスレジスタのビット設定(1)	$SREG(s) \leftarrow 1$	1,1,1,1,1,1,1,1	1
BCLR	s	ステータスレジスタのビット解除(0)	$SREG(s) \leftarrow 0$	0,0,0,0,0,0,0,0	1
BST	Rr,b	汎用レジスタのビットを一時フラグへ移動	$T \leftarrow Rr(b)$	I,T,H,S,V,N,Z,C	1
BLD	Rd,b	一時フラグを汎用レジスタのビットへ移動	$Rd(b) \leftarrow T$	I,T,H,S,V,N,Z,C	1
SEC		キャリーフラグを設定(1)	$C \leftarrow 1$	I,T,H,S,V,N,Z,1	1
CLC		キャリーフラグを解除(0)	$C \leftarrow 0$	I,T,H,S,V,N,Z,0	1
SEN		負フラグを設定(1)	$N \leftarrow 1$	I,T,H,S,V,1,Z,C	1
CLN		負フラグを解除(0)	$N \leftarrow 0$	I,T,H,S,V,0,Z,C	1
SEZ		ゼロフラグを設定(1)	$Z \leftarrow 1$	I,T,H,S,V,N,1,C	1
CLZ		ゼロフラグを解除(0)	$Z \leftarrow 0$	I,T,H,S,V,N,0,C	1
SEI		全割り込み許可	$I \leftarrow 1$	I,T,H,S,V,N,Z,C	1
CLI		全割り込み禁止	$I \leftarrow 0$	0,T,H,S,V,N,Z,C	1
SES		符号フラグを設定(1)	$S \leftarrow 1$	I,T,H,1,V,N,Z,C	1
CLS		符号フラグを解除(0)	$S \leftarrow 0$	I,T,H,0,V,N,Z,C	1
SEV		2の補数溢れフラグを設定(1)	$V \leftarrow 1$	I,T,H,S,V,N,1,C	1
CLV		2の補数溢れフラグを解除(0)	$V \leftarrow 0$	I,T,H,S,0,N,Z,C	1
SET		一時フラグを設定(1)	$T \leftarrow 1$	I,1,H,S,V,N,Z,C	1
CLT		一時フラグを解除(0)	$T \leftarrow 0$	I,0,H,S,V,N,Z,C	1
SEH		ハーフキャリーフラグを設定(1)	$H \leftarrow 1$	I,T,H,S,V,N,Z,1	1
CLH		ハーフキャリーフラグを解除(0)	$H \leftarrow 0$	I,T,0,S,V,N,Z,C	1
MCU制御命令					
NOP		無操作		I,T,H,S,V,N,Z,C	1
SLEEP		休止形態開始	休止形態参照	I,T,H,S,V,N,Z,C	1
WDR		ウォッチドッグタイマリセット	ウォッチドッグタイマ参照	I,T,H,S,V,N,Z,C	1
BREAK		一時停止	内蔵デバッグ機能専用	I,T,H,S,V,N,Z,C	N/A

## 25. 注文情報

デバイス	速度(MHz) (注1)	電源電圧	動作範囲	外囲器 (注2)	注文コード (注3)
ATtiny25	10	1.8~5.5V	工業用 (-40℃~85℃) (注4)	8P3	ATtiny25V-10PU
				8S2	ATtiny25V-10SU ATtiny25V-10SUR ATtiny25V-10SH ATtiny25V-10SHR
				S8S1	ATtiny25V-10SSU ATtiny25V-10SSUR ATtiny25V-10SSH ATtiny25V-10SSHR
				20M1	ATtiny25V-10MU ATtiny25V-10MUR
			工業用 (-40℃~105℃) (注5)	8S2	ATtiny25V-10SN ATtiny25V-10SNR
				S8S1	ATtiny25V-10SSN ATtiny25V-10SSNR
	20	2.7~5.5V	工業用 (-40℃~125℃) (注6)	20M1	ATtiny25V-10MF ATtiny25V-10MFR
			工業用 (-40℃~85℃) (注4)	8P3	ATtiny25-20PU
				8S2	ATtiny25-20SU ATtiny25-20SUR ATtiny25-20SH ATtiny25-20SHR
				S8S1	ATtiny25-20SSU ATtiny25-20SSUR ATtiny25-20SSH ATtiny25-20SSHR
				20M1	ATtiny25-20MU ATtiny25-20MUR
			工業用 (-40℃~105℃) (注5)	8S2	ATtiny25-20SN ATtiny25-20SNR
				S8S1	ATtiny25-20SSN ATtiny25-20SSNR
			工業用 (-40℃~125℃) (注6)	20M1	ATtiny25V-20MF ATtiny25V-20MFR
ATtiny45	10	1.8~5.5V	工業用 (-40℃~85℃) (注4)	8P3	ATtiny45V-10PU
				8S2	ATtiny45V-10SU ATtiny45V-10SUR ATtiny45V-10SH ATtiny45V-10SHR
				8X	ATtiny45V-10XU ATtiny45V-10XUR
				20M1	ATtiny45V-10MU ATtiny45V-10MUR
				8P3	ATtiny45-20PU
	20	2.7~5.5V	工業用 (-40℃~85℃) (注4)	8S2	ATtiny45-20SU ATtiny45-20SUR ATtiny45-20SH ATtiny45-20SHR
				8X	ATtiny45-20XU ATtiny45-20XUR
				20M1	ATtiny45-20MU ATtiny45-20MUR

次頁へ続く

デバイス	速度(MHz) (注1)	電源電圧	動作範囲	外囲器 (注2)	注文コード (注3)
ATtiny85	10	1.8～5.5V	工業用 (–40℃～85℃) (注4)	8P3	ATtiny85V–10PU
				8S2	ATtiny85V–10SU
					ATtiny85V–10SUR
					ATtiny85V–10SH
					ATtiny85V–10SHR
	20	2.7～5.5V		20M1	ATtiny85V–10MU
				8P3	ATtiny85V–10MUR
					ATtiny85–20PU
					ATtiny85–20SU
					ATtiny85–20SUR
					ATtiny85–20SH
					ATtiny85–20SHR
				20M1	ATtiny85–20MU
					ATtiny85–20MUR

注1: 速度対電源電圧については109頁の「速度」をご覧ください。

注2: 全ての外囲器は鉛フリー、ハロゲン化合物フリーで完全に安全で、これらは有害物質使用制限に関する欧州指令(RoHS指令)に適合します。

注3: 符号識別子: H=ニッケル・パラジウム・金(NiPdAu)仕上げ、U,N=半光沢錫、R=テープとリール

注4: このデバイスはウェハー(チップ単体)形状でも供給できます。最低数量と詳細な注文情報については最寄のAtmel営業所へお問い合わせください。

注5: 特性については対補A,105°CでのATtiny25/V仕様をご覧ください。

注6: 特性については対補B,125°CでのATtiny25/V仕様をご覧ください。

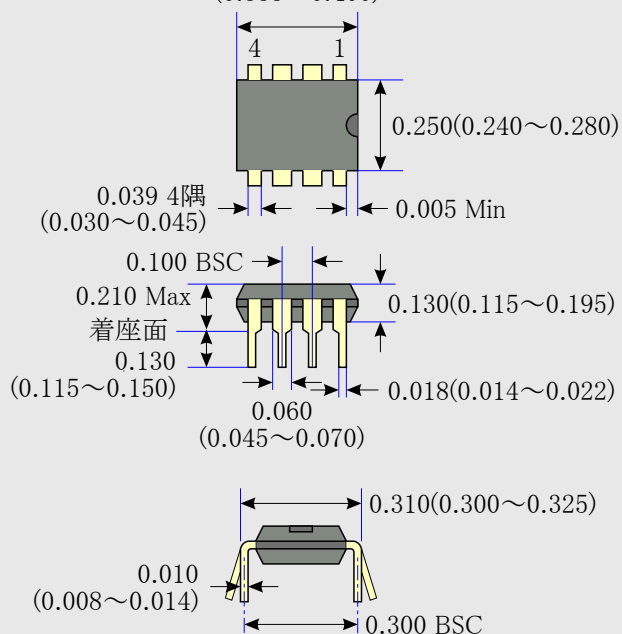
外囲器形式	
8P3	8ピン 300mil幅 プラスティック2列直線外囲器 (PDIP)
8S2	8リード 208mil幅 プラスティック小型外形外囲器 (EIAJ SOIC)
S8S1	8リード 150mil幅 プラスティック小型外形外囲器 (JEDEC SOIC)
8X	8リード 4.4mm幅 プラスティック薄型縮小外形外囲器 (TSSOP)
20M1	20パッド 4×4×0.8mm 0.5mmピッチ 4方向平板リードなし/小リード枠外囲器 (QFN/MLF)

## 26. 外圍器情報

### 26.1. 8P3

8ピン 300mil幅 プラスティック2列直線外圍器 (PDIP)

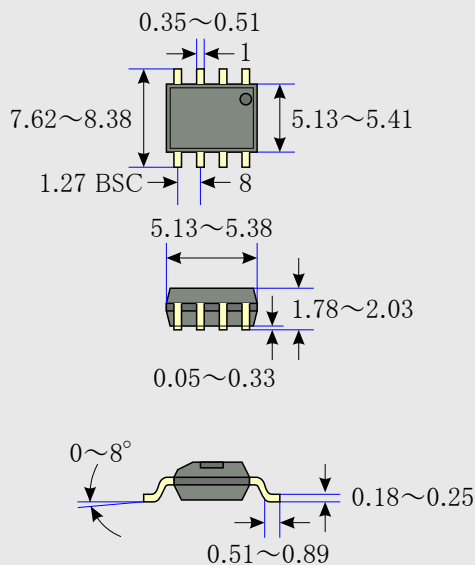
0.365 寸法: インチ  
(0.355~0.400) JEDEC規格 MS-001 BA



### 26.2. 8S2

8リード 209mil幅 プラスティック小型外形外圍器 (EIAJ SOIC)

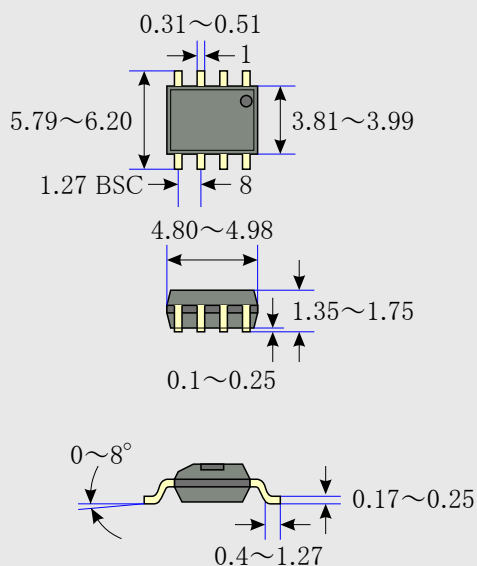
寸法: mm  
EIAJ EDR-7320



### 26.3. S8S1

8リード 150mil幅 プラスティック小型外形外圍器 (JEDEC SOIC)

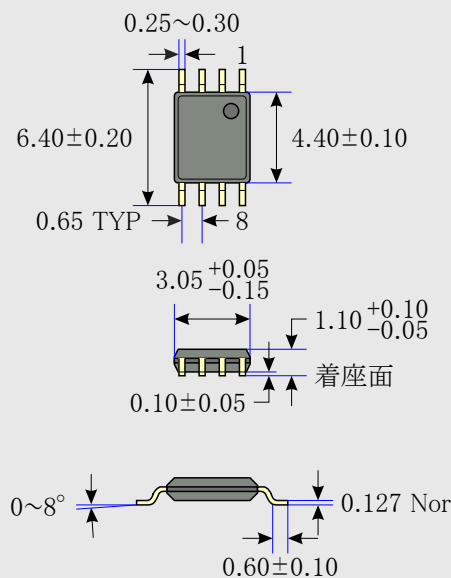
寸法: mm  
JEDEC規格 MS-012



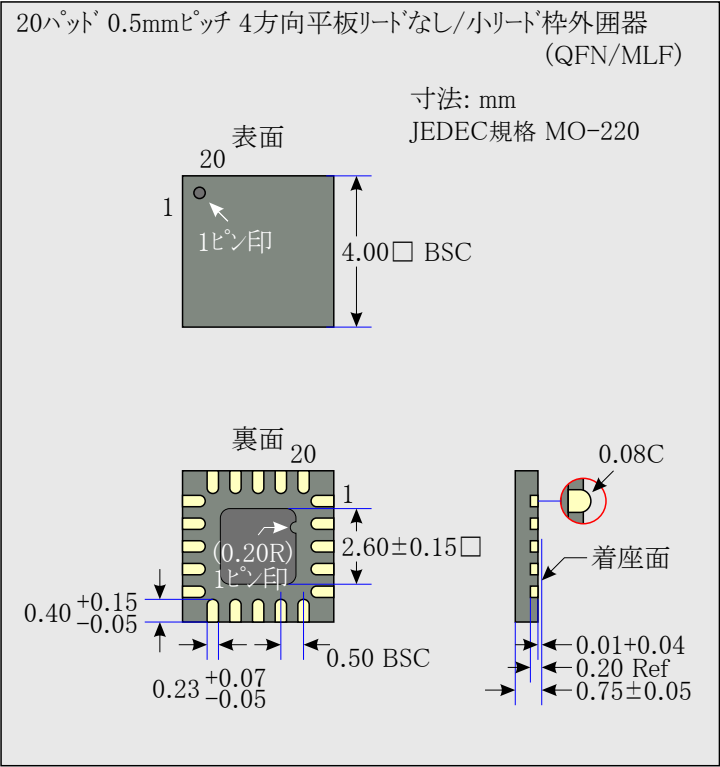
### 26.4. 8X

8リード 薄型縮小小型外形外圍器 (TSSOP)

寸法: mm  
JEDEC規格 MS-153AC



26.5. 20M1





## 27. 障害情報

この章の改訂番号はATtiny25/45/85(V)デバイスの改訂版を参照してください。

ATtiny25 改訂A	試供されていません。
ATtiny25 改訂D,E	既知の障害はありません。
ATtiny45 改訂F,G	既知の障害はありません。
ATtiny85 改訂B	既知の障害はありません。

● 高すぎるパワーダウン動作での消費電力	45-A
● 1行実行中割り込み時のデバッグWIRE通信切断	45-A
● PLL固定化不良	45-A～C
● 応用コードからのEEPROM読み出しが施錠ビット種別3で働かない	45-A～C
● タイマ/カウンタ1のOC1B PWM出力生成が正しく動作しない	45-B/C
● EEPROM読み込みが低供給電圧/低周波数で失敗する可能性	25-B/C, 45-A～E, 85-A

### 1. 高すぎるパワーダウン動作での消費電力 (45-A)

以下の状態は高すぎるパワーダウン動作での電力消費を引き起こします。

- ヒューズによって外部クロックが選択されているが、そのI/Oポートが未だ出力として許可されている。
- EEPROMがパワーダウン移行前に読まれる。
- VCCが4.5Vまたはそれ以上。

#### 対策/対処

- 外部クロック使用時、出力としてのクロックピン設定を避けてください。
- パワーダウン動作消費電力が重要なら、EEPROMを読まないでください。
- 4.5V未満のVCCを使用してください。

### 2. 1行実行中割り込み時のデバッグWIRE通信切断 (45-A)

1行実行中に割り込みを受けると、デバッグWIREは通信を開放します。

#### 対策/対処

- 1行実行時、割り込みを禁止してください。
- 割り込みのデバッグ時、割り込み処理ルーチン内の中断点を使用して割り込み内を走らせてください。

### 3. PLL固定化不良 (45-A～C)

6.0MHz以下の周波数での走行時、PLLが固定化しません。

#### 対策/対処

- PLL使用時、6.0MHzまたはそれ以上で走らせてください。

### 4. 応用コードからのEEPROM読み出しが施錠ビット種別3で働かない (45-A～C)

メモリ施錠ビットのLB2とLB1が動作種別3にプログラム(設定)されると、EEPROM読み出しが応用コードから動作しません。

#### 対策/対処

応用コードがEEPROMからの読み出しを必要とする時は施錠ビット保護動作種別3を設定しないでください。

### 5. タイマ/カウンタ1のOC1B PWM出力生成が正しく動作しない (45-B/C)

タイマ/カウンタ1のOC1B,  $\overline{\text{OC1B}}$  PWM出力が正しく動作しません。COM1B1,0制御ビットが各々COM1A1,0と同じ時だけ、OC1B,  $\overline{\text{OC1B}}$  出力は正しく動作します。

#### 対策/対処

対策はCOM1A1,0とCOM1B1,0で同じ制御設定を使用することだけです。データシートの表12-1をご覧ください。この問題はATtiny45改訂Dで修正されています。

### 6. EEPROM読み込みが低供給電圧/低周波数で失敗する可能性 (25-B/C, 45-A～E, 85-A)

低クロック周波数や低供給電圧でEEPROMを読む試みは不正なデータ読み込みに終わるかもしれません。

#### 対策/対処

クロック周波数が1MHz未満で供給電圧が2V未満の時はEEPROMを使用しないでください。動作周波数が1MHz以上に上げられない場合、供給電圧は2Vよりも高くあるべきです。同様に、供給電圧が2V以上に上げられない場合、動作周波数は1MHzよりも高くあるべきです。

この特性は温度依存であることが知られていますが、特性付けされていません。指針は室温に対してだけ与えられます。

## 28. データシート改訂履歴

この章内の参照頁番号はこの資料が参照されていることに注意してください。この章内の改訂番号は資料の改訂番号を参照してください。

### 28.1. 2586A-02/2005

1. 初版

### 28.2. 2586B-05/2005

1. CLKI追加、例のEEMWE/EEWEをEEMPE/EEPEに改名、いくつかのTBD削除、88頁の「温度測定」から“暫定記述”を削除
2. 1頁の「特徴」を更新
3. 2頁の「ピン配置」と27頁の図8-1.を更新
4. 23頁の表7-1.、41頁の表10-4.と表10-5.を更新
5. 101頁の「低電圧直列プログラミング命令一式」を更新
6. 132頁の「レジスタ要約」でSPHレジスタを更新
7. 108頁の「DC特性」を更新
8. 135頁の「注文情報」を更新
9. 139頁の「障害情報」を更新

### 28.3. 2586C-06/2005

1. 1頁の「特徴」を更新
2. 2頁の「ピン配置」を更新
3. 12頁のコード例を更新
4. 「温度測定」を88頁の17.12.項へ移動
5. 132頁の「レジスタ要約」を更新
6. 135頁の「注文情報」を更新

### 28.4. 2586D-02/2006

1. 17頁の表6-3.、19頁の表6-9.と表6-10.、20頁の表6-13.、21頁の表6-14.、32頁の表9-1.、89頁の表17-4.、106頁の表20-16.、111頁の表21-8.を更新
2. 57頁の「タイマ/カウンタ1 PWM動作」を更新
3. 62頁の「ビット2 – TOV1 : タイマ/カウンタ1溢れ割り込み要求フラグ」の文章を更新
4. 108頁の「DC特性」で値を更新
5. 132頁の「レジスタ要約」を更新
6. 135頁の「注文情報」を更新
7. 139頁の「障害情報」を更新
8. パワーセーブ動作への全参照を削除
9. レジスタ アドレス(表記)を更新

### 28.5. 2586E-03/2006

1. 82頁の「A/D変換器 (ADC)」で「特徴」を更新
2. 82頁の「A/D変換器 (ADC)」で「操作」を更新
3. 88頁の表17-2.を更新
4. 89頁の表17-3.を更新
5. 139頁の「障害情報」を更新

### 28.6. 2586F-04/2006

1. 37頁の「デジタル入力許可と休止形態」を更新
2. 106頁の表20-16.を更新
3. 135頁の「注文情報」を更新

### 28.7. 2586G-05/2006

1. 15頁の「高速周辺クロック clk<sub>PRCK</sub>」を更新
2. 18頁の「校正付き内蔵RC発振器」を更新
3. 19頁の「低周波数クリスタル用発振器」を更新

4. 20頁の「既定のクロック元」を更新
5. 20頁の「クロック出力緩衝部」を更新
6. 23頁の「電力管理と休止形態」を更新
7. 24頁で「BOD禁止」を追加
8. 81頁の表16-2を更新
9. 81頁の「ビット6 – ACBG : 基準電圧選択」を更新
10. 89頁の表17-3.に対する注を追加
11. 132頁の「レジスタ要約」を更新

#### 28.8. 2586H-06/2006

1. 18頁の「校正付き内蔵RC発振器」を更新
2. 21頁の「OSCCAL – 発振校正レジスタ」を更新
3. 109頁に表21-2.を追加

#### 28.9. 2586I-09/2006

1. 全ての特性データを108頁の「電気的特性」へ移動
2. 全てのレジスタ記述は各節の終りで分離項目に纏められました。
3. 51頁の表11-3.、52頁の表11-5.、98頁の表20-4.を更新
4. 18頁の「校正付き内蔵RC発振器」を更新
5. 23頁の表7-1.の注を更新
6. 27頁の「システム制御とリセット」を更新
7. 35頁からの「入出力ポート」でレジスタ記述を更新
8. 72頁の「多用途直列インターフェース (USI)」内の特徴を更新
9. 74頁の「SPI主装置操作例」のコード例を更新
10. 80頁の「アナログ比較器入力選択」を更新
11. 99頁の「識票バイト」を更新
12. 108頁の「電気的特性」を更新

#### 28.10. 2586J-12/2006

1. 1頁の「低消費電力」を更新
2. 5頁の「構造概要」で命令長の記述を更新
3. 10頁の「実装書き換え可能なプログラム用フラッシュ メモリ」でフラッシュ容量を更新
4. 11頁の「非分離バイトプログラミング」、「消去」、「書き込み」項で参照先を更新
5. 11頁の「非分離バイトプログラミング」を更新
6. 15頁の「高速周辺クロック-clkpck」を更新
7. 15頁の図6-2.と16頁の図6-3.とで1つのクロック系統図を置換
8. 16頁の表7-1.、18頁の表6-6.、20頁の表6-13.を更新
9. 17頁の表6-5.を更新
10. 18頁の「校正付き内蔵RC発振器」を更新
11. 21頁の「OSCCAL – 発振校正レジスタ」を更新
12. 21頁の「CLKPR – クロック前置分周器レジスタ」を更新
13. 23頁の「パワーダウン動作」を更新
14. 26頁の「PRR – 電力削減レジスタ」を更新
15. 31頁の表8-3.に脚注を追加
16. 41頁の表10-5.を更新
17. 42頁の「MCUCR – MCU制御レジスタ」で「ビット7,2」を削除
18. 「タイマ/カウンタ前置分周器とクロック元」項を44頁へ移動/更新
19. 56頁の「非同同期動作に対するタイマ/カウンタ1の初期化」を更新
20. 63頁と69頁の「PLLCSR – PLL制御/状態レジスタ」内のビット記述を更新
21. 4頁の「前置分周と変換タイミング」内に推奨最大周波数を追加
22. 86頁の図17-8.を更新
23. 88頁の「温度測定」を更新
24. 89頁の表17-3.を更新

## 28.11. 2586K-01/2008

1. 資料雛形更新
2. 項追加
  - ・ 4頁の「データ保持力」
  - ・ 33頁の「Lowレベル割り込み」
  - ・ 99頁の「デバイス識票銘刻部」
3. 項更新
  - ・ 15頁の「システム クロックとクロック任意選択」と「高速周辺クロック - clk<sub>POCK</sub>」、16頁の「ATtiny15互換動作での内蔵PLL」
  - ・ 23頁の「休止形態種別」、24頁の「ソフトウェア低電圧検出(BOD)禁止」
  - ・ 33頁の「外部割り込み」
  - ・ 66頁の「ATtiny15互換動作時 タイマ/カウンタ1 PWM動作」
  - ・ 72頁の「多用途直列インターフェース (USI: Universal Serial Interface)」
  - ・ 88頁の「温度測定」
  - ・ 94頁の「ソフトウェアからの施錠、ヒューズと識票データの読み出し」
  - ・ 97頁の「プログラム メモリとデータ メモリ用施錠ビット」、98頁の「ヒューズ ビット」、99頁の「識票バイト」と「校正值バイト」
  - ・ 110頁の「システムとリセットの特性」
4. 図追加
  - ・ 122頁の図22-23.、図22-24.、図22-25.、123頁の図22-26.
5. 図更新
  - ・ 27頁の図8-1.
6. 表更新
  - ・ 18頁の表6-7.、表6-8.、19頁の表6-9.
  - ・ 57頁の表12-1.、66頁の表13-1.
  - ・ 91頁の表17-6.
  - ・ 108頁の表21-1.、109頁の表21-2.、111頁の表21-8.
7. 項内のコード例更新
  - ・ 12頁のEEPROM\_WR:アセンブリ コード例
8. I/Oレジスタ内のビット記述更新
  - ・ 42頁の「MCUCR - MCU制御レジスタ」
  - ・ 51頁の「TCCR0A - タイマ/カウンタ0制御レジスタA」
  - ・ 96頁の「SPMCSR - SPM命令制御/状態レジスタ」
9. 135頁の「注文情報」でATtiny25を更新
10. 136頁の「外圍器形式」を更新
11. 137頁の「外圍器情報」にS8S1を追加
12. 139頁の「障害情報」を更新

## 28.12. 2586L-06/2010

1. 項追加
  - ・ 1頁の「特徴」、2頁の「ピン配置」、135頁の「注文情報」、136頁の「26.4. 8X」外圍器情報でATtiny45に対するTSSOP
  - ・ 19頁の「低周波数水晶用発振器」の表6-11.
  - ・ 126頁の図22-36.と図22-37.、内部ハントギャップ電圧対動作電圧とで動作温度
  - ・ 135頁の「注文情報」でATtiny25の拡張温度版、注文情報
  - ・ 135頁の「注文情報」でATtiny25とATtiny45のテープ&リールの部品番号
2. 項更新
  - ・ 1頁の「特徴」でATtiny25から暫定を削除
  - ・ 30頁の「8.4.2. コード例」項
  - ・ 34頁の「PCMSK - ピン変化割り込み許可レジスタ」、ビット初期値
  - ・ 59頁の「TCCR1 - タイマ/カウンタ1制御レジスタ」と「GTCCR - 一般タイマ/カウンタ制御レジスタ」、COMビット記述を明白化
  - ・ 99頁の「20.3.2. 校正值バイト」項、周波数(8MHz, 6.4MHz)
  - ・ 101頁の「表20-11. ヒューズ、フラッシュ、EEPROM次位置書き込み前の待機時間」、t<sub>W<sub>D</sub>\_ERASE</sub>の値
  - ・ 106頁の「表20-16. 高電圧直列プログラミング命令一式」
  - ・ 108頁の「表21-1. DC特性」、注を補正
  - ・ 113頁の「表21-11. 低電圧直列プログラミング特性」、t<sub>SLIV</sub>を追加
  - ・ データシート全体を通してビット表記法を更新、例えばCS02:0からCS0[2:0]へ (訳注:本書では表記法が異なるため無効)

## 28.13. 2586M-07/2010

1. 20頁の「6.4. クロック出力緩衝部(外部クロック出力)」項を明白化
2. ATtiny25の拡張温度版に対して-SNと-SNRの注文コードを追加

#### 28.14. 2586N-04/2011

##### 1. 項目追加

- ・ 4頁の「容量性接触感知」項

##### 2. 項目更新

- ・ 資料雛形
- ・ 表紙から“暫定”を削除、全デバイスは今や最終で製造中です。
- ・ 24頁の「制限」項
- ・ 32頁のプログラム例
- ・ 82頁の「概要」項
- ・ 89頁の表17-4.
- ・ 100頁の「低電圧直列プログラミング手順」項
- ・ 111頁の表21-7.
- ・ 135頁の「注文情報」
- ・ 139頁のEEPROM障害情報

#### 28.15. 2586O-02/2013

1. 135頁と136頁で注文符号を更新

#### 28.16. 2586P-06/2013

1. 13頁の「EEARH,EEARL (EEAR) – EEPROMアドレス レジスタ」の説明を更新

#### 28.17. 2586Q-08/2013

1. 60頁の「GTCCR – 一般タイマ/カウンタ制御レジスタ」内の「ビット3 – FOC1B:OC1B強制変更」記述を更新。「比較一致出力ピンOC1B (PB3)」内のPB3をPB4に修正



## 目次

特徴	1	11.5. 比較出力部	45
1. ピン配置	2	11.6. 比較一致出力部	46
1.1. ピン説明	2	11.7. 動作種別	47
2. 概要	3	11.8. タイマ/カウンタのタイミング	50
2.1. 構成図	3	11.9. 8ビット タイマ/カウンタ0用レジスタ	51
3. 諸注意	4	12. 8ビット タイマ/カウンタ1	55
3.1. 資料	4	12.1. タイマ/カウンタ1の前置分周器	55
3.2. コード例	4	12.2. タイマ/カウンタ1	55
3.3. 容量性接触感知	4	12.3. 8ビット タイマ/カウンタ1用レジスタ	59
3.4. データ保持力	4	13. ATtiny15互換動作での8ビット タイマ/カウンタ1	64
4. AVR CPU コア	5	13.1. タイマ/カウンタ1の前置分周器	64
4.1. 序説	5	13.2. タイマ/カウンタ1	64
4.2. 構造概要	5	13.3. 互換動作時8ビット タイマ/カウンタ1用レジスタ	67
4.3. ALU (Arithmetic Logic Unit)	5	14. 沈黙時間生成器	70
4.4. ステータス レジスタ	6	14.1. タイマ/カウンタ1 沈黙時間用レジスタ	71
4.5. 汎用レジスタ ファイル	7	15. 多用途直列インターフェース (USI)	72
4.6. スタック ポインタ	7	15.1. 特徴	72
4.7. 命令実行タイミング	8	15.2. 概要	72
4.8. リセットと割り込みの扱い	8	15.3. 機能説明	73
5. AVR メモリ	10	15.4. USIでの代替使用	76
5.1. 実装書き換え可能なプログラム用フラッシュ メモリ	10	15.5. USI用レジスタ	77
5.2. データ用SRAMメモリ	10	16. アナログ比較器	80
5.3. データ用EEPROMメモリ	11	16.1. アナログ比較器入力選択	80
5.4. I/Oメモリ (レジスタ)	13	16.2. アナログ比較器用レジスタ	80
5.5. メモリ関係レジスタ	13	17. A/D変換器	82
6. システム クロックとクロック任意選択	15	17.1. 特徴	82
6.1. クロック系統とその配給	15	17.2. 概要	82
6.2. クロック元	16	17.3. 操作	83
6.3. システム クロック前置分周器	20	17.4. 変換の開始	83
6.4. システム クロック出力緩衝部	20	17.5. 前置分周と変換タイミング	84
6.5. クロック関係レジスタ	21	17.6. チャネル変更と基準電圧選択	85
7. 電力管理と休止形態	23	17.7. 雑音低減機能	86
7.1. 休止形態種別	23	17.8. アナログ入力回路	86
7.2. ソフトウェア低電圧検出(BOD)禁止	24	17.9. アナログ雑音低減技術	86
7.3. 電力削減(電力削減レジスタ)	25	17.10. A/D変換の精度定義	87
7.4. 消費電力の最小化	25	17.11. A/D変換の結果	87
7.5. 電力管理用レジスタ	26	17.12. 温度測定	88
8. システム制御とリセット	27	17.13. A/D変換用レジスタ	89
8.1. AVRのリセット	27	18. デバッグWIRE内蔵デバッグ機能	92
8.2. リセット元	27	18.1. 特徴	92
8.3. 内部基準電圧	29	18.2. 概要	92
8.4. ウォッチドッグ タイマ	29	18.3. 物理インターフェース	92
8.5. リセット関係レジスタ	30	18.4. ソフトウェア中断点	92
9. 割り込み	32	18.5. デバッグWIREの制限	92
9.1. ATtiny25/45/85の割り込みベクタ	32	18.6. デバッグWIRE用レジスタ	92
9.2. 外部割り込み	33	19. フラッシュの自己プログラミング	93
9.3. 外部割り込み用レジスタ	33	19.1. SPM命令によるページ消去の実行	93
10. 入出力ポート	35	19.2. ページ一時緩衝部の設定(ページ設定)	93
10.1. 序説	35	19.3. ページ書き込みの実行	93
10.2. 標準デジタル入出力としてのポート	35	19.4. 自己プログラミングでのフラッシュ アドレス指定	93
10.3. 交換ポート機能	38	19.5. SPM書き込み時のEEPROM書き込み妨害	94
10.4. I/Oポート用レジスタ	42	19.6. ソフトウェアからの施錠、ヒューズと識票読み出し	94
11. 8ビット タイマ/カウンタ0 (PWM)	43	19.7. フラッシュ メモリ データ化けの防止	95
11.1. 特徴	43	19.8. SPM使用時のフラッシュ メモリ書き込み時間	95
11.2. 概要	43	19.9. 自己プログラミング用レジスタ	96
11.3. タイマ/カウンタ0の前置分周器とクロック元	44	20. メモリプログラミング	97
11.4. 計数器部	45	20.1. プログラム メモリとデータ メモリ用施錠ビット	97
		20.2. ヒューズ ビット	98

20.3.	デバイス識別票銘刻部	99
20.4.	ページ容量	99
20.5.	低電圧直列プログラミング	100
20.6.	高電圧直列プログラミング	103
20.7.	高電圧直列プログラミング手順	103
21.	電気的特性	108
21.1.	絶対最大定格	108
21.2.	DC特性	108
21.3.	速度	109
21.4.	クロック特性	109
21.5.	システムとリセットの特性	110
21.6.	低電圧検出(BOD)	111
21.7.	A/D変換器特性	111
21.8.	低電圧直列プログラミング特性	113
21.9.	高電圧直列プログラミング特性	113
22.	代表特性	114
22.1.	活動動作消費電流	114
22.2.	アイドル動作消費電流	116
22.3.	周辺機能部供給電流	117
22.4.	パワーダウン動作消費電流	118
22.5.	ピンプルアップ	118
22.6.	ピン駆動能力	120
22.7.	ピン 閾値とヒステリシス	123
22.8.	低電圧検出器(BOD)閾値	125
22.9.	内部発振器周波数	127
22.10.	周辺機能部消費電流	129
22.11.	リセット消費電流とリセット パルス幅	131
23.	レジスタ要約	132
24.	命令要約	133
25.	注文情報	135
26.	外圍器情報	137
27.	障害情報	139
28.	データシート改訂履歴	140



Enabling Unlimited Possibilities®

*Atmel Corporation*

1600 Technology Drive  
San Jose, CA 95110  
USA  
TEL (+1)(408) 441-0311  
FAX (+1)(408) 487-2600  
[www.atmel.com](http://www.atmel.com)

*Atmel Asia Limited*

Unit 01-5 & 16, 19F  
BEA Tower, Millennium City 5  
418 Kwun Tong Road  
Kwun Tong, Kowloon  
HONG KONG  
TEL (+852) 2245-6100  
FAX (+852) 2722-1369

*Atmel Munich GmbH*

Business Campus  
Parking 4  
D-85748 Garching b. Munich  
GERMANY  
TEL (+49) 89-31970-0  
FAX (+49) 89-3194621

*Atmel Japan G.K.*

141-0032 東京都品川区  
大崎1-6-4  
新大崎勧業ビル 16F  
アトメル ジャパン合同会社  
TEL (+81)(3)-6417-0300  
FAX (+81)(3)-6417-0370

© 2013 Atmel Corporation. 全権利予約済 / 改訂:2586Q-AVR-08/2013

Atmel®, Atmelロゴとそれらの組み合わせ、Enabling Unlimited Possibilities®, AVR®, tinyAVR®とその他はAtmel Corporationの登録商標または商標またはその付属物です。他の用語と製品名は一般的に他の商標です。

お断り: 本資料内の情報はAtmel製品と関連して提供されています。本資料またはAtmel製品の販売と関連して承諾される何れの知的所有権も禁反言あるいはその逆によって明示的または暗示的に承諾されるものではありません。Atmelのウェブサイト位置する販売の条件とAtmelの定義での詳しい説明を除いて、商品性、特定目的に関する適合性、または適法性の暗黙保証に制限せず、Atmelはそれらを含むその製品に関連する暗示的、明示的または法令による如何なる保証も否認し、何ら責任がないと認識します。たとえばAtmelがそのような損害賠償の可能性を進言されたとしても、本資料を使用できない、または使用以外で発生する(情報の損失、事業中断、または利益と損失に関する制限なしの損害賠償を含み)直接、間接、必然、偶然、特別、または付随して起こる如何なる損害賠償に対しても決してAtmelに責任がないでしょう。Atmelは本資料の内容の正確さまたは完全性に関して断言または保証を行わず、予告なしでいつでも製品内容と仕様の変更を行う権利を保留します。Atmelはここに含まれた情報を更新することに対してどんな公約も行いません。特に別の方法で提供されなければ、Atmel製品は車載応用に対して適当ではなく、使用されるべきではありません。Atmel製品は延命または生命維持を意図した応用での部品としての使用に対して意図、認定、または保証されません。

© HERO 2016.

本データシートはAtmelのATtiny25/45/85英語版データシート(Rev.2586Q-08/2013)の翻訳日本語版です。日本語では不自然となる重複する形容表現は省略されている場合があります。日本語では難解となる表現は大幅に意識されている部分もあります。必要に応じて一部加筆されています。頁割の変更により、原本より頁数が少なくなっています。

汎用入出力ポートの出力データレジスタとピン入力、対応関係からの理解の容易さから出力レジスタと入力レジスタで統一表現されています。一部の用語がより適切と思われる名称に変更されています。必要と思われる部分には( )内に英語表記や略称などを残す形で表記しています。

青字の部分はリンクとなっています。一般的に赤字の0,1は論理0,1を表します。その他の赤字は重要な部分を表します。

原書に対して若干構成が異なるため、一部の節/項番号が異なります。