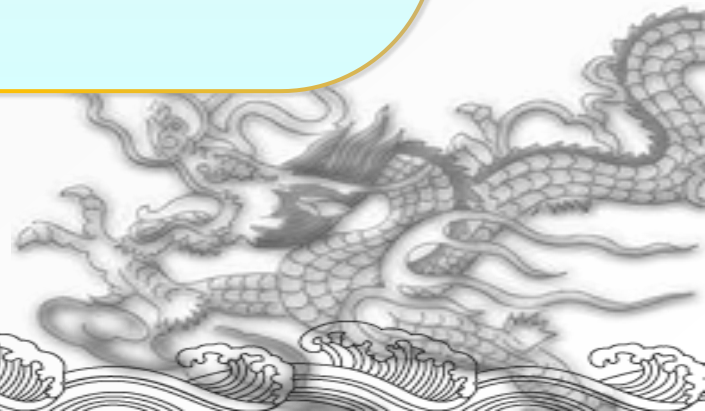
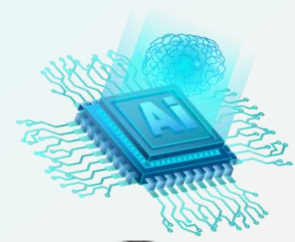


# 第6章 时序逻辑电路



## 本章导读：

数字逻辑电路按其是否具有记忆功能分为组合逻辑电路和时序逻辑电路两大类型，**时序逻辑电路**是相对于组合逻辑电路而言的，**其特点是电路某一时刻的输出，不仅仅由该时刻的输入所决定，而且和电路先前的输出状态有关**，即时序逻辑电路是有反馈的。构成组合逻辑电路的基本单元是门电路，构成时序逻辑电路的基本单元是触发器。本章主要讨论时序电路的分析、设计方法及常用的时序集成逻辑器件。



## 6.1 触发器的概念、特点和分类

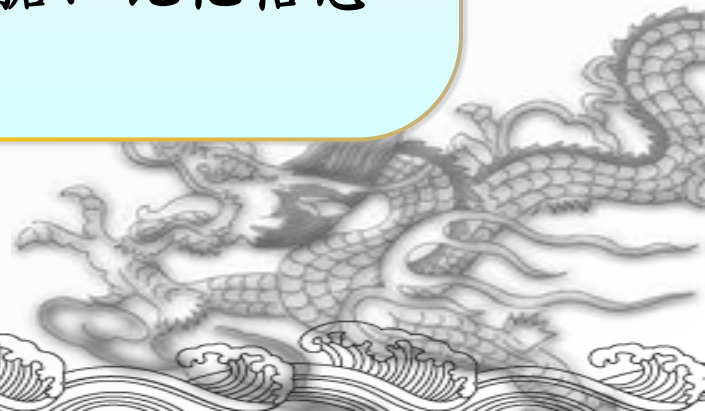
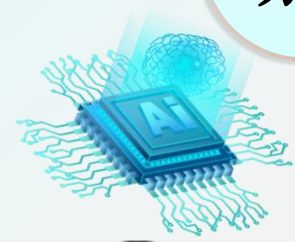
触发器是组成计算机的重要元件，本节介绍触发器的概念、特点和分类。

### 6.1.1 触发器的概念和特点

#### 1. 触发器的概念

**触发器**是存储1位二值（0或1）信息的基本逻辑单元，具有自行保存两个稳定状态，可根据输入值实现置1或置0操作。基本RS触发器是最简单的触发器，是实现其他功能触发器的基础。

触发器是时序逻辑电路的重要组成部分。它是由逻辑门加反馈线构成的，具有存储数据、记忆信息等功能。触发器的存储数据、记忆信息功能是门电路所不具有的。



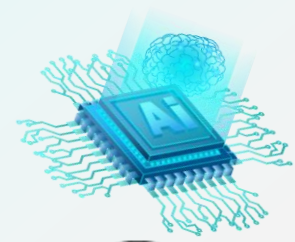
## 2. 触发器的特点

触发器是一种具有记忆功能的电子元件，它具有如下特点：

(1) 触发器具有两个互补的输出端 $Q$ 和 $\bar{Q}$ ， $Q=0$ 、 $\bar{Q}=1$  或  $Q=1$ 、 $\bar{Q}=0$ 。

(2) 触发器有两个稳定状态，输出端 $Q=0$ 、 $\bar{Q}=1$ 称为触发器的“0”状态，输出端 $Q=1$ 、 $\bar{Q}=0$ 称为触发器的“1”状态。

(3) 在特定的输入信号的作用下，触发器可以从一个稳定状态转移到另一个稳定状态，输入信号撤销后，保持新的状态不变。通常把输入信号作用前的状态称为“现态”，记作 $Q^n$ （为了简单，现态的右上标 $n$ 省略，用 $Q$ 表示现态）；把输入信号作用后的状态称为“次态”，记作 $Q^{n+1}$ 。

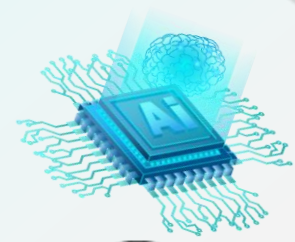




## 6.1.2 触发器的分类

按照不同方式可以对触发器进行**分类**。

- (1) 按触发器所使用晶体管的性质分类/按集成电路制作工艺分类：  
**BJT型集成电路触发器**（双极型集成触发器）；**MOS型集成触发器**；
- (2) 按触发器的工作方式分类：无时钟的触发器；有时钟的触发器；
- (3) 按电路结构形式分类：基本RS触发器；同步RS触发器；主从触发器；维持阻塞触发器；边沿触发器；
- (4) 按逻辑功能分类：**RS触发器**；**JK触发器**；**D触发器**；**T触发器**；  
不同类型的触发器都会有置0、置1、保持、翻转四种功能或其中的几种功能。



## 6.2 基本RS触发器

基本RS触发器是其他触发器的基础，学习触发器可以从RS触发器入门。

### 6.2.1 基本RS触发器的工作机理

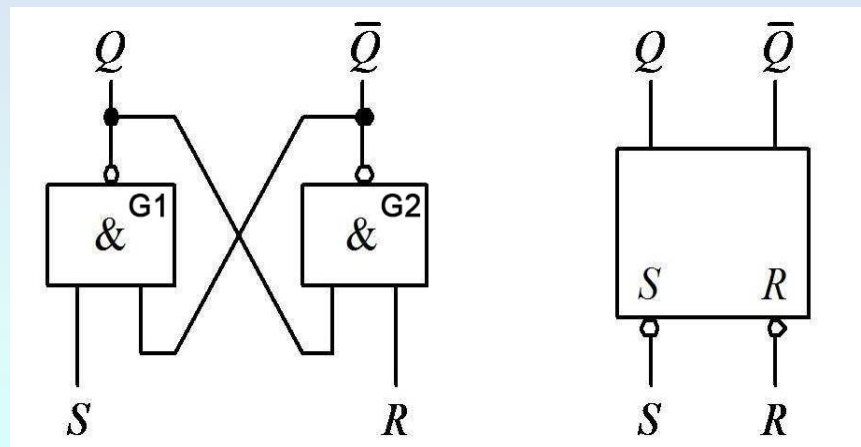
#### 1. 基本RS触发器的构成

**基本RS触发器**是具有复位（Reset）和置位（Set）功能的触发器，是一种最简单的触发器，是构成其它功能触发器的基本部件，故称为基本RS触发器。基本RS触发器可由两个与非门交叉耦合构成。

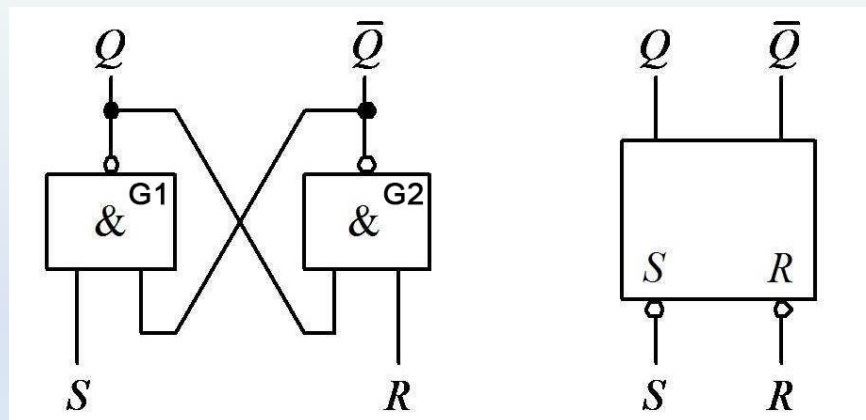
（1）它由2个与非门组成，每个与非门的输出又作为另一个与非门的一个输入

（2）2个与非门的输出分别定义为Q端和 $\bar{Q}$ 端， $Q=0$ 称触发器处于**0状态**； $Q=1$ 称触发器处于**1状态**。

（3）R端称为直接置0输入端，也叫**直接复位端**；S端称为直接置1输入端，也叫**直接置位端**。



## 2. 基本RS触发器的工作过程



**分析：**当触发器的输入端 $R=S=1$ ，即没有加触发信号时，假设此时触发器为0态（即 $Q=0$ 、 $\bar{Q}=1$ ），0经过反馈线送给G2门的输入，使 $\bar{Q}=1$ 。则 $\bar{Q}=1$ 这个信号又通过反馈线送给G1的输入，此时，G1门的两个输入均为1，则使G1门的输出仍然为0。即触发器0的状态不变

**继续分析：** $R=S=1$ ，设触发器为1态。**结论：**保持1。

**继续分析：** $S=0$ ， $R=1$ ，因0与未知数与运算结果为0，因此从 $S=0$ 开始分析，结论： $Q=1$ ，即置1。

**继续分析：** $S=1$ ， $R=0$ ，同理，从 $R=0$ 开始分析，结论： $Q=0$ ，即置0。

**继续分析：** $S=0$ ， $R=0$ ，结论： $Q$ 、 $\bar{Q}$ 不满足互补条件，不允许此种情况发生。



### 3. 基本RS触发器的功能表及次态方程

表6-1 基本RS触发器的功能

R	S	$Q^n$	$Q^{n+1}$	功能说明
0	1	×	0	置 0 (复位)
1	0	×	1	置 1 (置位)
1	1	Q	Q	保持
0	0	×	d	不定 (需要限制输入)



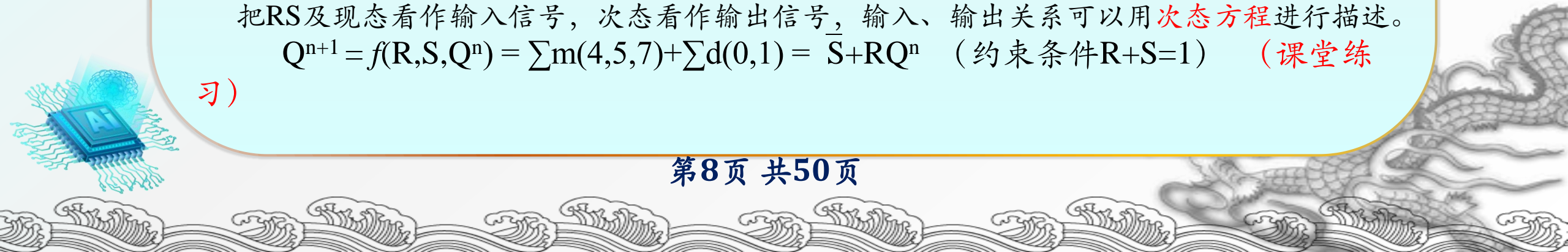
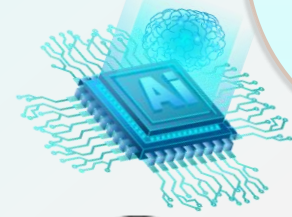
表6-2 基本RS触发器的真值表

R	S	$Q^n$	$Q^{n+1}$
0	0	0	d
0	0	1	d
0	1	0	0
0	1	1	0
1	0	0	1
1	0	1	1
1	1	0	0
1	1	1	1

把RS及现态看作输入信号，次态看作输出信号，输入、输出关系可以用次态方程进行描述。

$$Q^{n+1} = f(R, S, Q^n) = \sum m(4, 5, 7) + \sum d(0, 1) = \bar{S} + RQ^n \quad (\text{约束条件 } R + S = 1) \quad (\text{课堂练})$$

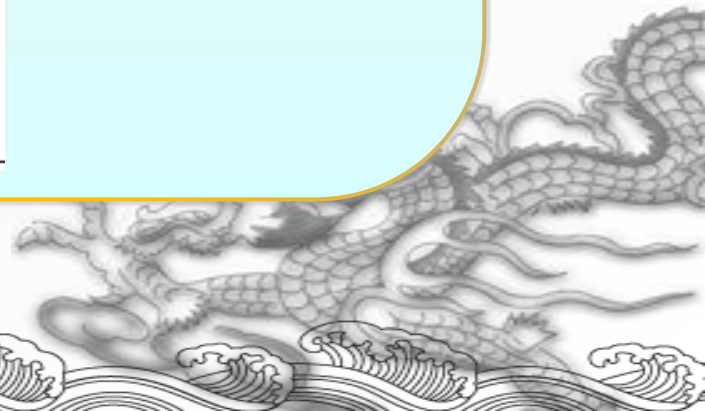
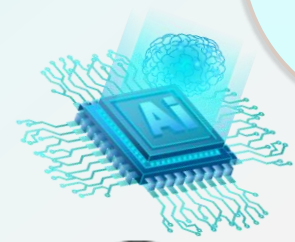
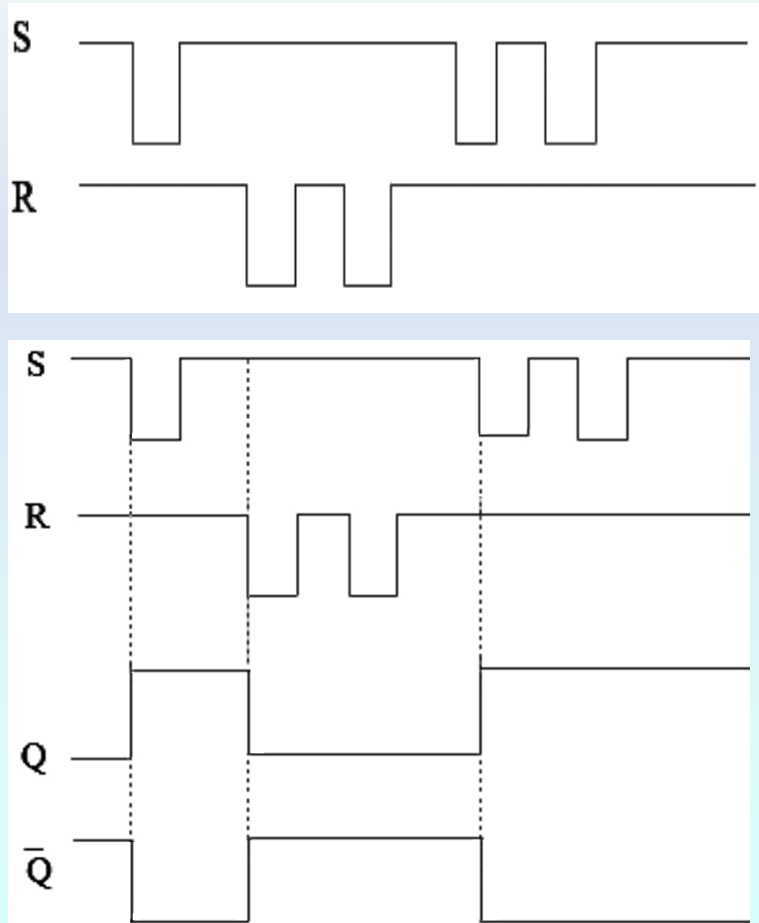
习)





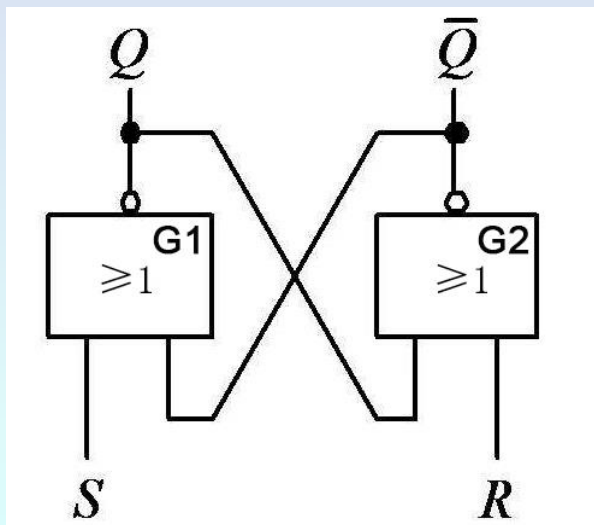
【例6-1】设基本RS触发器的初态为0，输入端R和S的电压波形如图所示，试画出Q和  $\bar{Q}$  端的输出波形。（课堂练习）

解：根据题意，触发器初态为0，即 $Q=0$ ， $\bar{Q}=1$ ，当输入信号和同时输入高电平时触发器保持0态不变；当R和S端有一端有低电平输入时，则使触发器分别置0和置1。触发器、电压波形如图所示。



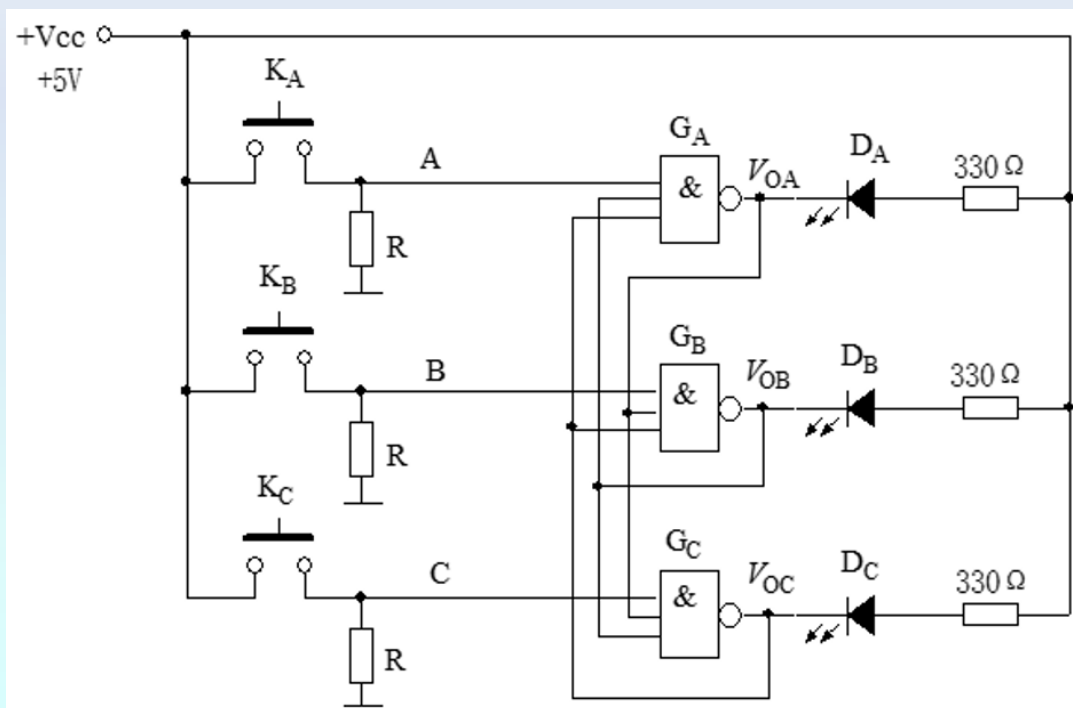
## 思考题（课堂）：

在图6-1中，如果用或非门替代图中的G1和G2，即用或非门构成基本RS触发器，如图所示。分析用或非门构成基本RS触发器的工作过程及次态方程，分析两种基本触发器的差异。

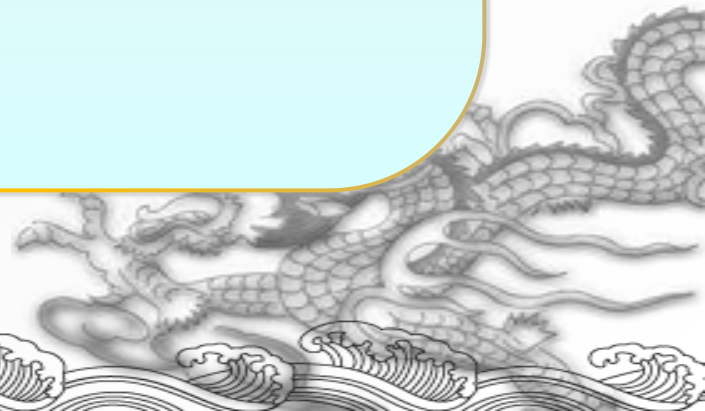


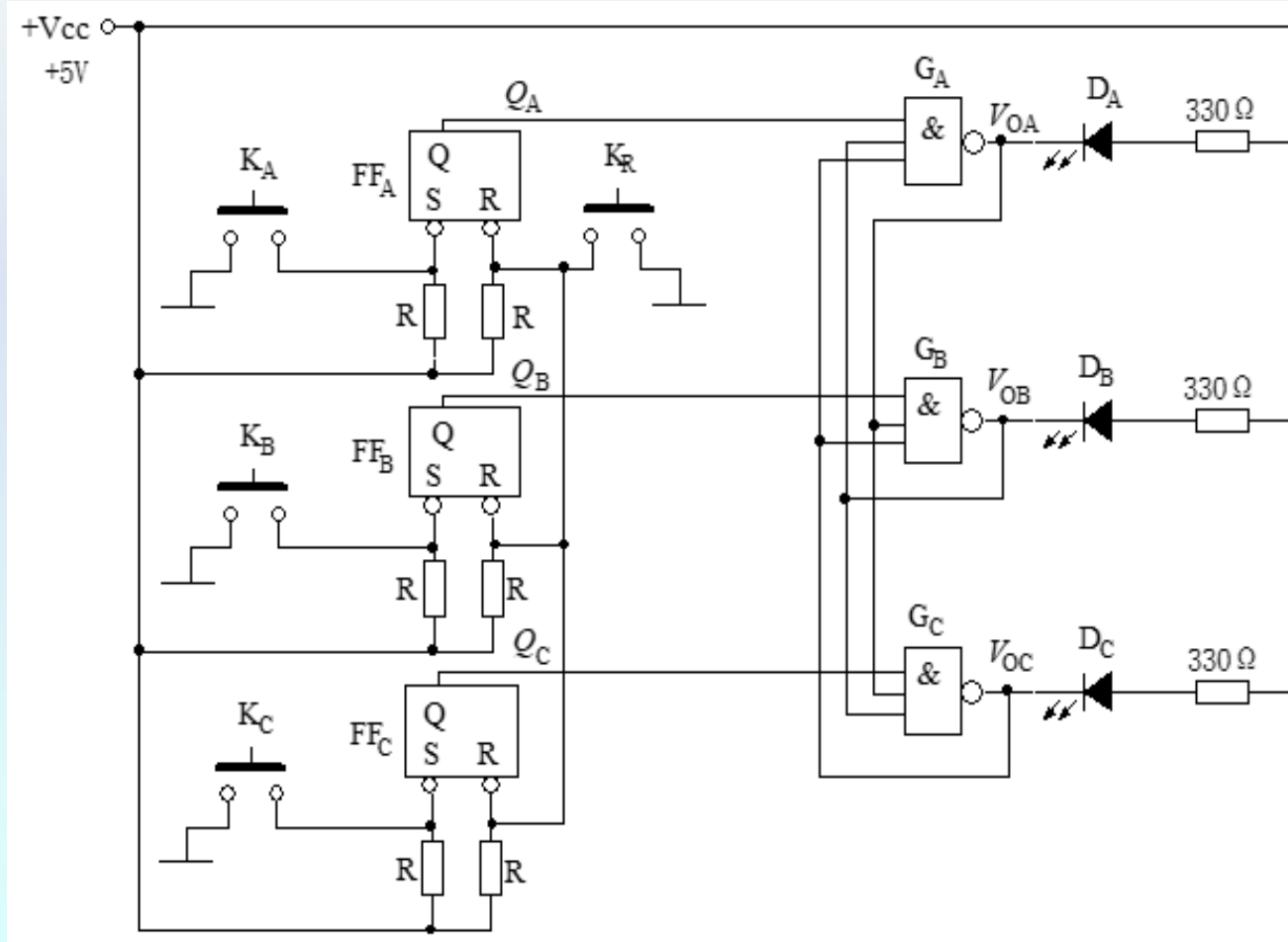
## 6.2.2 基本RS触发器应用举例

【例6-2】 设计一个3人抢答电路。3人A、B、C各控制一个按键开关 $K_A$ 、 $K_B$ 、 $K_C$ 和一个发光二极管 $D_A$ 、 $D_B$ 、 $D_C$ 。谁先按下开关，谁的发光二极管亮，同时使其他人的抢答信号无效。



问题：稳定性不够，抢到，手松开，其它的灯可能亮



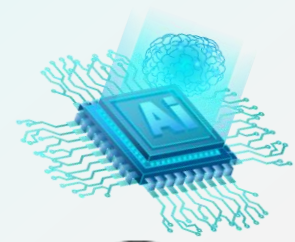


利用触发器的“记忆”作用，使抢答电路工作更可靠、稳定。



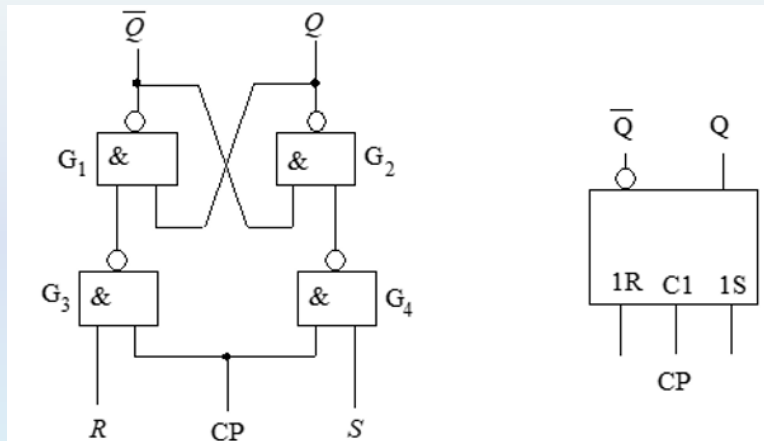
## 6.3 时钟控制功能触发器

基本的RS触发器的一个特点是触发器状态直接受输入信号R、S控制，一旦输入信号变化，触发器状态也会随之发生变化。实际应用中，往往要求触发器按一定的时间节拍变化，即让输入信号的作用受到**时钟脉冲**CP (Clock Pulse) 的控制。为此，给触发器加一个时钟控制端CP，只有在CP端上出现时钟脉冲时，触发器的状态才能变化。具有时钟脉冲控制的触发器状态的改变与时钟脉冲同步，所以也称为**同步触发器**。



## 6.3.1 时钟控制的RS触发器

### 1. 电路结构



### 2. 工作过程

当 $CP=0$ 时，控制门 $G_3$ 、 $G_4$  **关闭**，都输出1。这时，不管R端和S端的信号如何变化，触发器的状态保持不变。

当 $CP=1$ 时， $G_3$ 、 $G_4$  **打开**，R、S端的输入信号才能通过这两个门，使基本RS触发器的状态翻转，其输出状态由R、S端的输入信号决定。

**(功能表见书本)**

## 6.3.2 维持—阻塞边沿D触发器

边沿触发器不仅将触发器的触发翻转控制在**CP触发沿**到来的一瞬间，而且将接收输入信号的时间也控制在CP触发沿到来的前一瞬间，从而提高了触发器工作的可靠性和抗干扰能力。维持—阻塞边沿D触发器通过引入维持反馈线、阻塞反馈线实现触发器边沿触发效果。

### 1. D触发器的逻辑功能

表6-4 D触发器的功能表

$D$	$Q^n$	$Q^{n+1}$	功能说明
0	0	0	输出状态与 D 状态相同
0	1	0	
1	0	1	
1	1	1	

D触发器的特性方程为： $Q^{n+1}=D$

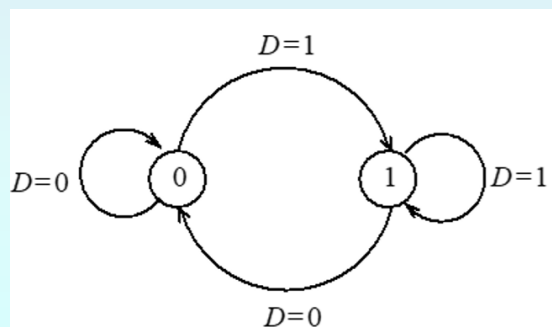


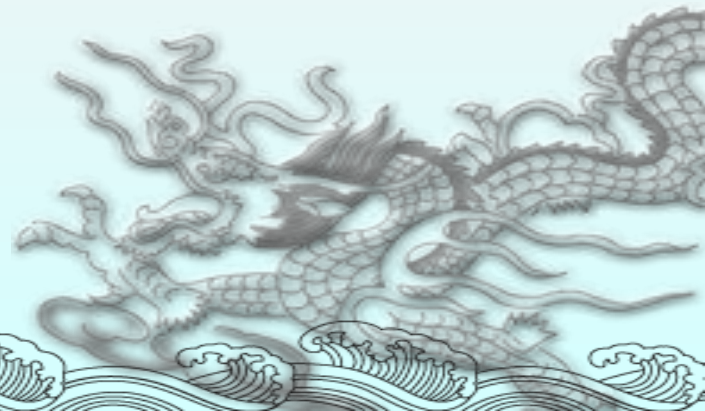
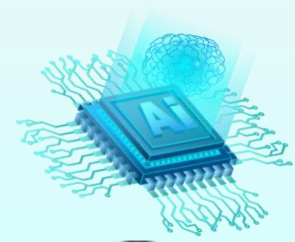
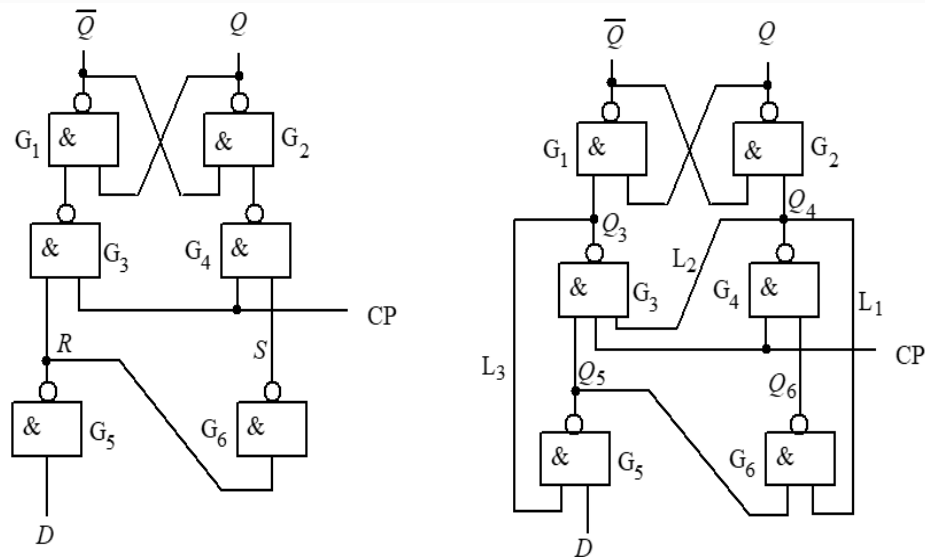
表6-5 D触发器的驱动表

$Q^n \rightarrow Q^{n+1}$	$D$
0     0	0
0     1	1
1     0	0
1     1	1

## 2. 维持—阻塞边沿D触发器的结构及工作原理

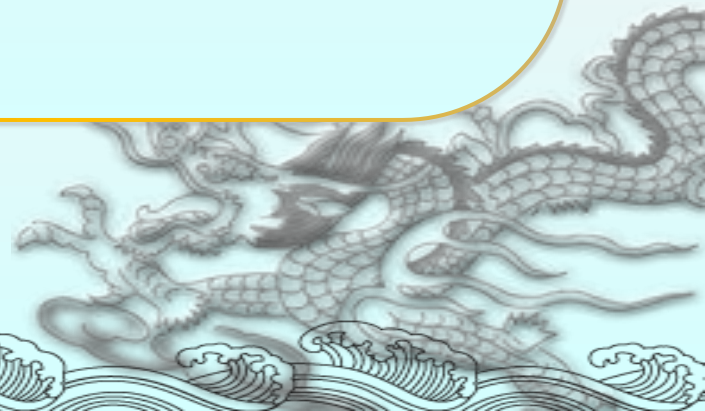
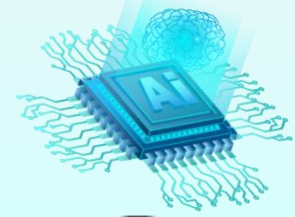
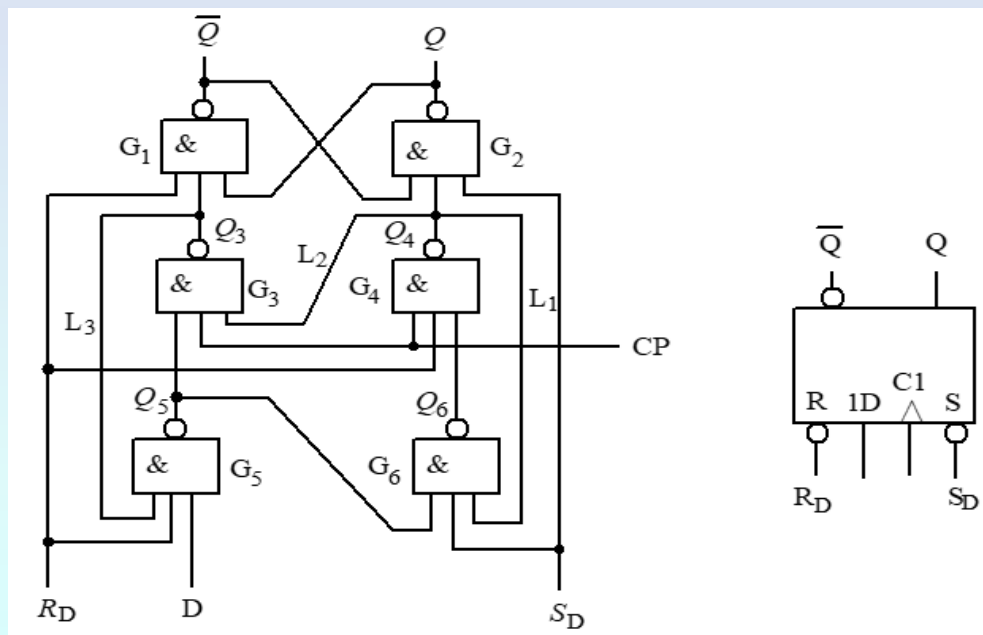
**(1) 输入D=1。**在 $CP=0$ 时,  $G_3$ 、 $G_4$ 被封锁 $\rightarrow Q_3=1$ 、 $Q_4=1 \rightarrow G_1$ 、 $G_2$ 组成的基本RS触发器保持原状态不变。因 $D=1$ ,  $L_3=Q_3=1 \rightarrow Q_5=0 \rightarrow Q_3=1$ ,  $Q_6=1$ 。当CP由0变1时(上升沿),  $G_4$ 输入全1 $\rightarrow Q_4=0 \rightarrow Q=1$ ,  $\bar{Q}=0$ , 完成了使触发器翻转为1状态的全过程。同时, 因 $Q_4=0 \rightarrow L_1=0 \rightarrow$ 封锁了 $G_6$ 门 $\rightarrow$ 若此时D信号由1变为0, 只会影响 $G_5$ 的输出, 不会影响 $G_6$ 的输出, 维持了触发器的1状态。因此, 称 $L_1$ 线为置1维持线。同理, 因 $Q_4=0 \rightarrow L_2=0 \rightarrow$ 封锁了 $G_3$ 门, 从而阻塞了置0通路, 故称 $L_2$ 线为置0阻塞线。

**(2) 同理分析输入D=0。**在当CP由0变1时(上升沿), 触发器翻转为0, 且可保持。





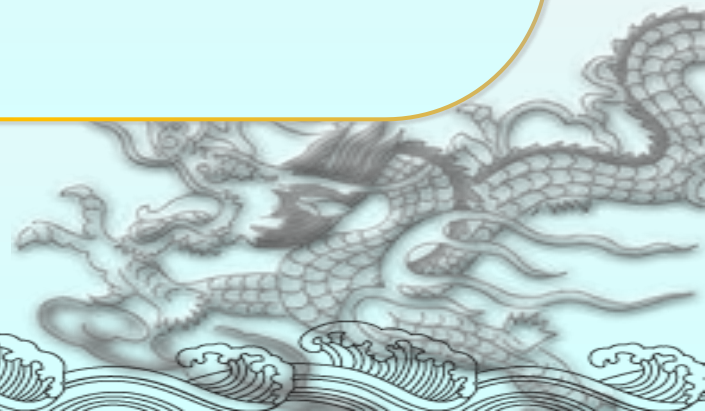
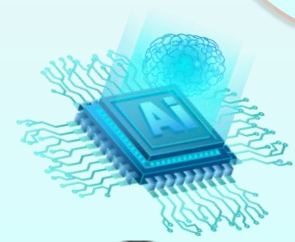
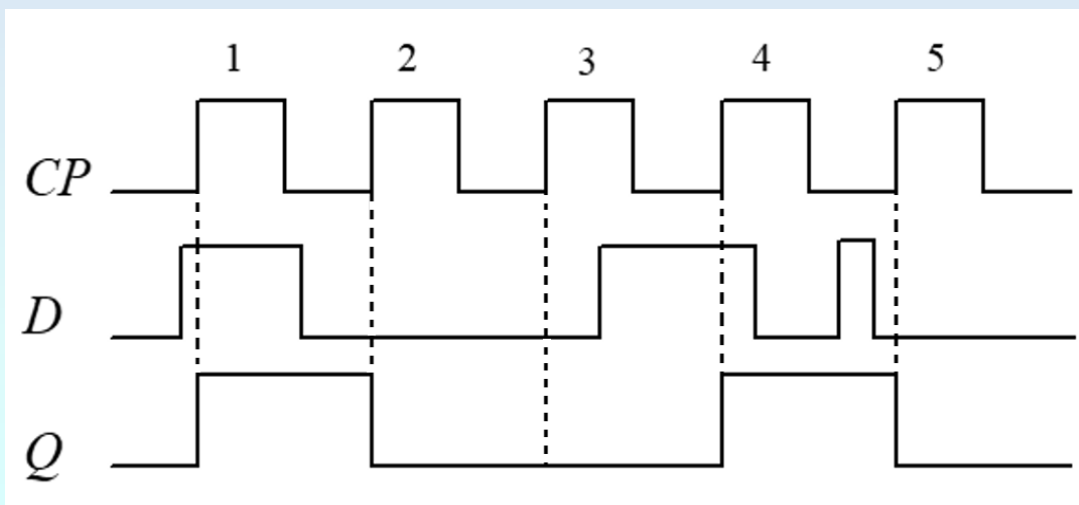
**(3) 触发器的直接置0和置1端。**如图6-14为带有RD和SD端的维持—阻塞D触发器， $R_D$ 为直接置0端， $S_D$ 为直接置1端。该电路 $R_D$ 和 $S_D$ 端都为低电平有效。 $R_D$ 和 $S_D$ 信号不受时钟信号CP的制约，具有最高的优先级。 $R_D$ 和 $S_D$ 的作用主要是用来给触发器设置初始状态，或对触发器的状态进行特殊的控制。在使用时要注意，任何时刻，只能一个信号有效，不能同时有效。。



【例6-3】维持—阻塞D触发器初始状态为0，**上升沿触发**，已知输入 $D$ 的波形图如图所示，画出输出 $Q$ 的波形图。（**熟练掌握**）

解：由于是边沿触发器，在波形图时，应注意以下两点：

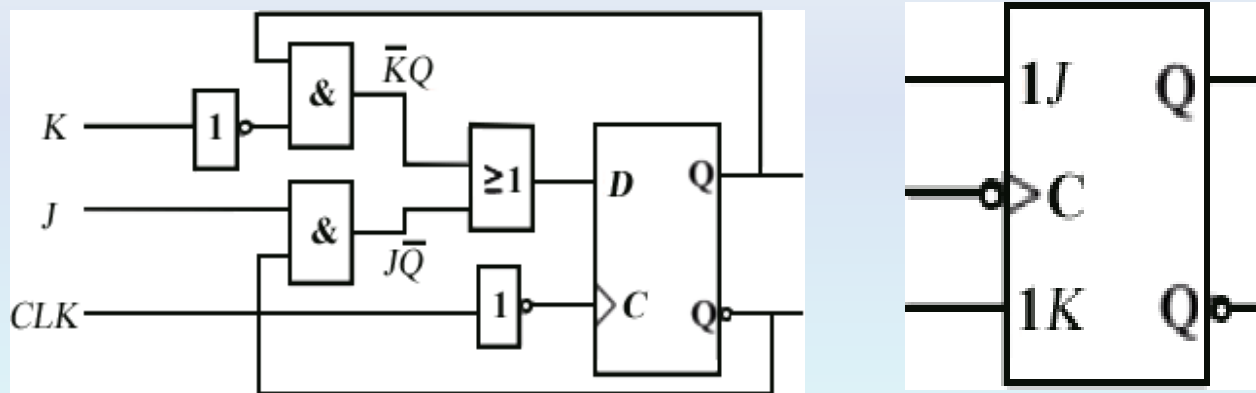
- (1) 触发器的触发翻转发生在时钟脉冲的触发沿（这里是上升沿）。
  - (2) 判断触发器次态的依据是时钟脉冲触发沿前一瞬间（这里是上升沿前一瞬间）输入端的状态。
- 根据D触发器的功能表或特性方程或状态转换图可画出输出端 $Q$ 的波形图如图所示。



## 6.3.3 边沿JK触发器

JK触发器是一种应用很灵活的触发器，它有两个输入端J和K信号，在输入信号的作用下，触发器的状态发生变化。JK触发器有多种实现方法，我们选用了一种容易理解的构建方法，让大家重点理解JK触发器的功能特点。

### 1. 电路结构

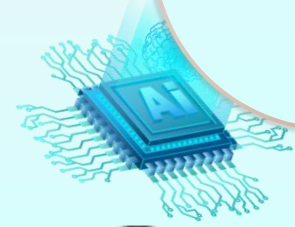


由电路结构可以得到JK触发器的特性方程：
$$Q^{n+1} = J\overline{Q}^n + \overline{K}Q^n$$
  
(根据D触发器 $Q=D$ )

## 2. 逻辑功能

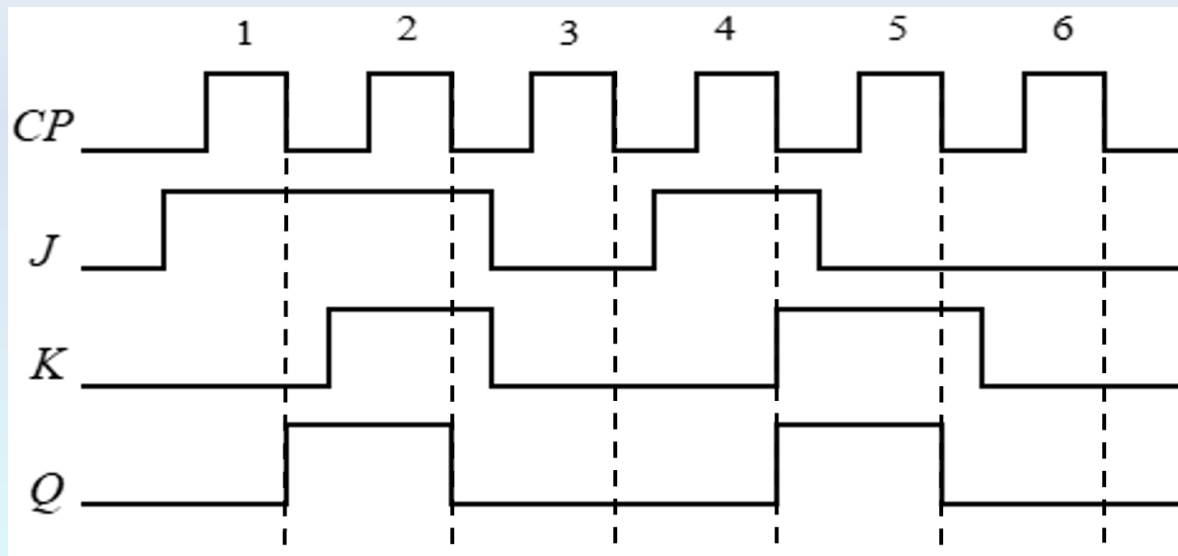
表6-6 JK触发器的功能表

$J$	$K$	$Q^n$	$Q^{n+1}$	功能说明
0	0	0	0	保持原状态
0	0	1	1	
0	1	0	0	清 0
0	1	1	0	
1	0	0	1	置 1
1	0	1	1	
1	1	0	1	在每个脉冲的下降沿，输出状态改变一次（翻转）
1	1	1	0	





【例6-4】设边沿JK触发器的初始状态为0，已知输入 $J$ 、 $K$ 的波形图如图，画出输出 $Q$ 的波形图。（注意改正）

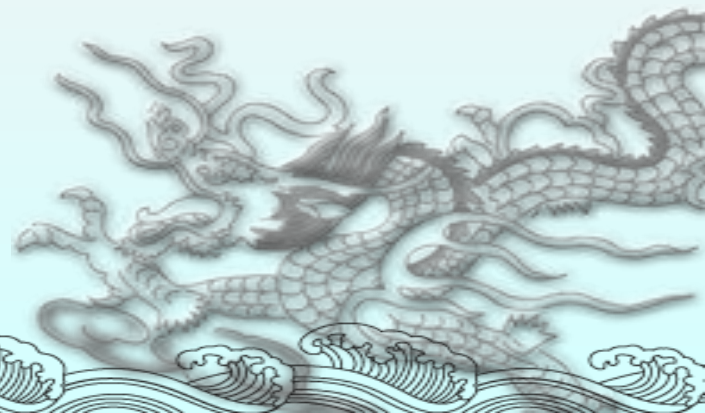
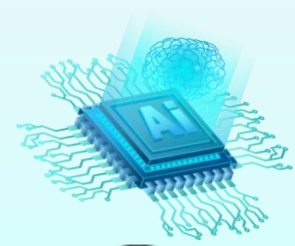


在画主从触发器的波形图时，应注意以下两点：

- (1) 触发器的触发翻转发生在时钟脉冲的触发沿（这里是下降沿）。
- (2) 在 $CP=1$ 期间，如果输入信号的状态没有改变，判断触发器次态的依据是时钟脉冲下降沿前一瞬间输入端的状态。

## 6.4 时序逻辑电路分析和设计方法

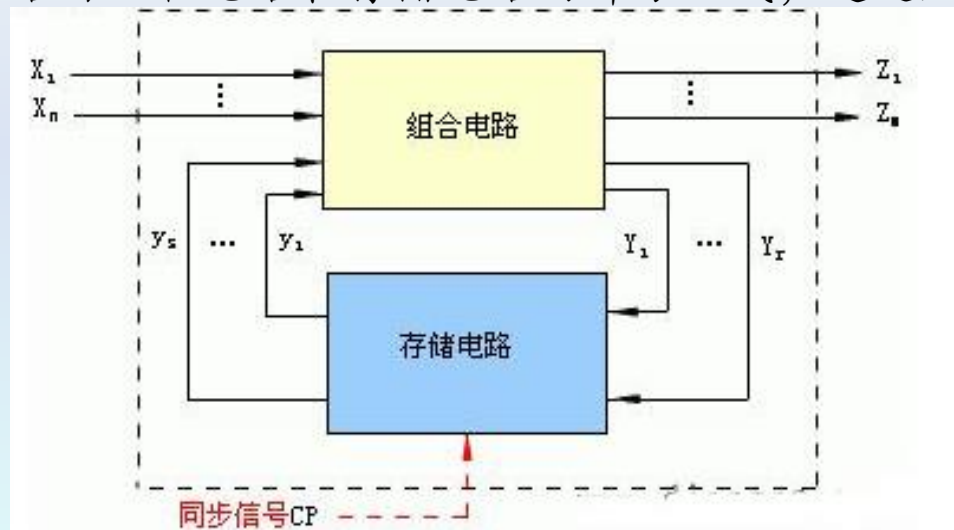
时序逻辑电路分析是对给定的电路分析其具有的逻辑功能，找出电路的状态和输出状态在输入变量和时钟信号作用下的变化规律。



## 6.4.1 时序逻辑电路模型

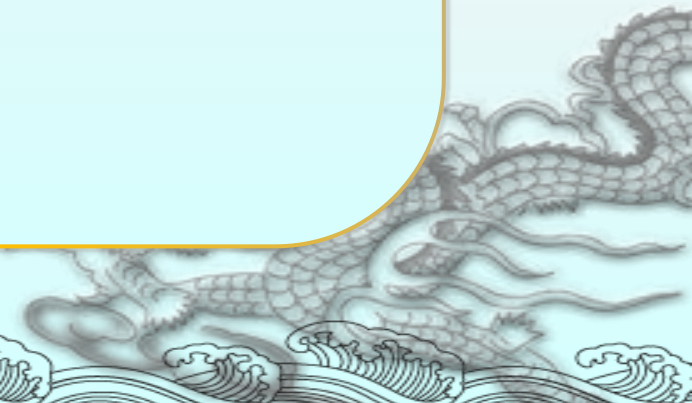
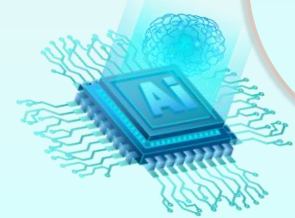
### 1. 时序逻辑电路的电路结构

时序逻辑电路由组合电路和存储电路两部分组成，通过反馈回路将两部分连成一个整体。



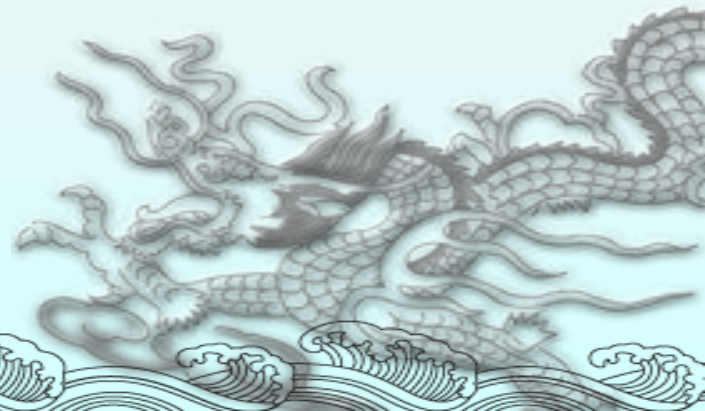
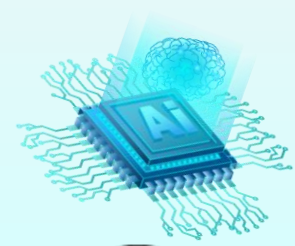
时序逻辑电路具有如下特征：

- (1) 电路由组合电路和存储电路组成，具有对过去输入进行记忆的功能；
- (2) 电路中包含反馈回路，通过反馈使电路功能与“时序”相关；
- (3) 电路的输出由电路当时的输入和状态（过去的输入）共同决定。



## 2. 时序逻辑电路的分类

时序逻辑电路按存储电路中的触发器是否同时动作分为**同步时序逻辑电路**和**异步时序逻辑电路**两种。**在同步时序逻辑电路中**，所有的触发器都由同一个时钟脉冲CP控制，状态变化同时进行。而**在异步时序逻辑电路中**，各触发器没有统一的时钟脉冲信号，状态变化不是同时发生的，而是有先有后。





## 3. 时序逻辑电路逻辑功能的描述方法

用于描述触发器逻辑功能的各种方法，一般也适用于描述时序逻辑电路的逻辑功能，主要有以下几种。

(1) **逻辑表达式**。图6-27中的几种信号之间的逻辑关系可用下列逻辑表达式来描述：

$Z = G(X, Q^n)$  (存储电路的驱动方程：触发器引脚信号与输入的关系)

$Q^{n+1} = H(Z, Q^n)$  (状态方程： $Q^{n+1}$ 与 $Z$ 、 $Q^n$ 的关系)

$Y = F(X, Q^n)$  (输出方程：输入输出之间的关系，不仅与输入有关，还与现态有关)

(2) **状态转换真值表**。状态转换真值表反映了时序逻辑电路的输出 $Y$ 、次态 $Q^{n+1}$ 与其输入 $X$ 、现态 $Q^n$ 的对应关系，又称状态转换表。状态转换表可由逻辑表达式获得。

(3) **状态转换图**。状态转换图又称状态图，是状态转换表的图形表示，它反映了时序逻辑电路状态的转换与输入、输出取值的规律。

(4) **波形图**。波形图又称为时序图，是电路在时钟脉冲序列 $CP$ 的作用下，电路的状态、输出随时间变化的波形。应用波形图，便于通过实验的方法检查时序逻辑电路的逻辑功能。



## 6.4.2 时序逻辑电路分析方法

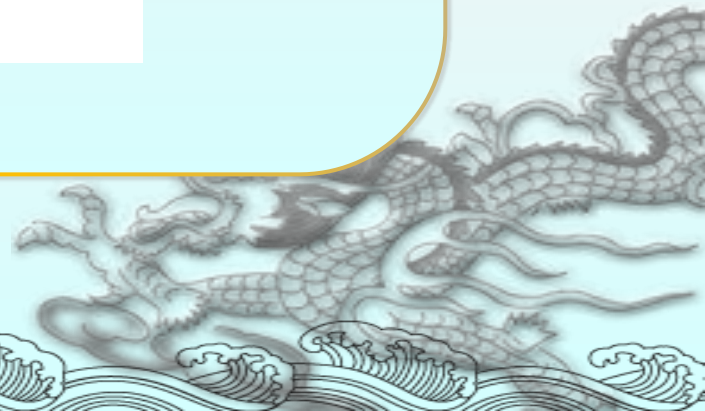
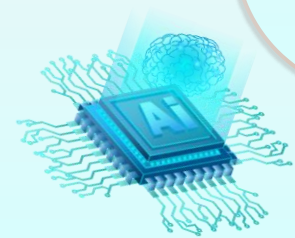
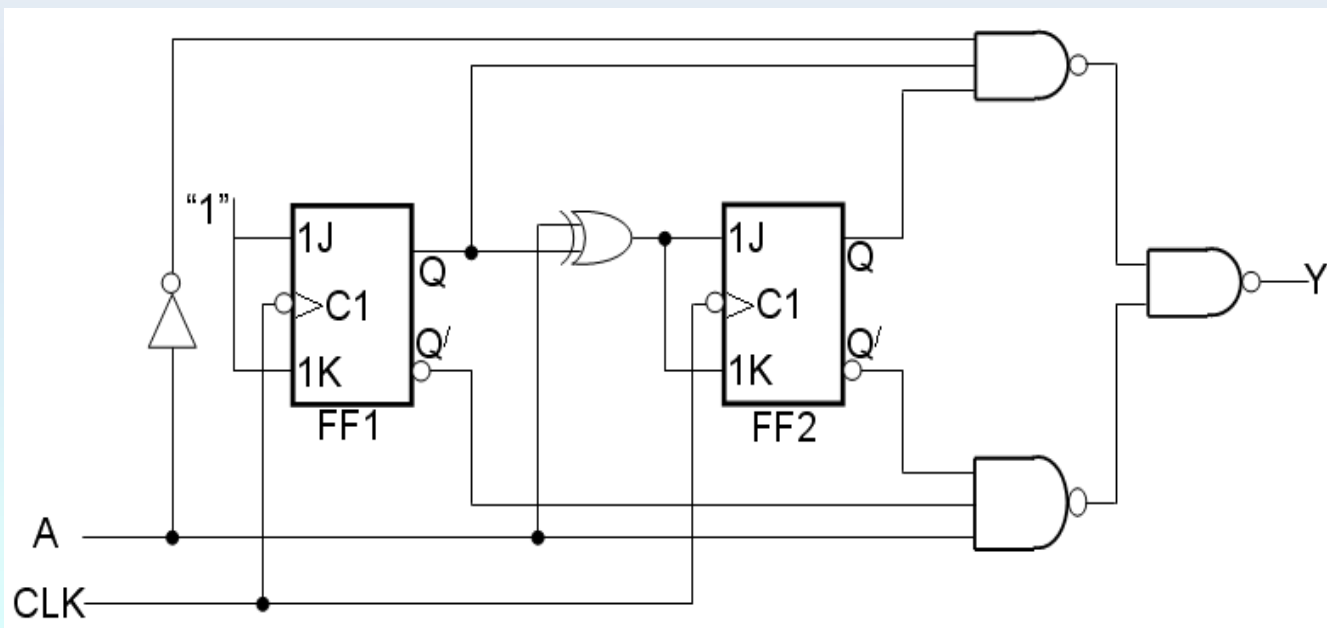
分析时序逻辑电路就是找出给定时序逻辑电路的逻辑功能和工作特点。分析同步时序逻辑电路时可不考虑时钟，分析步骤如下：

- (1) 根据给定电路写出其驱动方程、状态方程、输出方程；
- (2) 将各驱动方程代入相应触发器的特性方程，得出与电路相一致的状态方程。
- (3) 进行状态计算。把电路的输入和现态各种可能取值组合代入状态方程和输出方程进行计算，得到相应的次态和输出。
- (4) 列状态转换表。画状态图或时序图。
- (5) 用文字描述电路的逻辑功能。



### 6.4.3 时序逻辑电路分析举例

**【例6-5】** 分析下图时序逻辑电路。



解:

(1) 列出驱动方程:

$$J_1 = K_1 = 1$$

$$J_2 = K_2 = A \oplus Q_1 = A \bar{Q}_1 + \bar{A} Q_1$$

(2) 列出状态方程:

将驱动方程代入JK触发器的特性方程  $Q^{n+1} = J \bar{Q} + \bar{K} Q$  得:

$$Q_1^{n+1} = \bar{Q}_1$$

$$Q_2^{n+1} = J_2 \bar{Q}_2 + \bar{K}_2 Q_2$$

$$= A \bar{Q}_1 \bar{Q}_2 + \bar{A} Q_1 \bar{Q}_2 + \bar{A} \bar{Q}_1 Q_2 + A Q_1 Q_2$$

(3) 列出输出方程:

$$Y = A \bar{Q}_1 \bar{Q}_2 + \bar{A} Q_1 Q_2$$

(4) 列出状态转换表:

① 当A=1时:

$$Q_1^{n+1} = \bar{Q}_1; Q_2^{n+1} = \bar{Q}_1 \bar{Q}_2 + Q_1 Q_2; Y = \bar{Q}_1 \bar{Q}_2$$

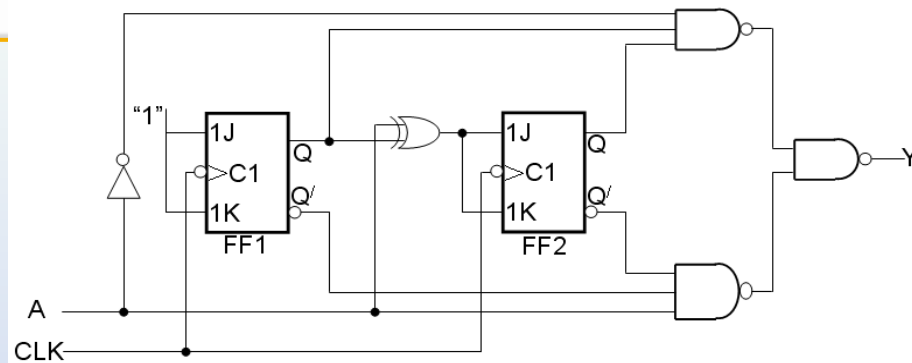
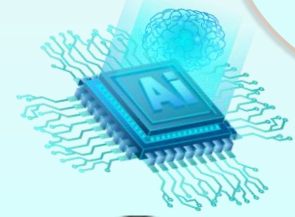


表6-7 A=1时的状态转换表

$Q_2 Q_1$	$Q_2^{n+1} Q_1^{n+1}$	$Y$
00	11	1
11	10	0
10	01	0
01	00	0





② 当A=0时:

$$Q_1^{n+1} = \bar{Q}_1; Q_2^{n+1} = Q_1 \bar{Q}_2 + \bar{Q}_1 Q_2; Y = Q_1 Q_2$$

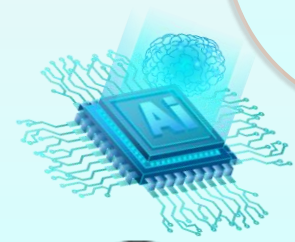
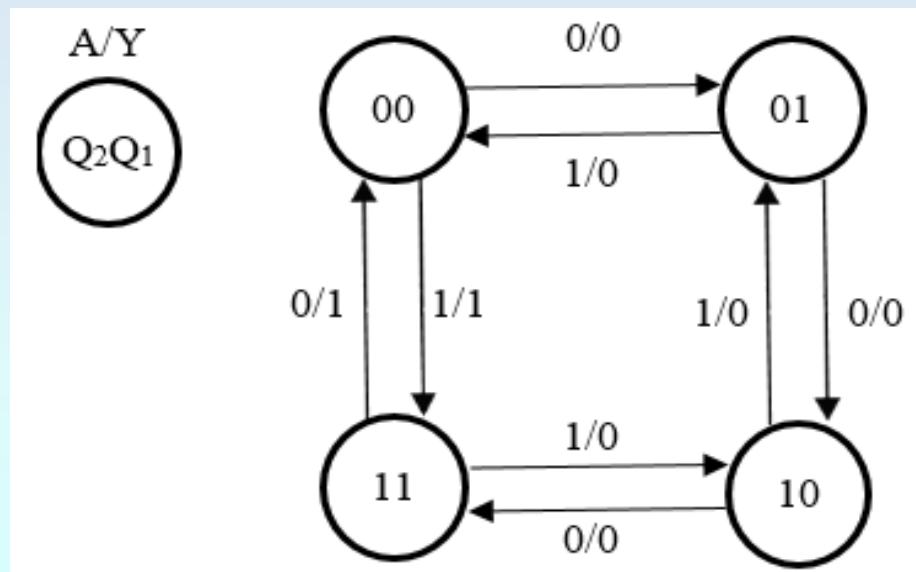
表6-8 A=0时的状态转换表

$Q_2 Q_1$	$Q_2^{n+1} Q_1^{n+1}$	Y
00	01	0
01	10	0
10	11	0
11	00	1

(5) 画状态转换图:

(内圈A=1, 脉冲减法计数)

(外圈A=0, 脉冲加法计数)



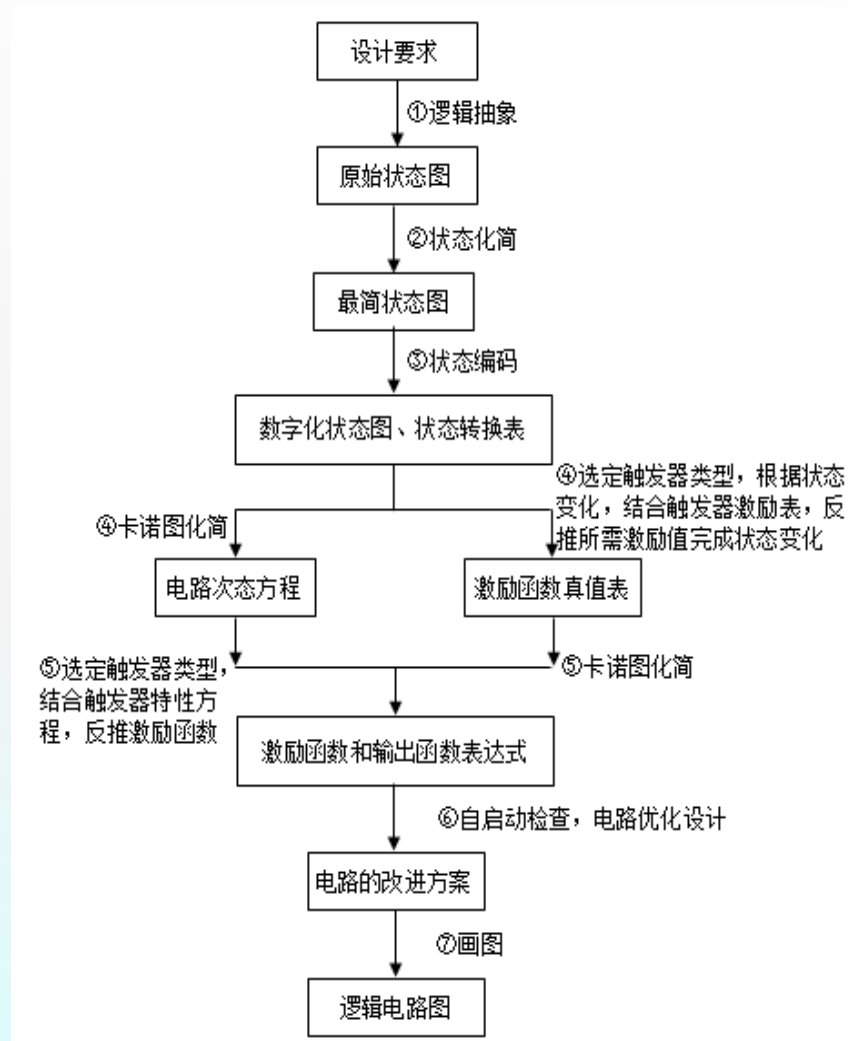
(6) 说明电路实现的逻辑功能：

此电路是一个可逆4进制（二位二进制）计数器，CLK是计数脉冲输入端，A是加减控制端，Y是进位和借位输出端。当控制输入端A为低电平0时，对输入的脉冲进行加法计数，计满4个脉冲，Y输出端输出一个高电平进位信号。当控制输入端A为高电平1时，对输入的脉冲进行减法计数，计满4个脉冲，Y输出端输出一个高电平借位信号。



## 6.4.4 时序逻辑电路设计方法（了解）

时序逻辑电路的设计，就是从给定的逻辑功能入手，通过一系列的设计过程，最终得到电路的实现方案，即逻辑电路图。设计结果力求最简，使用小规模集成电路时所用的触发器与逻辑门最少，相应的输入端数目也最少；使用大规模集成电路时要求集成电路的数目与种类最少，相互之间的连线也最少。组合逻辑电路的设计过程，基本可看做分析的逆过程，类似的，同步时序电路的设计过程和分析过程之间，也有互逆的特点。



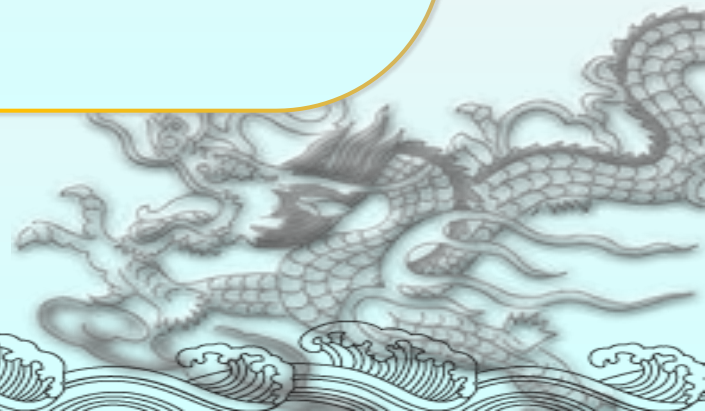
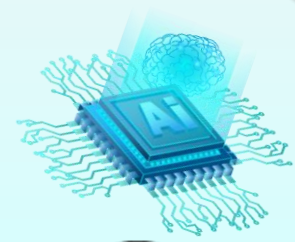


## 主要过程:

(1) **逻辑抽象**。根据逻辑要求,进行逻辑抽象,明确该电路的状态量的含义,并确定输入、输出变量和状态数;根据电路的逻辑功能,明确状态迁移关系,从而建立原始状态图。此过程中,重点在于找到电路的状态量,理解其含义。

(2) **状态化简**。在原始状态图中,若两个电路状态在相同的输入条件下,得到相同的次态结果和输出结果(即状态迁移关系相同),就称这两个状态为等价状态。等价状态是可以合并的,合并后,得到该电路的最简状态图。

(3) **状态编码**。根据最简状态图中,状态的数量,确定需要使用的触发器的数量,并用二进制代码表示各个状态,即对状态进行编码。至此,最初的设计要求已完全数学化,得到了一个完全数学化的状态图。设最简状态图中,状态个数为 $M$ ,需要使用的触发器个数为 $n$ ,则两者数量关系上满足: $2^{n-1} < M \leq 2^n$ 。同时,如果 $M \neq 2^n$ ,则意味着是从 $2^n$ 种状态中选取 $M$ 个,对电路的状态图进行赋值,这样的选择方案是不唯一的。如果选择的编码方案得当,则可以很大程度上简化设计过程和最终得到的电路结构,反之,如果选择不当,设计出来的电路就会比较复杂。因此,选择编码方案是有一定技巧性的。此外,这也意味着电路存在无效状态,那么,设计完成后,需要检查电路的自启动能力。





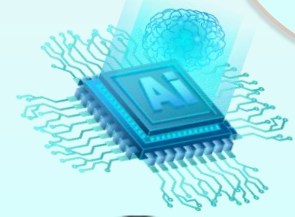
(4) **推导逻辑表达式**。根据编码后的状态图，得到逻辑表达式，即电路的输出方程和触发器的状态方程。这一步工作中，一般是将状态图转化为表示输出信号和次态的卡诺图，并进行卡诺图法化简，从而得到对应的输出方程和状态方程。

(5) **推导触发器的激励方程**。选定触发器的类型，根据电路的状态方程和选定触发器的标准特征方程，反推得到每个触发器的激励方程，即驱动函数。

因为各种触发器的驱动方式不同，所以，选用不同类型触发器，设计出的电路也不一样，确定触发器类型时，要考虑到器件的实际供应情况，并力求减少系统中使用的触发器种类。

(6) **检查电路的自启动能力**。如果存在无效状态，还需要检查电路的自启动能力。如果发现不具有自启动能力，则还需要对电路进行相应改进，使其具有自启动能力，提高电路工作的安全性。将电路工作中没有用到的误状态依次带入电路的状态方程，求得次态，从而得到其状态迁移关系，并补充入前面得到的最简状态图，形成所设计的电路的完整状态图，看无效状态和有效状态之间的关系。如果无效状态的迁移没有形成无效循环，而是和有效循环联系，则具有自启动能力。如果形成了无效循环，则不具有自启动能力。此时，电路设计方案还需要进一步改进，给出既完成逻辑功能又具有自启动能力的优化电路。

(7) **画图**。已知要设计是同步时序电路，且已确定触发器类型，又得到了与电路连接形式直接相关的输出方程和触发器的激励方程，根据这些结果，就可以方便地得到逻辑电路图。



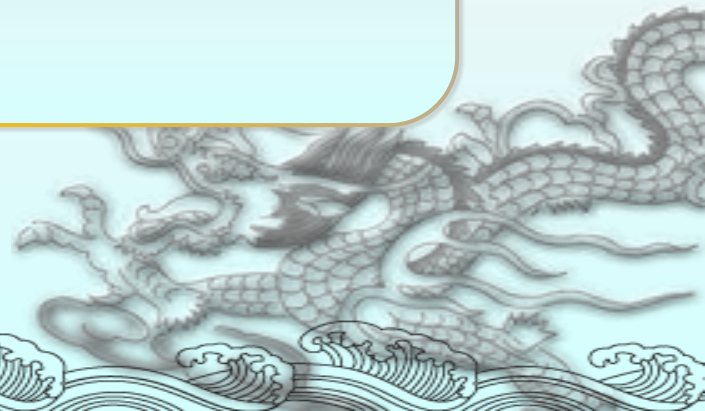
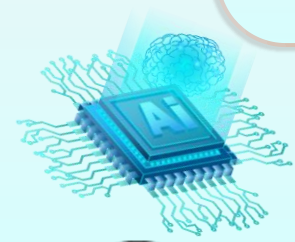
## 6.5 常用的时序逻辑模块

时序逻辑模块是利用多个触发器组合封装完成特定逻辑功能的时序逻辑功能电路，常用的时序逻辑模块包括计数器、寄存器、移位寄存器等。

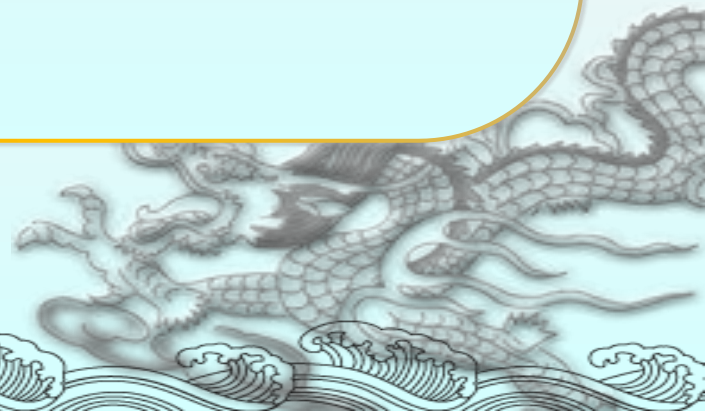
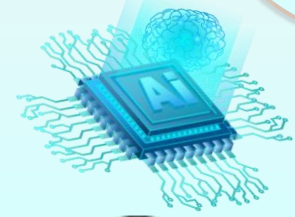
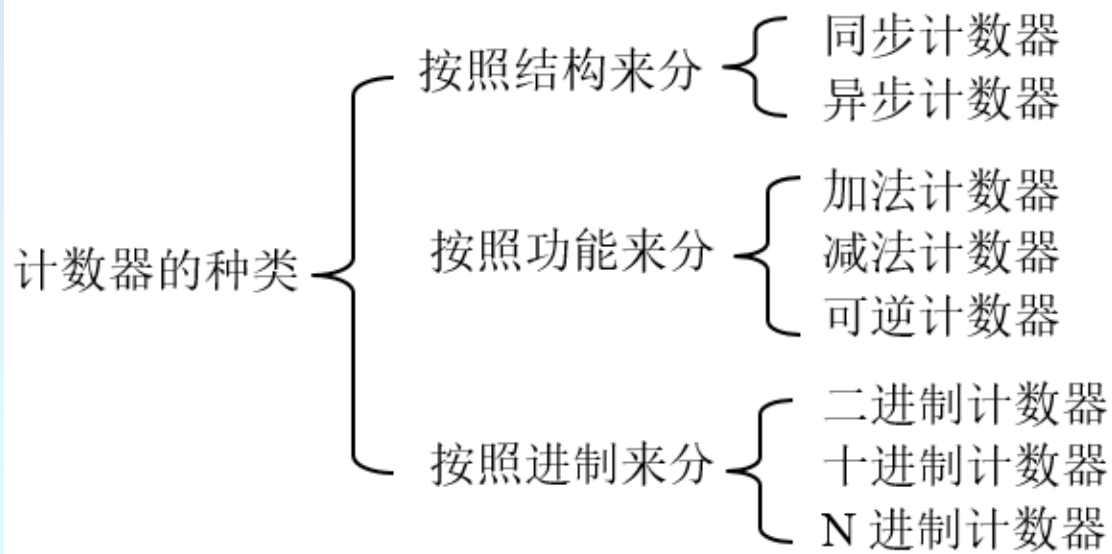
### 6.5.1 计数器

#### 1. 计数器的概念与分类

**基本概念与用途：**在数字电路中，把记忆输入CP脉冲个数的操作叫作**计数**，能实现计数操作的时序电路称为**计数器**。计数器是数字系统中使用非常广泛的**基本时序逻辑器件**，它不仅能记录输入时钟脉冲的个数，还可以实现**分频**、**定时**、产生节拍脉冲和脉冲序列等。例如，**计算机中的定时器**、时序发生器、分频器、指令计数器等都要使用计数器。



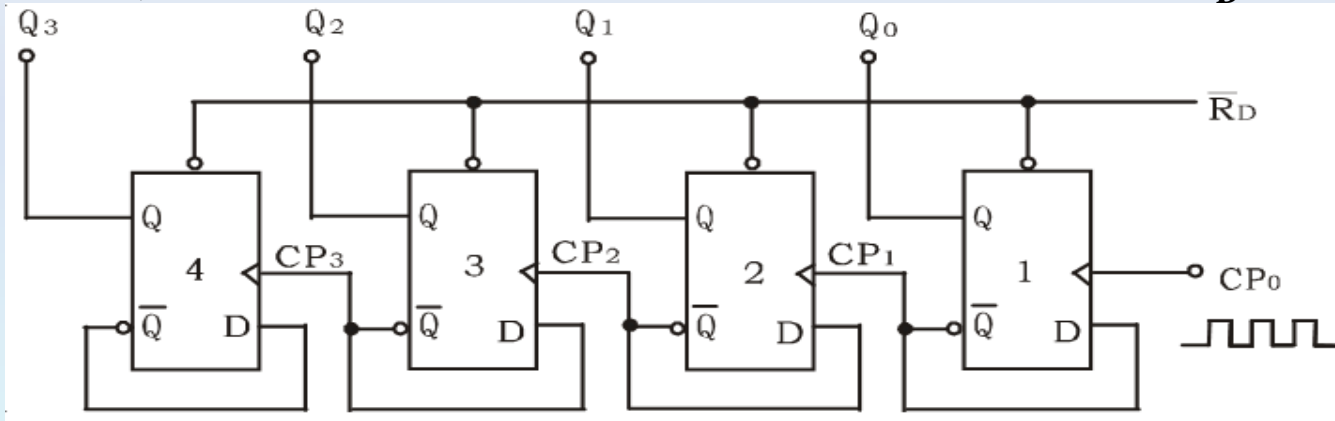
**分类：**计数器按计数进制不同，可分为二进制计数器、十进制计数器、其他进制计数器和可变进制计数器，若按计数单元中各触发器所接收计数脉冲和翻转顺序或计数功能来划分，则有异步计数器和同步计数器两大类，以及加法计数器、减法计数器、加/减计数器等，如按预置和清除方式来分，则有并行预置、直接预置、异步清除和同步清除等差别，按权码来分，则有“8421”码、“5421”码、余“3”码等计数器，按集成度来分，有单、双位计数器等。



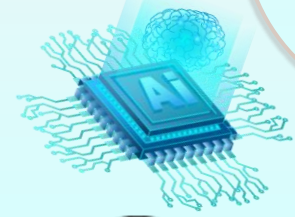


## 2. 异步二进制计数器

图中是用四只D触发器构成的四位二进制异步加法计数器，它的连接特点是将每只D触发器接成翻转触发器，再由低位触发器的 $\bar{Q}$ 端和高一位的CP端相连接。 $\bar{R}_D$ 为读线。



原理分析：上升沿触发，设初始 $Q_3Q_2Q_1Q_0=0000$ ，则 $D=1$ ， $CP_1=1$ ， $CP_2=CP_3=1$ ；  
CP<sub>0</sub>第一个脉冲上升沿 $CP_0=0 \rightarrow 1$ ： $Q_0=0 \rightarrow 1$ ， $CP_1=1 \rightarrow 0$ ， $Q_3Q_2Q_1Q_0=0001$   
CP<sub>0</sub>第二个脉冲上升沿 $CP_0=0 \rightarrow 1$ ： $Q_0=1 \rightarrow 0$ ， $CP_1=0 \rightarrow 1$ ， $Q_1=0 \rightarrow 1$ ， $CP_2=1 \rightarrow 0$ ， $Q_3Q_2Q_1Q_0=0010$   
CP<sub>0</sub>第三个脉冲上升沿 $CP_0=0 \rightarrow 1$ ： $Q_0=0 \rightarrow 1$ ， $CP_1=1 \rightarrow 0$ ， $Q_3Q_2Q_1Q_0=0011$   
CP<sub>0</sub>第四个脉冲上升沿 $CP_0=0 \rightarrow 1$ ： $Q_0=1 \rightarrow 0$ ， $CP_1=0 \rightarrow 1$ ， $Q_1=1 \rightarrow 0$ ， $CP_2=0 \rightarrow 1$ ， $Q_2=0 \rightarrow 1$ ，  
 $CP_3=1 \rightarrow 0$ ， $Q_3Q_2Q_1Q_0=0100$ ，……







3. 中规模集成计数器74LS161 (实验用)

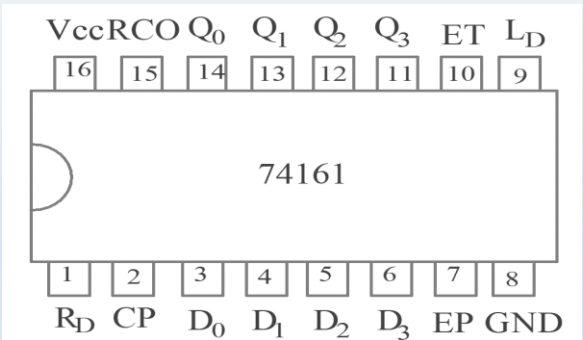
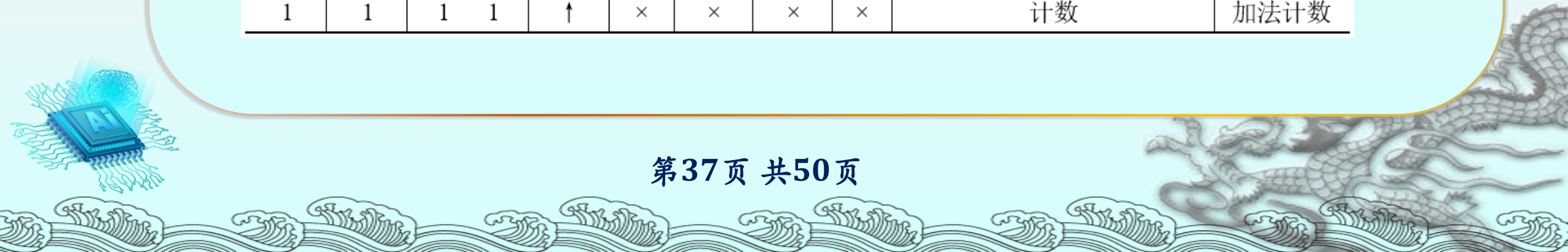
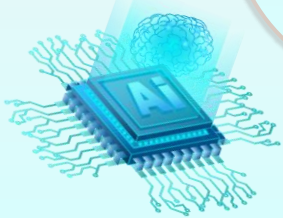
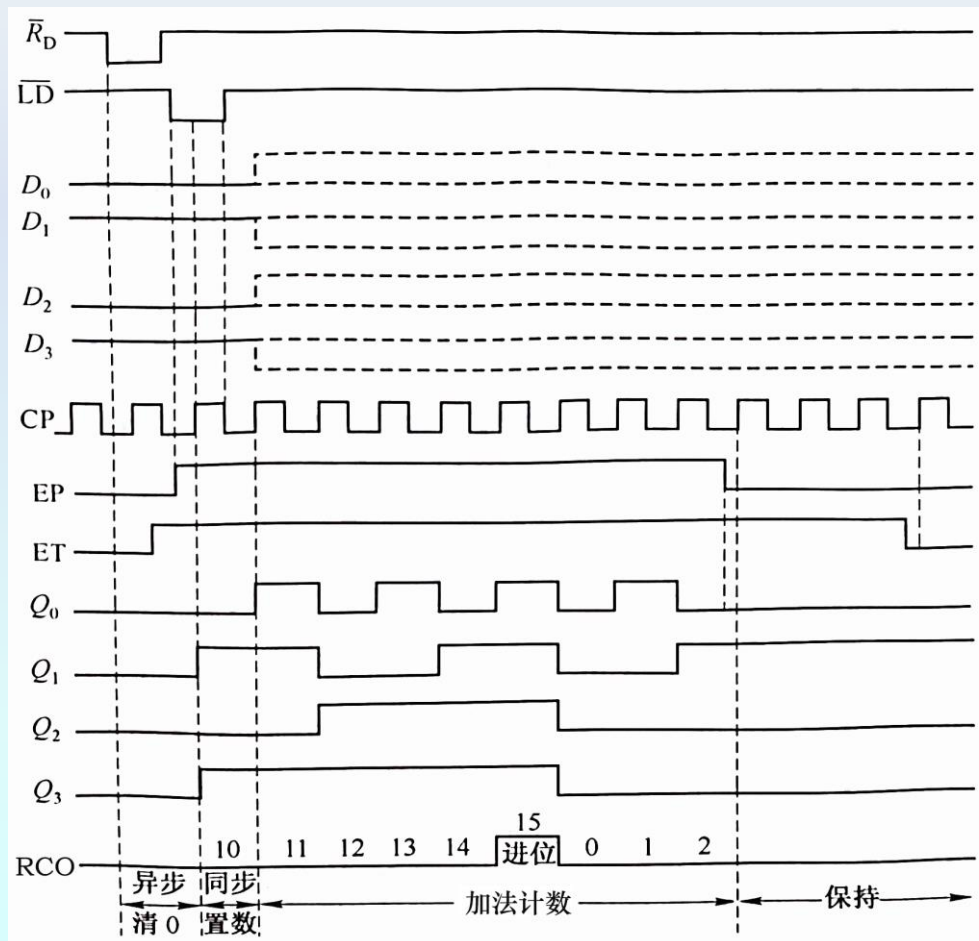


表6-13 74LS161的功能表

清零	预置	使能		时钟	输入				输出				工作模式
$\bar{R}_D$	$\bar{L}_D$	EP	ET	CP	D <sub>3</sub>	D <sub>2</sub>	D <sub>1</sub>	D <sub>0</sub>	Q <sub>3</sub>	Q <sub>2</sub>	Q <sub>1</sub>	Q <sub>0</sub>	
0	×	×	×	×	×	×	×	×	0	0	0	0	异步清零
1	0	×	×	↑	d <sub>3</sub>	d <sub>2</sub>	d <sub>1</sub>	d <sub>0</sub>	d <sub>3</sub>	d <sub>2</sub>	d <sub>1</sub>	d <sub>0</sub>	数码寄存
1	1	0	×	×	×	×	×	×	保持				数据保持
1	1	×	0	×	×	×	×	×	保持				数据保持
1	1	1	1	↑	×	×	×	×	计数				加法计数



## 74161工作波形图

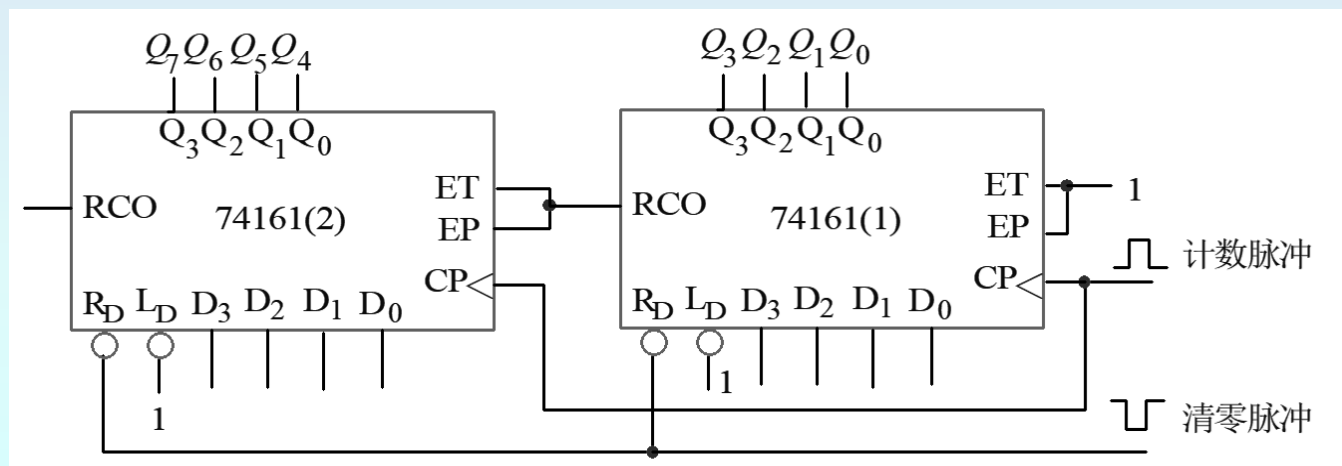


- (1) 在 $R_D$ 引脚为低电平时，异步清零。
- (2)  $D_3$ 、 $D_2$ 、 $D_1$ 、 $D_0$ 为数据输入端，当 $R_D=1$ ， $L_D=0$ 时，加在 $D_3\sim D_0$ 输入端的预置数在CP作用下被置入触发器 $Q_3\sim Q_0$ 。
- (3) 当 $R_D=1$ ， $L_D=1$ ， $ET=1$ ， $EP=1$ 时，74161实现加法计数；当 $Q_3Q_2Q_1Q_0=1111$ 时，RCO为1，再经过一个CP脉冲作用后， $Q_3Q_2Q_1Q_0=0000$ ，RCO产生1 $\rightarrow$ 0的下降沿，用这个下降沿作为进位输出信号。
- (4) 当 $R_D=1$ ， $L_D=1$ ， $ET\bullet EP=0$ 时，74161处于数据保持状态。

## 4. 计数器的级联使用

若所要求的计数值超过16，则可通过几片74161进行级联来实现，图6-28是两片74161同步级联，实现模为 $16 \times 16 = 256$ 的加法计数器。

两片74161的采用统一的CP信号，同时把74161(1)的进位输出RCO接到74161(2)的ET/EP端，平时RCO=0则74161(2)数据保持，不进行加法计数；当74161(1)计满( $Q_3Q_2Q_1Q_0=1111$ )时，RCO=1，最后一个CP使74161(1)清零，同时74161(2)计一个数，即74161(1)计满16个计数脉冲后向74161(2)进一位，从而实现模256的加法计数器。





## 6.5.2 基本寄存器（重点）

### 1. 寄存器的相关概念

**寄存：**把二进制数据和代码存储起来的过程。

**寄存器：**用于完成寄存功能，存储二进制数据和代码的电路。

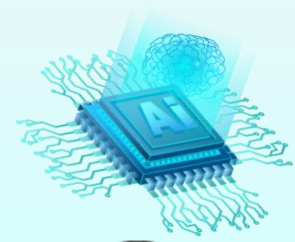
**寄存器的电路结构：**以触发器为核心单元；一个触发器能记忆一位二进制代码。

对于计算机系统来说，寄存器是一个非常重要的概念，计算机的核心部件CPU内部包含了诸多寄存器：通用寄存器、标志寄存器、指令寄存器等，用汇编语言编程就需要频繁使用通用寄存器。

从功能来看，寄存器可分为基本寄存器和移位寄存器等。

(1) 基本寄存器。完成对并行输入数据的存储，数据也只能并行输出，形成“并行输入、并行输出”的传输结构。存储单元采用基本触发器、同步触发器或边沿触发器均可构成。

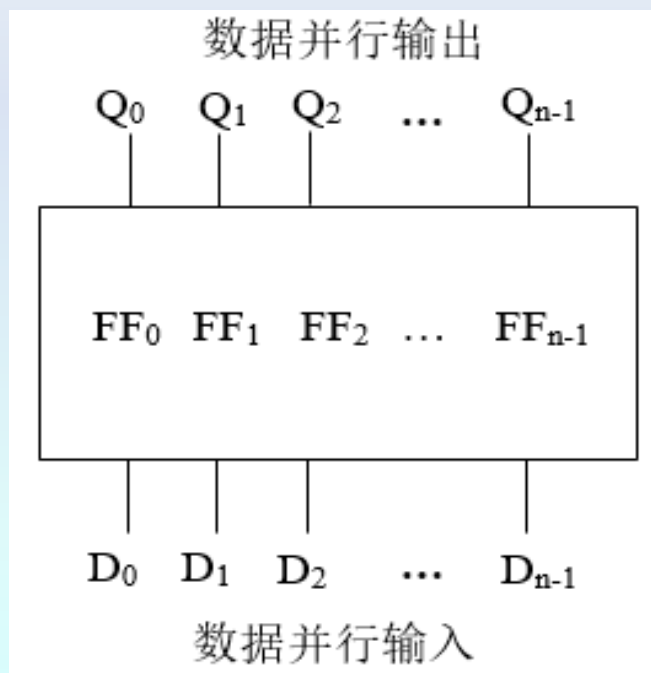
(2) 移位寄存器。既可以存储数据，又具有数据移位功能的寄存器，一般均设置了数据串行输入端和串行输出端，从而可以形成灵活的数据传输结构。存储单元只能用边沿触发器构成。





## 2. 基本寄存器结构

基本寄存器结构，内部有 $n$ 个触发器组成，实现 $n$ 位数据的存储及“并行输入、并行输出”的传输方法。





集成电路74LS175

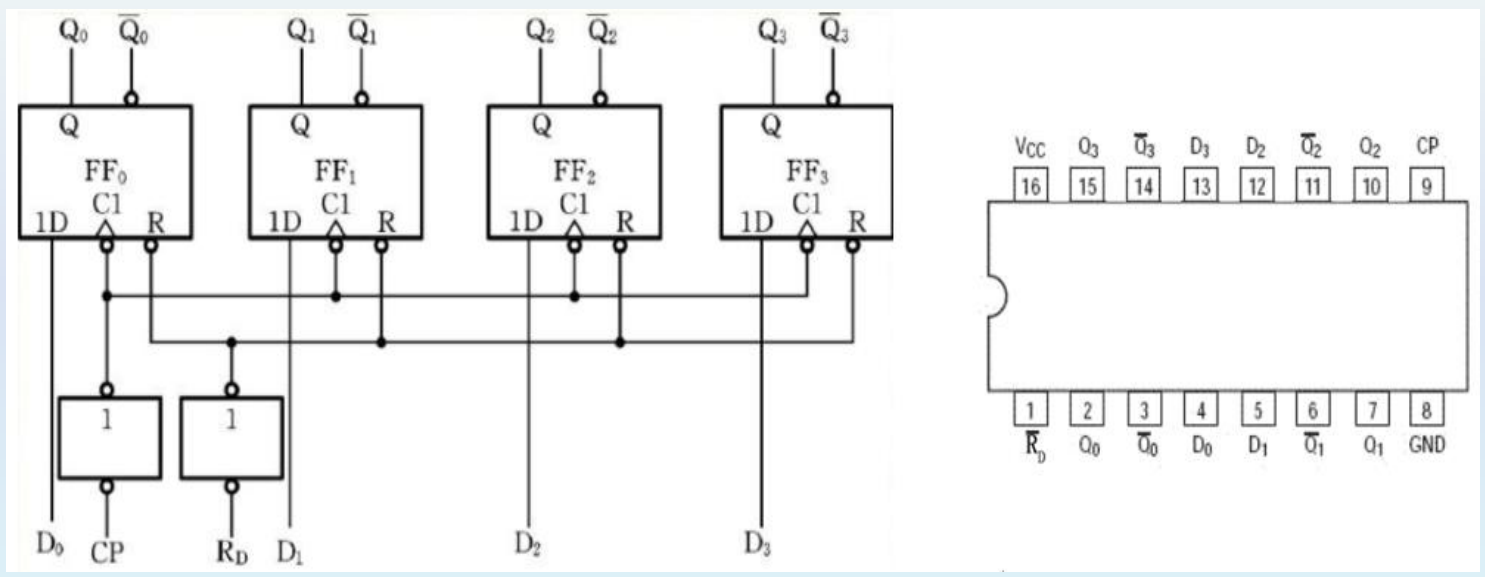
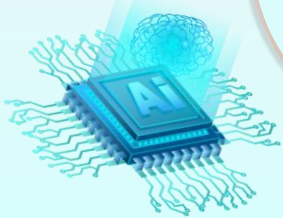


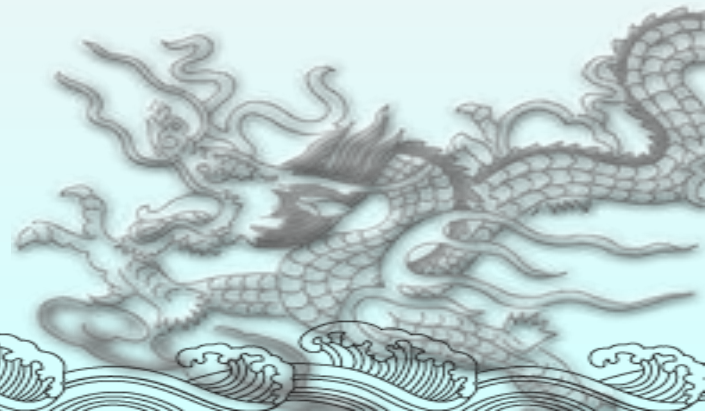
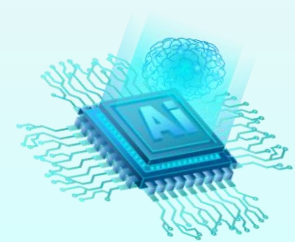
表6-14 74LS175功能表

清零 RD	时钟 CP	输入				输出				工作模式
		D <sub>3</sub>	D <sub>2</sub>	D <sub>1</sub>	D <sub>0</sub>	Q <sub>3</sub>	Q <sub>2</sub>	Q <sub>1</sub>	Q <sub>0</sub>	
0	×	×	×	×	×	0	0	0	0	异步清零
1	↑	d <sub>3</sub>	d <sub>2</sub>	d <sub>1</sub>	d <sub>0</sub>	d <sub>3</sub>	d <sub>2</sub>	d <sub>1</sub>	d <sub>0</sub>	数码寄存
1	1	×	×	×	×	保持				数据保持
1	0	×	×	×	×	保持				数据保持



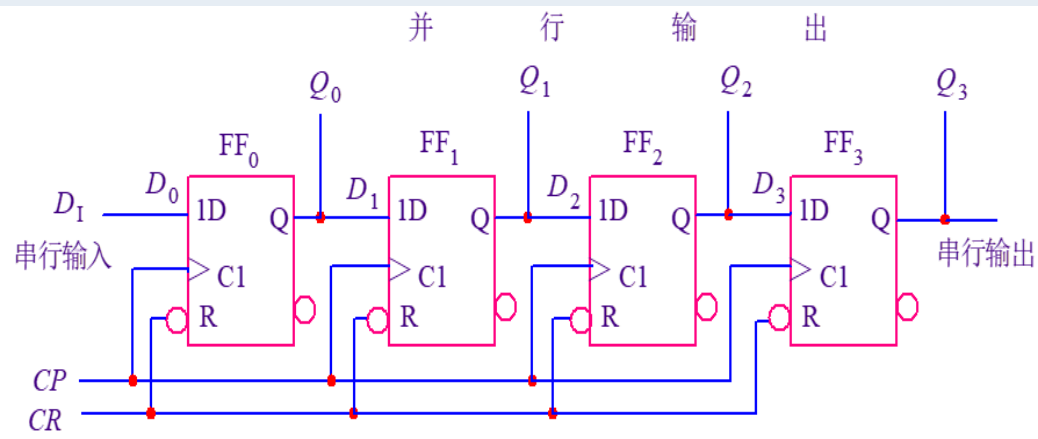
## 6.5.3 移位寄存器

移位是数字系统和计算机技术中非常重要的一个功能。如二进制数0101乘以2的运算，可以通过将0101左移一位实现；而除以2的运算则可通过右移一位实现。移位寄存器不仅能够寄存数码，而且具有移位功能。移位寄存器的种类很多，有左移寄存器、右移寄存器、双向移位寄存器和循环移位寄存器等。





## 1. 右移寄存器

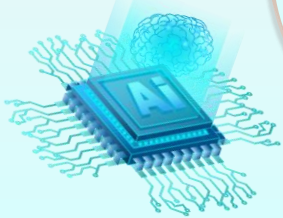
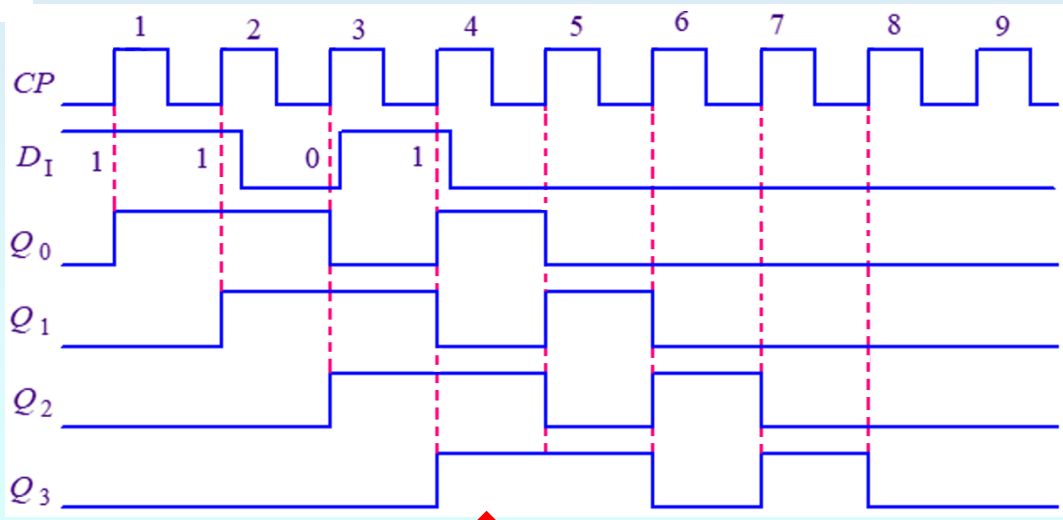


移位脉冲	输入数码	输出			
CP	DI	Q <sub>0</sub>	Q <sub>1</sub>	Q <sub>2</sub>	Q <sub>3</sub>
0		0	0	0	0
1	1	1	0	0	0
2	1	1	1	0	0
3	0	0	1	1	0
4	1	1	0	1	1

到第4周期时，Q<sub>3</sub>Q<sub>2</sub>Q<sub>1</sub>Q<sub>0</sub>=1101，全部到位！  
类似的方式可以理解左移、双向移动。

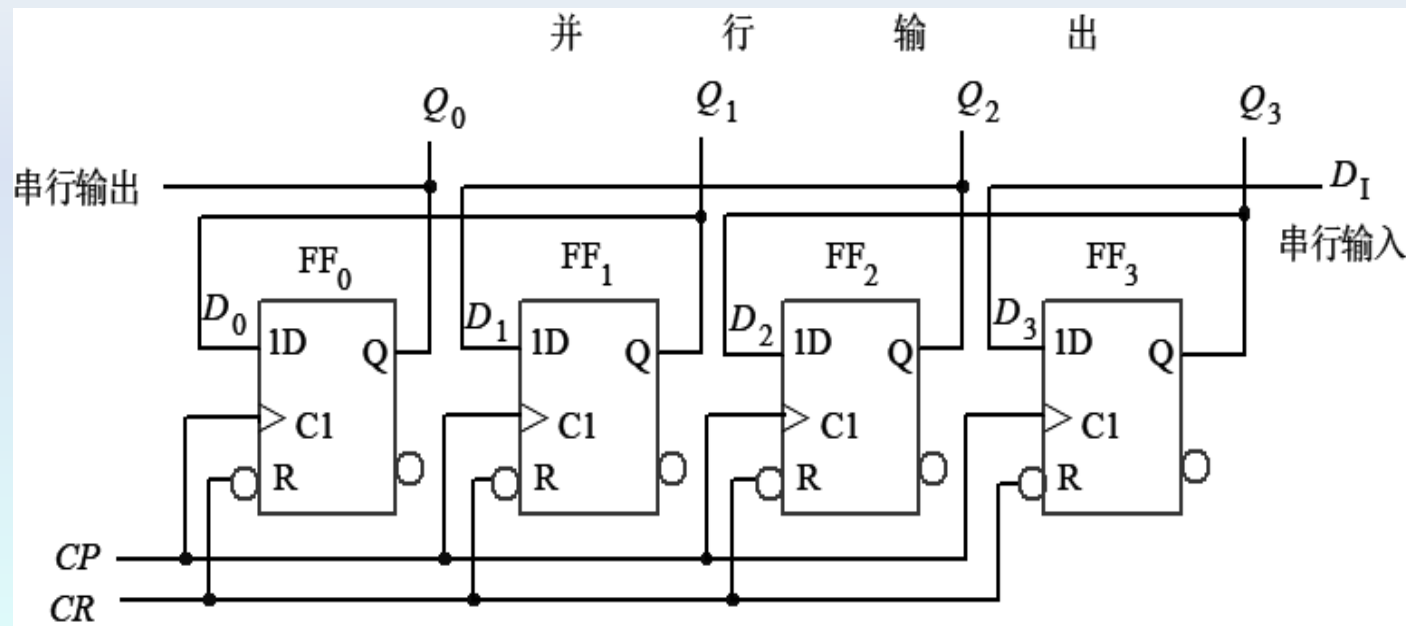
**原理分析：**图中是4个D触发器组成的4位右移寄存器，左边触发器的输出端接右邻触发器的输入端，移位的方向为DI→Q<sub>0</sub>→Q<sub>1</sub>→Q<sub>2</sub>→Q<sub>3</sub>，即由低位向高位移。

设移位寄存器的初始状态为0000，串行输入数码D<sub>I</sub>=1101，从高位到低位依次输入到D<sub>I</sub>。

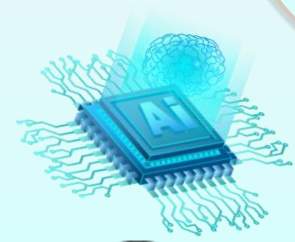




## 2. 左移寄存器



这个图由4个D触发器组成的4位右移寄存器，右边触发器的输出端接左邻触发器的输入端，移位的方向为 $DI \rightarrow Q_3 \rightarrow Q_2 \rightarrow Q_1 \rightarrow Q_0$ ，即由高位向低位移。



## 3. 双向移寄存器

将右移寄存器和左移寄存器组合起来，并引入一控制端S便构成既可左移又可右移的双向移位寄存器。

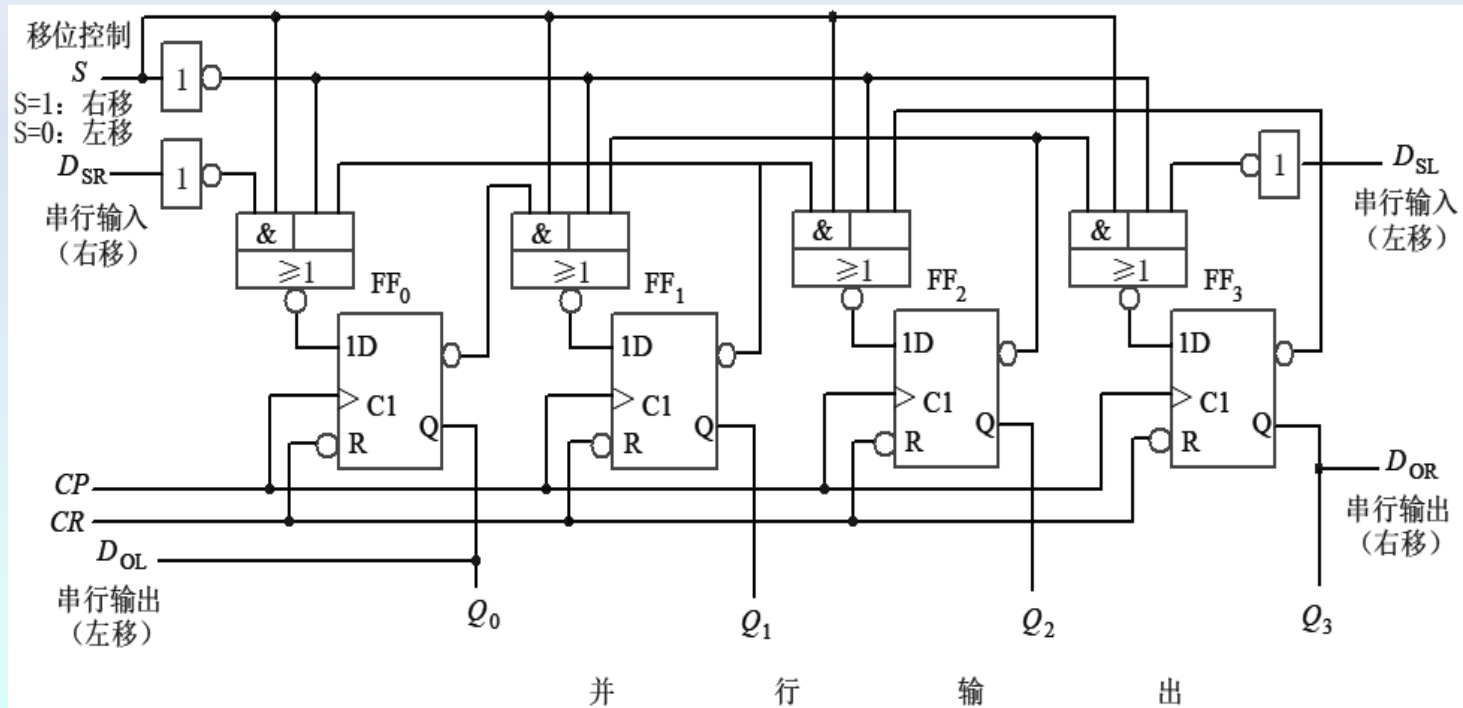
$D_{SR}$  为右移串行输入端， $D_{SL}$  为左移串行输入端。

当  $S=1$  时，

$D_{SR} \rightarrow Q_0 \rightarrow Q_1 \rightarrow Q_2 \rightarrow Q_3$ ，实现右移操作；

当  $S=0$  时，

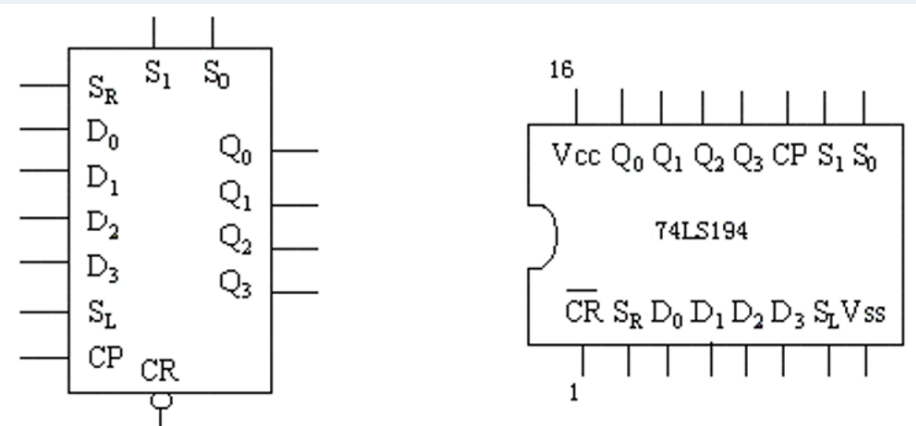
$D_{SL} \rightarrow Q_3 \rightarrow Q_2 \rightarrow Q_1 \rightarrow Q_0$ ，实现左移操作。



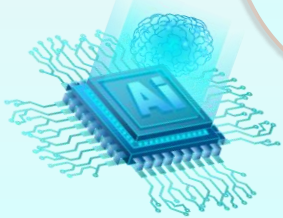


4. 集成移位寄存器74LS194 (实验)  
74LS194是一个4位双向移位寄存器。

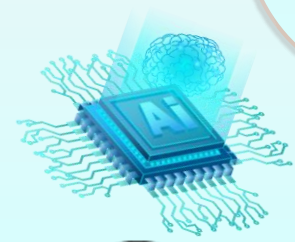
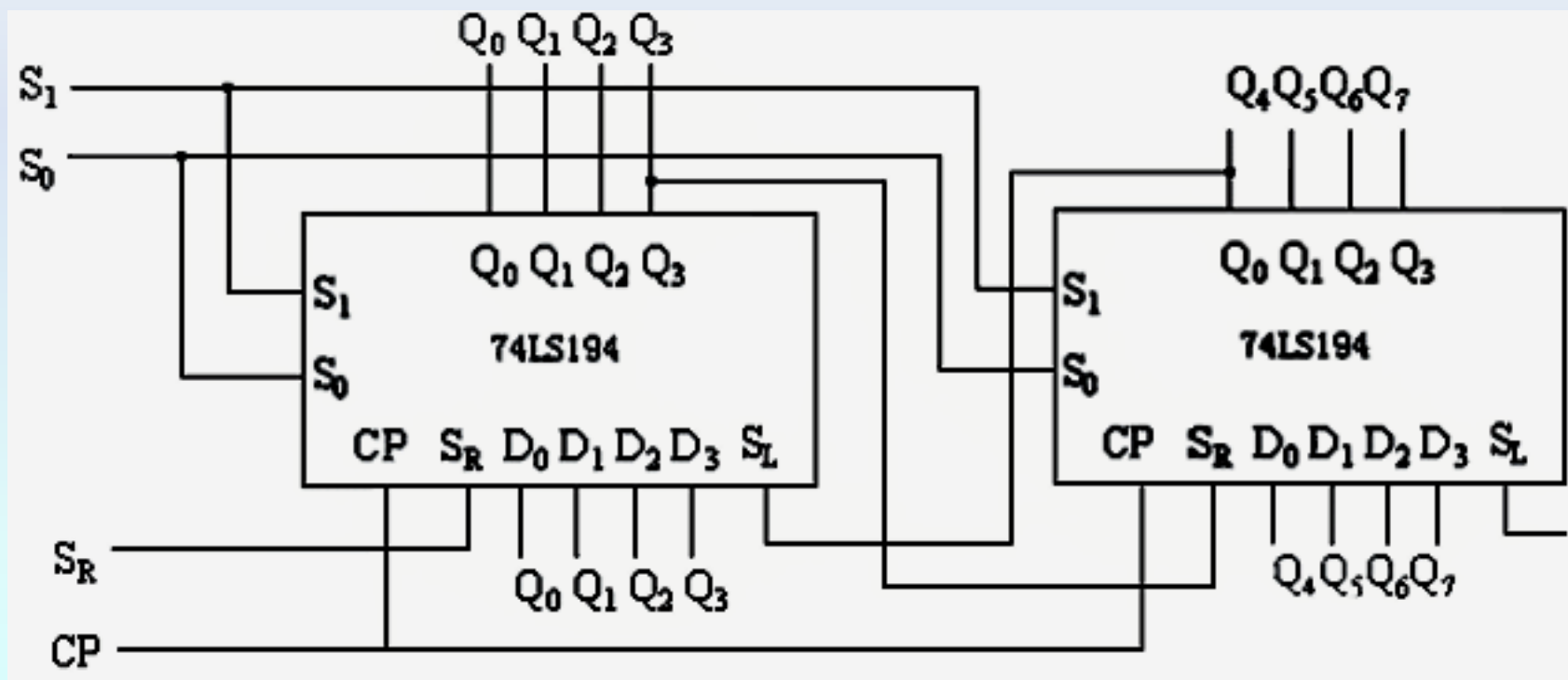
其中： $D_0 \sim D_3$ 为并行输入端； $Q_0 \sim Q_3$ 为并行输出端； $S_R$ —右移串引输入端； $S_L$ —左移串引输入端； $S_1$ 、 $S_0$ —操作模式控制端； $\overline{CR}$ —为异步清零端； $CP$ —为时钟脉冲输入端。



CP	$\overline{CR}$	$S_1$	$S_0$	功能	$Q_3Q_2Q_1Q_0$
$\times$	0	$\times$	$\times$	清除	$\overline{CR}=0$ 时 $Q_3Q_2Q_1Q_0=00000$ 正常工作时, $\overline{CR}$ 置1
$\uparrow$	1	1	1	送数	$Q_3Q_2Q_1Q_0= D_3D_2D_1D_0$ 此时串行数据 ( $S_R, S_L$ ) 被禁止
$\uparrow$	1	0	0	右移	$Q_3Q_2Q_1Q_0= D_{SR}Q_3Q_2Q_1Q_0$
$\uparrow$	1	1	0	左移	$Q_3Q_2Q_1Q_0= Q_2Q_1Q_0D_{SL}$
$\uparrow$	1	0	0	保持	$Q_3Q_2Q_1Q_0= Q_3^nQ_2^nQ_1^nQ_0^n$
$\downarrow$	1	$\times$	$\times$	保持	$Q_3Q_2Q_1Q_0= Q_3^nQ_2^nQ_1^nQ_0^n$

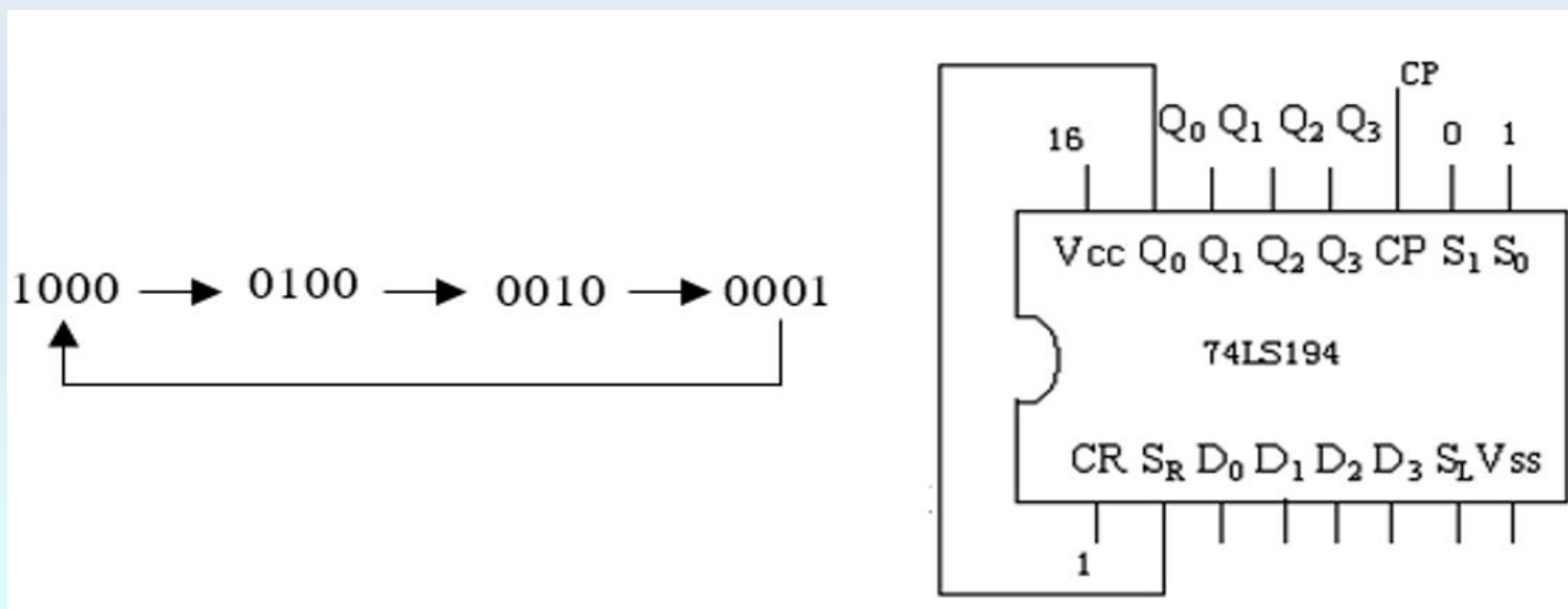


两片74194的级联，将芯片（1）的 $Q_3$ 接至芯片（2）的 $S_R$ ，将芯片（2）的 $Q_4$ 接至芯片（1）的 $S_L$ ，即可构成8位的移位寄存器。





74LS194构成环形计数器：把移位寄存器的输出反馈到它的串行输入端，就可以进行循环移位。





*Thank you*

