

Блок передачи данных по интерфейсу I2S

[apb_i2s]

Оглавление

| | |
|---|---|
| 1. Описание блока..... | 3 |
| 2. Описание регистров блока..... | 4 |
| 2.1. Регистр управления блоком I2S_CR..... | 4 |
| 2.2. Регистр статуса блока I2S_SR. | 4 |
| 2.3. Регистр передачи данных правого канала I2S_TXR. | 4 |
| 2.4. Регистр передачи данных левого канала I2S_TXL. | 5 |
| 3. Интерфейс блока..... | 5 |

1. Описание блока.

Передачик I2S предназначен для передачи аудиоданных в стерео формате внешнему устройству по интерфейсу I2S. Представляет собой параллельно последовательный преобразователь, принимающий параллельные 32-битные данные по шине AMBA APB и передающий их по последовательному протоколу I2S по двум каналам (левый и правый).

Блок обладает буферизацией на 4 32-разрядных слова для левого и правого канала.

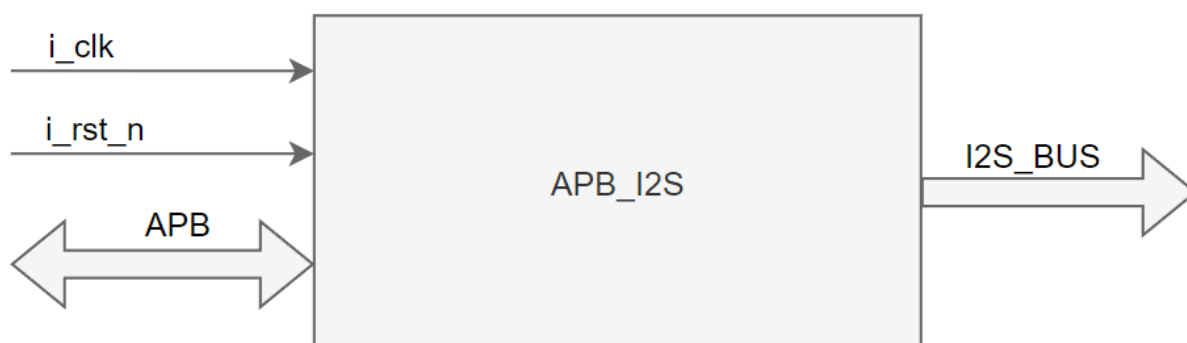


Рисунок 1 – Структурная схема блока.

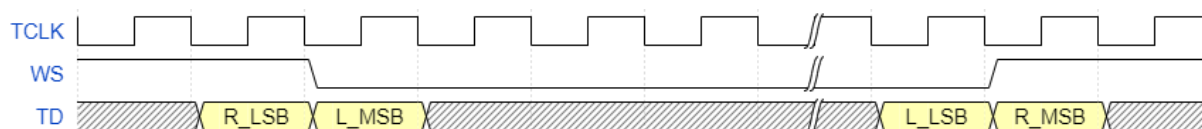


Рисунок 2 – Временная диаграмма передачи данных по протоколу I2S.

2. Описание регистров блока.

| Смещение | Описание регистра |
|----------|--|
| 0x00 | Регистр управления блоком I2S_CR |
| 0x04 | Регистр статуса блока I2S_SR |
| 0x08 | Регистр передачи данных правого канала I2S_TXR |
| 0x0C | Регистр передачи данных левого канала I2S_TXL |

В разделе использованы следующие обозначения: RW – Доступны чтение и запись регистра; RO – Доступно только чтение регистра; WO – Доступна только запись в регистр.

2.1. Регистр управления блоком I2S_CR

Смещение относительно стартового адреса блока: 0x00.

| Кол-во бит | Тип | Значение при сбросе | Имя поля | Биты | Описание |
|------------|-----|---------------------|------------|--------|--|
| 1 | RW | 0b | I2S_ENABLE | [0] | Флаг разрешения передачи данных по протоколу I2S. Имеет функцию автоматического сброса в случае опустошения буферов каналов. 0 – Передача запрещена; 1 – Передача разрешена. |
| 31 | RO | 0...0b | RESERVED | [31:1] | Зарезервировано для использования в будущем |

2.2. Регистр статуса блока I2S_SR.

Смещение относительно стартового адреса блока: 0x04.

| Кол-во бит | Тип | Значение при сбросе | Имя поля | Биты | Описание |
|------------|-----|---------------------|-------------|--------|---|
| 1 | RO | 0b | FIFOL_FULL | [0] | FIFO-буфер левого канала заполнен. 1 – FIFO заполнен, 0 – FIFO не заполнен до конца. |
| 1 | RO | 1b | FIFOL_EMPTY | [1] | FIFO-буфер левого канала пуст. 1 – FIFO пуст, 0 – FIFO имеет данные. |
| 1 | RO | 0b | FIFOR_FULL | [2] | FIFO-буфер правого канала заполнен. 1 – FIFO заполнен, 0 – FIFO не заполнен до конца. |
| 1 | RO | 1b | FIFOR_EMPTY | [3] | FIFO-буфер правого канала пуст. 1 – FIFO пуст, 0 – FIFO имеет данные. |
| 1 | RO | 1b | I2S_TX_DONE | [4] | Передача по протоколу I2S не готова 1 – Передача не готова, 0 – передача готова. |
| 27 | RO | 0...0b | RESERVED | [31:5] | Зарезервировано для использования в будущем |

2.3. Регистр передачи данных правого канала I2S_TXR.

Смещение относительно стартового адреса блока: 0x08.

| Кол-во бит | Тип | Значение при сбросе | Имя поля | Биты | Описание |
|------------|-----|---------------------|----------|--------|---|
| 32 | WO | NA | DATA | [31:0] | Данные, записываемые в буфер передачи правого канала. |

2.4. Регистр передачи данных левого канала I2S_TXL.

Смещение относительно стартового адреса блока: 0x0C.

| Кол-во бит | Тип | Значение при сбросе | Имя поля | Биты | Описание |
|------------|-----|---------------------|----------|--------|--|
| 32 | WO | NA | DATA | [31:0] | Данные, записываемые в буфер передачи левого канала. |

3. Интерфейс блока

| Имя | Тип | Описание |
|---------------|------|------------------------------|
| i_clk | вх. | Тактовый сигнал блока |
| i_rst_n | вх. | Сигнал сброса по срезу блока |
| APB_BUS | шина | Шина интерфейса APB |
| I2S_INTERFACE | шина | Шина интерфейса I2S |