

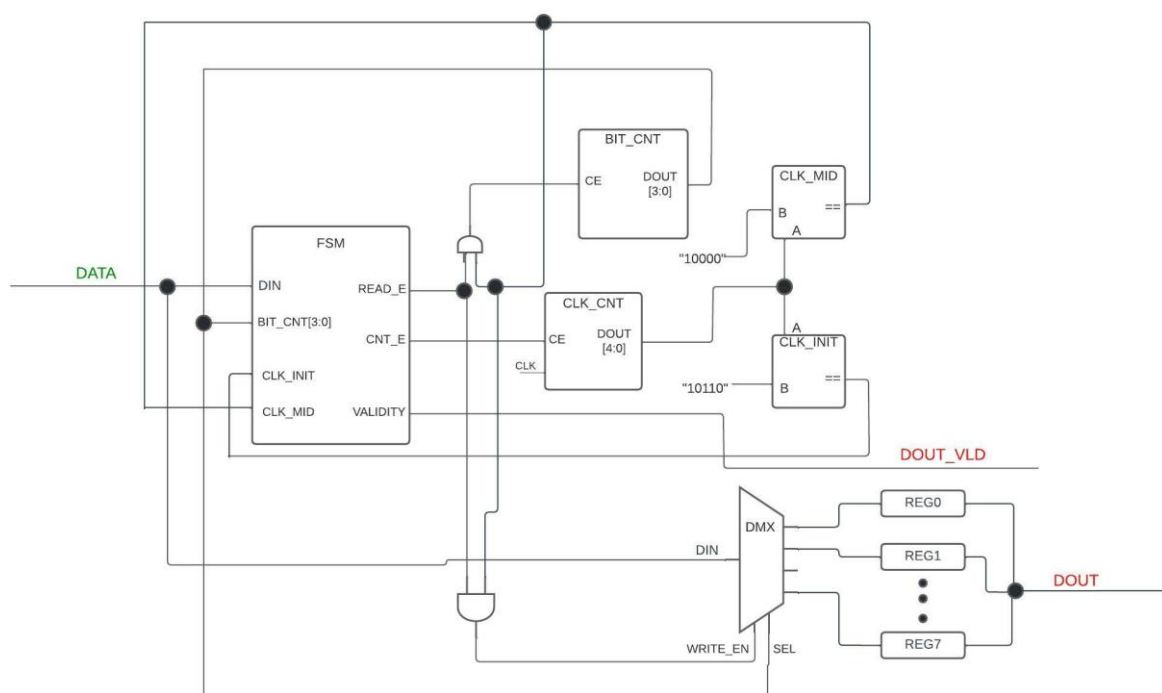
Výstupná správa projektu predmetu INC

Meno a priezvisko: Aurel Strigáč

Login: xstrig00

Architektúra navrhnutého obvodu (na úrovni RTL)

Schéma obvodu



Popis funkcie

Na základe riadenia podľa FSM (viz. nasledujúci obrázok) sú v CLK_CNT počítané hodinové signály. Tie sa posielajú do komparátorov, ktoré rozhodnú o nasledujúcej akcii, a počítadlo vynulujú (ktorý komparátor vynuluje počítadlo závisí na stave FSM). V prípade, že už čítame bity, tak každých 16 cyklov sa inkrementuje BIT_CNT o 1 a prichádzajúci bit načítame do jedného z 8 registerov.

Návrh automatu (Finite State Machine)

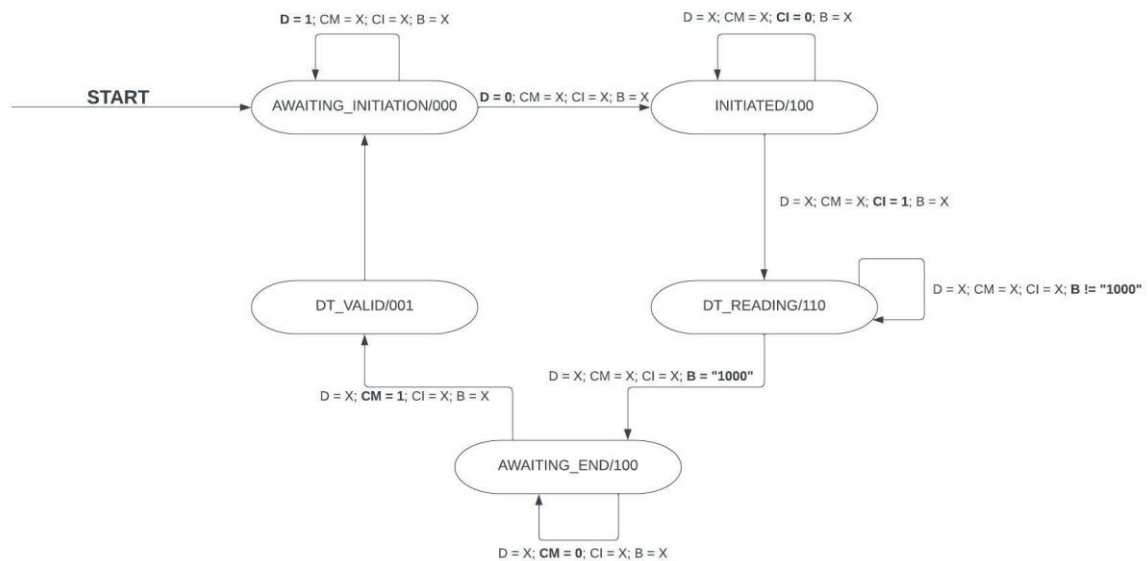
Schéma automatu

Legenda:

Stavy: AWAITING_INITIATION, INITIATED, DT_READING, AWAITING_END, DT_VALID

Vstupy: D = DIN , CM = CLK_MID, CI = CLK_INIT, B = BIT_CNT

Moorove výstupy: CNT_E, READ_E, VALIDITY



Popis funkcie

Môj automat je po uvedení do pohybu nastavený do prvého stavu, čiže do AWAITING_INITIATION. V ňom zostáva do bodu, kedy na DIN nezaznamenám 0. Vtedy prechádzam do stavu INITIATED, v ktorom pretrvávam 22 hodinových cyklov (24 cyklov – 2 cykly potrebné na prestup medzi stavmi = 22 cyklov). Nasledujúci stav je stav postupného načítavania bitov, čiže DT_READING. V tomto stave prebýva, dokým nenačítam do registrov všetkých 8 bitov. Nasledujúci stav automatu, v ktorom čakám 16 cyklov hodín, sa nazýva AWAITING_END. V ňom len očakávam 1 na CLK_MID, ktorá mi značí že som sa dostal do stredu ďalšieho bitu, v ktorom v nasledujúcom stave (DT_VALID) nastavím VALIDITY bit na 1 (po dĺžku 1 hodinový cyklus) a spolu s registrami ich odosielam. Po splnení všetkého sa navraciam do stavu AWAITING_INITIATION, v ktorom znovu očakávam 0, aby som mohol začať načítanie nového slova.

START môžeme brať aj ako RST (Automat sa vracia do počiatočného stavu, počítadlo sa vynuluje).

Snímok obrazovky zo simulácie

