

情報科学実験A

第1回レポート

担当教員：劉 載勲/大下 裕一

提出者：中村 真也

所属/学年：基礎工学部 情報科学科 2 年

学籍番号：09B14054

電子メール：u110864bc@ecs.cmc.osaka-u.ac.jp

提出日：2015 年 10 月 15 日 (木)

締切日：2015 年 10 月 15 日 (木)

課題 01.半導体メモリの一種である **SRAM** や、マイクロプロセッサ内部のフラグやレジスタ等の記憶回路に使われる。

課題 02.

1)T=0 のとき

R、S の入力値にかかわらず入力に接続されている **NAND** はともに **1** を出力し、もともと Q に **1** が出力されていた場合、**notQ** には **0** が出力され、Q は再度 **1** を出力する。同様に、もともと Q に **0** が出力されていた場合 **notQ** には **1** が出力され、Q は再度 **0** を出力する。よって出力 Q、**notQ** は元の出力を保持する。

2)T=1,R=0,S=0 のとき

入力に接続されている **NAND** はともに **1** を出力するため、T=0 の場合と同様に動作する。よって出力 Q、**notQ** は元の出力を保持する。

3)T=1,R=1,S=0 のとき

入力 R に接続されている **NAND** は **0** を、入力 S に入力されている **NAND** は **1** を出力する、よって、出力 **notQ** 側に接続されている **NAND** は **1** を出力し、それが出力 Q 側の **NAND** に入力され、出力 Q 側の **NAND** は **0** を出力する。

4)T=1,R=0,S=1 のとき

入力 R に接続されている **NAND** は **1** を、入力 S に入力されている **NAND** は **0** を出力する、よって、出力 Q 側に接続されている **NAND** は **1** を出力し、それが出力 **notQ** 側の **NAND** に入力され、出力 **notQ** 側の出力は **0** し、出力 Q 側の **NAND** は **1** を出力する。

5)T=1,R=1,S=1 のとき

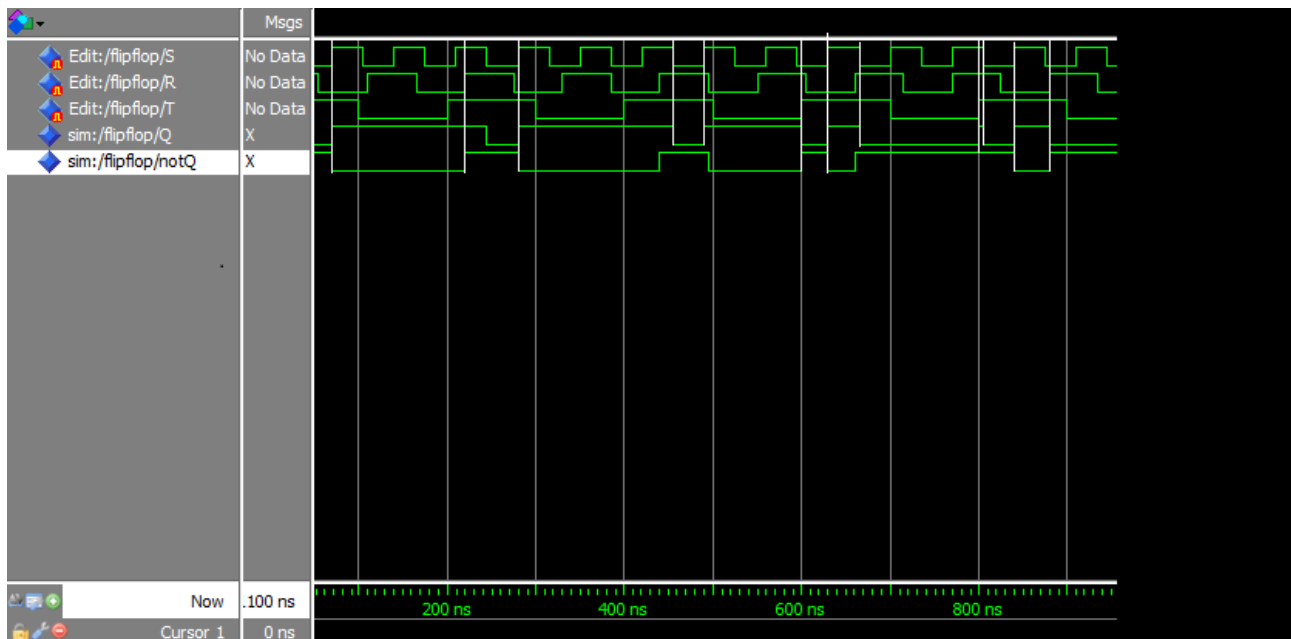
入力に接続されている **NAND** はともに **0** を出力し、出力に接続されている **NAND** はともに **1** を出力する。これは、Q と **notQ** の出力が逆にならなくなるので、通常このように入力させないように制限する。

RS ラッチの真理値表

R	S	T	Q の次状態
0or1	0or1	0	現状態を保持
0	0	1	現状態を保持
1	0	1	現状態にかかわらず 0
0	1	1	現状態にかかわらず 1
1	1	1	Q,notQ とともに出力が 1 になる

課題 03.

RS ラッチのタイムチャート



課題 04.

1) $T=1, D=1$ のとき

入力 D が接続されている NAND は 0 を出力し、この NAND の出力と入力 T に接続されている NAND は 1 を出力する。これにより、出力が RS ラッチの S に接続されている NAND は 1 を出力し、出力が RS ラッチの R に接続されている NAND は 0 を出力する。また、出力が RS ラッチの T に接続されている NAND は常に $\text{not}T$ を出力するので、RS ラッチには、 $T=0, S=1, R=0$ が入力される。課題 02 より、RS ラッチに $T=0$ が入力されるので、出力 D は元の状態を維持する。

2) $T=1, D=0$ のとき

入力 D が接続されている NAND は 1 を出力し、この NAND の出力と入力 T に接続されている NAND は 0 を出力する。これにより、出力が RS ラッチの R に接続されている NAND は 1 を出力し、出力が RS ラッチの S に接続されている NAND は 0 を出力する。よって、RS ラッチには、 $T=0, S=0, R=1$ が入力される。課題 02 より、RS ラッチに $T=0$ が入力されるので、出力 D は元の状態を維持する。

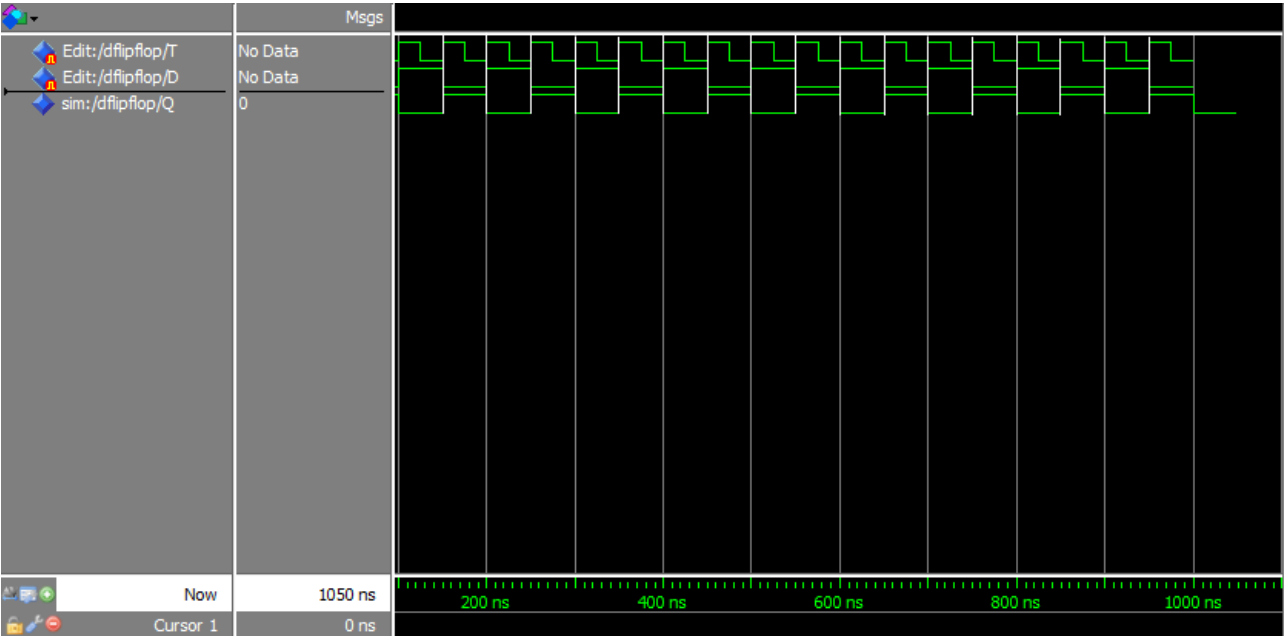
3) $T=0$ のとき

入力 D の値にかかわらず、入力 D が接続されている NAND と、この NAND の出力と入力 T に接続されている NAND はともに 1 を出力する。よって、RS ラッチへの入力が $S=1, R=0$ だった場合も、 $S=0, R=1$ だった場合もともに元の出力を維持する。よって、RS ラッチには、 $T=1$ と、元の状態の R, S への入力がそのまま入力される。つまり、 D フリップフロップの入力 T が 1 から 0 になる直前に $D=1$ が入力されていた場合、RS ラッチには $T=0, S=1, R=0$ が入力されていて、それが $T=1$ になるので、課題 02 より、出力 Q が 1 になる。逆に、直前に $D=0$ が入力されていた場合、RS ラッチには $T=0, S=0, R=1$ が入力されていて、それが $T=1$ になるので、課題 02 より、出力 Q が

0 になる

D	T	Q の次状態
0or1	0	T=1 から T=0 に変更する直前の D が出力される
0or1	1	現状態の Q を維持する

D フリップフロップのタイムチャート



課題 05.

NAND を 4 つ使用する RS ラッチは、R,S,T すべてに 1 を入力すると、Q,notQ の出力が同じになってしまうから。

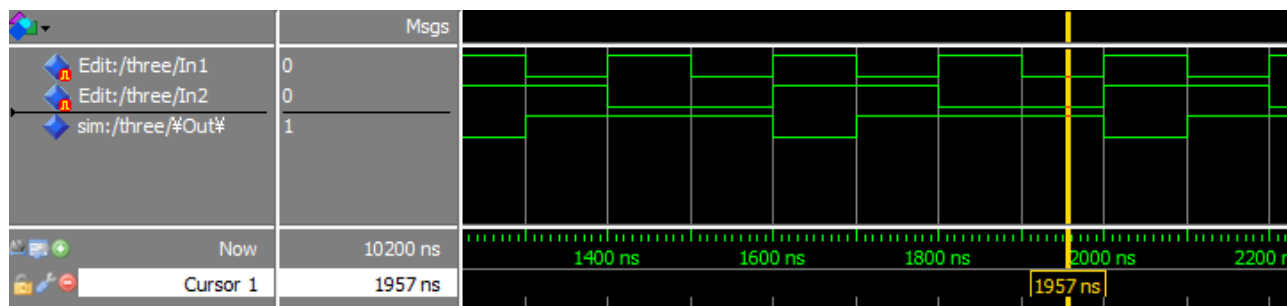
課題 06.

次状態が現状態を保持する場合があるので測定開始時に開始時の出力を確定させることができる必要がある。

しかし、セット、リセット用にデータの入力とは別の入力を用意しなければならず、配線が複雑になるというデメリットが考えられる。

課題 07.

IC7400 は、NAND ゲートであり、2 つの入力と 1 つの出力があり、二つの入力がともに 1 のときに 0 を出力し、それ以外の場合は 1 を出力する。下の波形は、上の 2 つが入力、一番下が出力の波形である。



IC7404 は、NOT ゲートであり、1 つの入力と 1 つの出力があり、入力が 1 のときは 0 を、入力が 0 のときは 1 を出力する。下の波形は、上が入力、下が出力の波形である。

