



iSCALARE



Лаборатория суперкомпьютерных технологий для биомедицины, фармакологии и малоразмерных структур

# Языки разработки моделей и аппаратуры

Григорий Речистов

[grigory.rechistov@phystech.edu](mailto:grigory.rechistov@phystech.edu)

# На предыдущих лекциях:

- Цели симуляции
- Алгоритмы моделирования
- Проблемы, связанные с симуляцией устройств

# На этой лекции:

- Компоненты симулятора
- Языковые средства разработки моделей и аппаратуры

# Классификация компонент:

Графический интерфейс



Модели устройств



Интерфейс  
командной строки



Интерпретатор скриптов



# Вопрос

На каком языке  
программирования должен быть  
написан симулятор?

# Использование языков общего назначения (C, C++, ...)

- Используется ООП
- Написание моделей «с нуля»
- Особенности языков
  - Специфика `int` (`int32_t`, `int64_t`)
  - `thread safety`
  - `malloc/free`

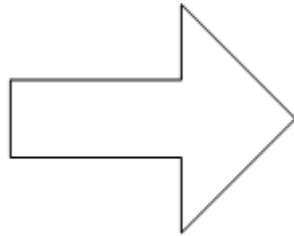
# Решения

- Создание библиотек, реализующих общие примитивы моделирования (SystemC/TLM)
- Использование специализированных языков написания моделей (DML)



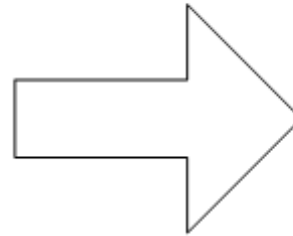
# DML (1/2)

\*.dml



DMLC

\*.c



GCC

\*.so





# DML (2/2)

```
dml 1.2;  
  
device simple_dml_device;  
  
parameter desc = "Simple DML device";  
parameter documentation = "This is an implementation of  
simple DML device.";  
  
bank regs {  
    parameter register_size = 4;  
  
    register r1 @ 0x1000;  
    register r2 @ 0x1004;  
}
```

# Абстракции аппаратуры (1/3)

- Сигналы – логический уровень (0, 1, X, Z)
- Шины – передача групп бит
- Операции над отдельными битами
- Транзакции – отображение направления сигнала

# Абстракции аппаратуры (2/3)

- Расширенные значения для уровней сигналов: непроводящий (hi-Z) или неопределенный (X)
- Абстракции хранения данных: группы регистров, банки памяти ...
- Побочные эффекты

# Абстракции аппаратуры (3/3)

- Карты памяти
- Задержки событий – разные для различных действий

# Разработка процессора (1/2)

Исходное описание



`int 13h`

Дизассемблер



**$f(x)$**

Симулятор



Документация

Примеры:

- LISA
- ISDL
- SimGen

# Разработка процессора (2/2)

## Недостатки:

- Генерируется не самый быстрый код
- Код может быть не компактен
- Модель может работать медленнее

## Преимущества:

- Скорость создания/модификации
- Согласованность

# Verilog

Phil Moorby & Prabhu Goel

«Automated Integrated Design Systems», 1984 г.

Netlist — логически эквивалентное описание,  
состоящее из элементарных логических  
примитивов

Команды:

- Синтезируемые — представленные в аппаратуре
- Несинтезируемые — для отладки и симуляции



# VHDL

- Был разработан в 1983 г. по заказу Министерства обороны США
- Первоначально предназначался для моделирования, но позже появилась и синтезируемое подмножество

# Литература

На следующей лекции:

Контрольная работа

# Спасибо за внимание!

Все материалы курса выкладываются на сайте лаборатории:  
[http://iscalare.mipt.ru/material/course\\_materials/](http://iscalare.mipt.ru/material/course_materials/)

Замечание: все торговые марки и логотипы, использованные в данном материале, являются собственностью их владельцев. Представленная здесь точка зрения отражает личное мнение автора, не выступающего от лица какой-либо организации.