



**GOVERNO FEDERAL  
MINISTÉRIO DA EDUCAÇÃO  
INSTITUTO FEDERAL DE EDUCAÇÃO, CIÊNCIA E TECNOLOGIA DA PARAÍBA  
CAMPUS CAMPINA GRANDE  
BACHARELADO EM ENGENHARIA DE COMPUTAÇÃO**

**Circuito Decodificador para Display de 7 Segmentos**

**Carlos Elias Fialho de Lima  
Marcus Cauê de Farias Barbosa  
Miguel Ryan Dantas de Freitas**

**Campina Grande  
Dezembro / 2024**

**Obs.:** Este projeto foi feito com o auxílio da ferramenta *open-source* logisim (mais informações, acesse: <http://www.cburch.com/logisim/>) para ajudar na verificação das expressões lógicas, mapas de Karnaugh e circuito lógico.

## Tabela Verdade

Entradas			Saídas							Display
A	B	C	a	b	c	d	e	f	g	
0	0	0	1	1	0	0	1	1	1	P
0	0	1	0	0	0	0	1	1	0	I
0	1	0	1	0	0	1	1	1	0	C
0	1	1	1	1	1	1	1	1	0	O
1	0	0	0	0	0	1	1	1	0	L
1	0	1	1	0	0	1	1	1	1	E
1	1	0	X	X	X	X	X	X	X	---
1	1	1	X	X	X	X	X	X	X	---

## Mapas de Karnaugh

$\begin{array}{c} \backslash AB \\ C \end{array}$	00	01	11	10
0	1	1	X	0
1	0	1	X	1

Mapa da Saída “a”

$\begin{array}{c} \backslash AB \\ C \end{array}$	00	01	11	10
0	0	0	X	0
1	0	1	X	0

Mapa da Saída “c”

$\begin{array}{c} \backslash AB \\ C \end{array}$	00	01	11	10
0	1	0	X	0
1	0	1	X	0

Mapa da Saída “b”

$\begin{array}{c} \backslash AB \\ C \end{array}$	00	01	11	10
0	0	1	X	1
1	0	1	X	1

Mapa da Saída “d”

$C \backslash AB$	00	01	11	10
0	1	1	X	1
1	1	1	X	1

Mapa da Saída “e”

$C \backslash AB$	00	01	11	10
0	1	1	X	1
1	1	1	X	1

Mapa da Saída “f”

$C \backslash AB$	00	01	11	10
0	1	0	X	0
1	0	0	X	1

Mapa da Saída “g”

### Anéis dos Mapas de Karnaugh

$C \backslash AB$	00 I	01 II	11	10
0	1	1	X	0
1	0	1	X	1

Mapa da Saída “a”

III

$C \backslash AB$	00 I	01	11	10
0	1	0	X	0
1	0	1	X	0

Mapa da Saída “b”

II

$C \backslash AB$	00	01	11	10
0	0	0	X	0
1	0	1	X	0

Mapa da Saída “c”

I

$C \backslash AB$	00	01 I	11	10
0	0	1	X	1
1	0	1	X	1

Mapa da Saída “d”

II

$C \backslash AB$	00	01	11	10
0	1	1	X	1
1	1	1	X	1

Mapa da Saída “e”

I

$C \backslash AB$	00	01	11	10
0	1	1	X	1
1	1	1	X	1

Mapa da Saída “f”

I

$\begin{array}{c} AB \\ \diagdown \\ C \end{array}$	<b>I</b> 00	01	11	10
0	1	0	X	0
1	0	0	X	1

Mapa da Saída "g"

**I**

## Expressões Lógicas Simplificadas

Obs.: Para auxiliar na verificação, reduza o zoom e coloque na visualização de duas páginas.

$$\text{Saída a} \rightarrow \{\text{I}\} \bar{A} * \bar{C} + \{\text{II}\} B + \{\text{III}\} A * C \rightarrow (A \odot C) + B$$

$$\text{Saída b} \rightarrow \{\text{I}\} \bar{A} * \bar{B} * \bar{C} + \{\text{II}\} B * C \rightarrow \overline{A + B + C} + B * C$$

$$\text{Saída c} \rightarrow \{\text{I}\} B * C$$

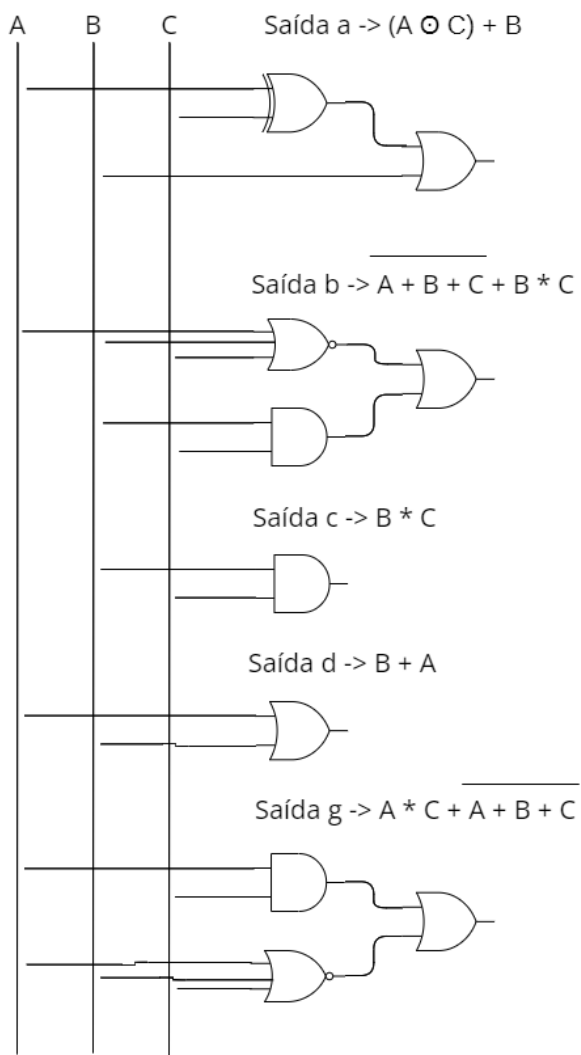
$$\text{Saída d} \rightarrow \{\text{I}\} B + \{\text{II}\} A$$

$$\text{Saída e} \rightarrow \{\text{I}\} 1$$

$$\text{Saída f} \rightarrow \{\text{I}\} 1$$

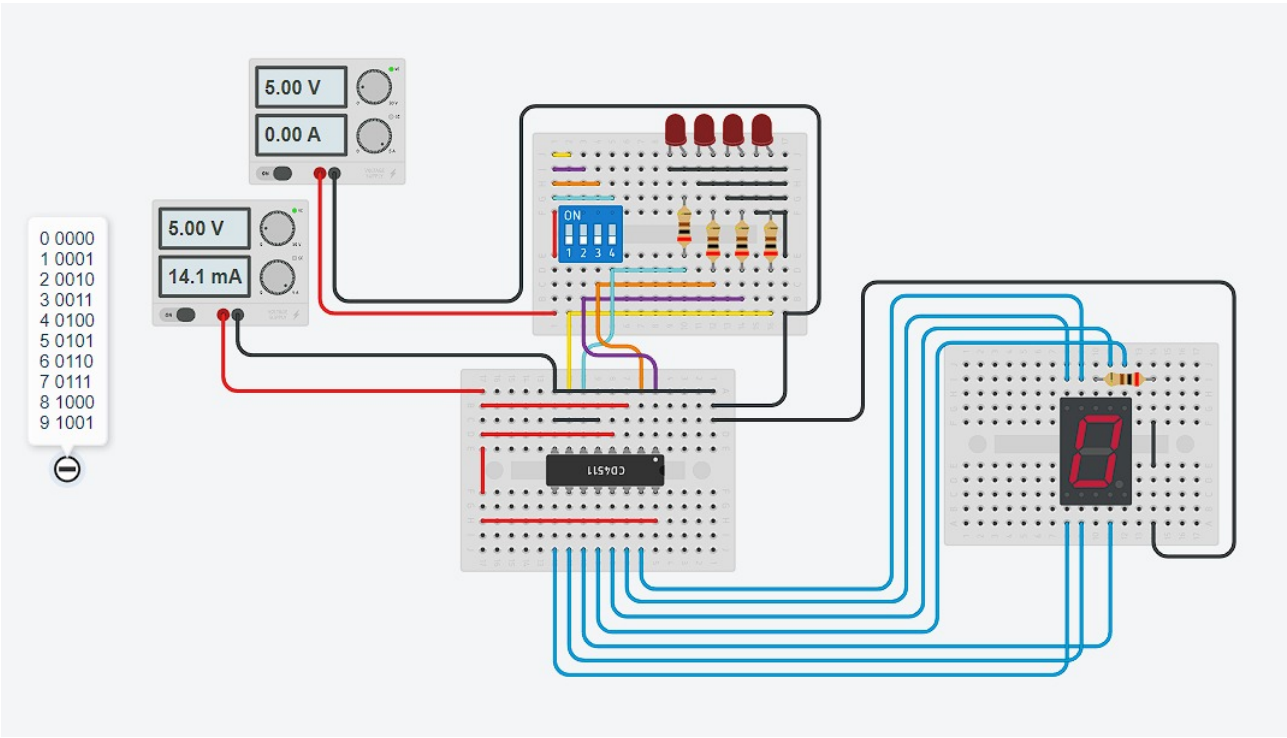
$$\text{Saída g} \rightarrow \{\text{I}\} A * C + \{\text{II}\} \bar{A} * \bar{B} * \bar{C} \rightarrow A * C + \overline{A + B + C}$$

## Diagrama do Circuito Lógico



Para esse circuito, os segmentos **e** e **f** sempre estarão ligados porque eles estão presentes em todas as letras que as combinações das variáveis de entrada formam

Diagrama do Circuito Lógico a ser simulado no TinkerCad



## **Circuito Simulado no TinkerCad**

Acesso ao circuito: <https://www.tinkercad.com/things/0ki9D3skBuy-copy-of-bcd-to-7-segment-decoder/editel?tenant=circuits>