

GOVERNO FEDERAL MINISTÉRIO DA EDUCAÇÃO INSTITUTO FEDERAL DE EDUCAÇÃO, CIÊNCIA E TECNOLOGIA DA PARAÍBA CAMPUS CAMPINA GRANDE BACHARELADO EM ENGENHARIA DE COMPUTAÇÃO

Circuito Gerador/Verificador de Paridade para 4 bits

Carlos Elias Fialho de Lima Marcus Cauê de Farias Barbosa Miguel Ryan Dantas de Freitas **Obs.:** Este projeto foi feito com o auxílio da ferramenta *open-source* logisim (mais informações, acesse: http://www.cburch.com/logisim/) para ajudar na verificação das expressões lógicas, mapas de Karnaugh e circuito lógico.

Tabela Verdade

Α	В	С	D	Р
0	0	0	0	1
0	0	0	1	0
0	0	1	0	0
0	0	1	1	1
0	1	0	0	0
0	1	0	1	1
0	1	1	0	1
0	1	1	1	0
1	0	0	0	0
1	0	0	1	1
1	0	1	0	1
1	0	1	1	0
1	1	0	0	1
1	1	0	1	0
1	1	1	0	0
1	1	1	1	1

Mapa de Karnaugh

CD AB	00	01	11	10
00	1	0	1	0
01	0	1	0	1
11	1	0	1	0
10	0	1	0	1

Anéis do Mapa de Karnaugh

CD AB	T 00	01	11	10
00	(1)	-III _0	VO	111 0
01	0	1	0	VI) (1)
11	# 1	0	VI (1)	0
10	0	D X	0	VIII (D

Expressão Lógica Simplificada

Saída P:

- $\{I\} \rightarrow \overline{A} * \overline{B} * \overline{C} * \overline{D} \rightarrow \overline{A + B + C + D} +$
- $\{ II \} \rightarrow \overline{A} * \overline{B} * C * D +$
- { III } → A * B * C * D +
- { IV } → A * B * C * D +
- $\{ V \} \rightarrow A * B * \overline{C} * \overline{D} +$
- { VI } A * B * C * D +
- $\{VII\} \rightarrow A * \overline{B} * \overline{C} * D +$
- $\{VIII\} \rightarrow A*\overline{B}*C*\overline{D}$

Diagrama do Circuito Lógico

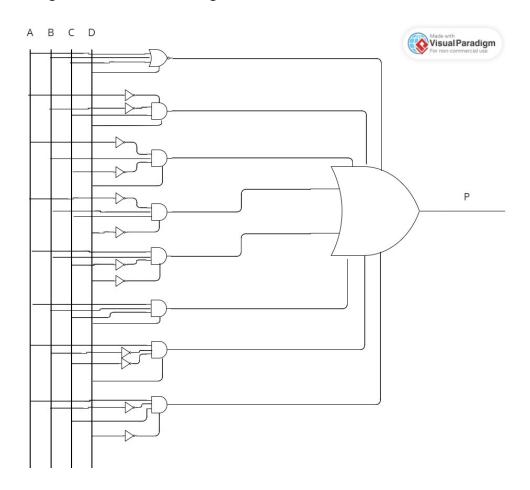
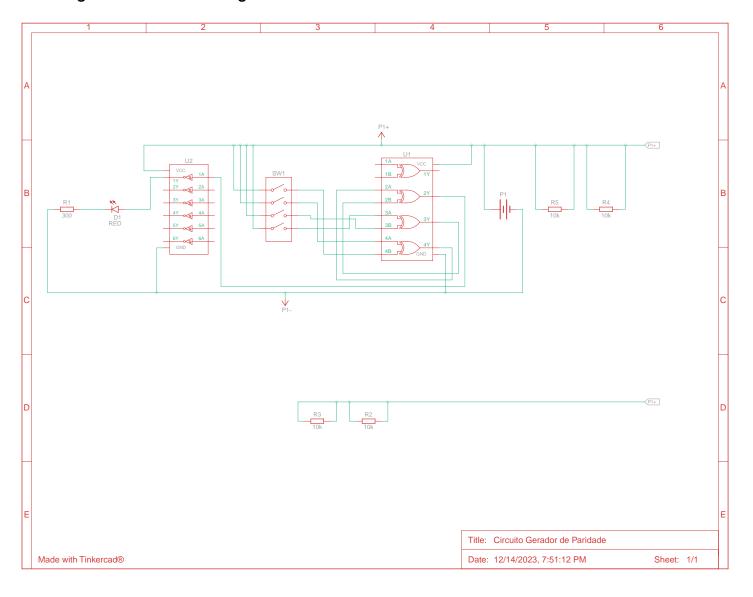


Diagrama do Circuito Lógico montado no TinkerCad



Circuito Simulado no TinkerCad

Acesso ao circuito: https://www.tinkercad.com/things/ksw86uoxMvV-circuito-gerador-de-paridade?sharecode=Avw7sGHNCk4-_X4ZiQcjerSvhDHSOpIWoVJ0oUbkmv4

