

《微机原理与嵌入式系统》期末复习提纲

第一章 绪论

- 1、微型计算机的组成:微处理器(运算器和控制器)、内存存储器(RAM 和 ROM)、系统总线(地址总线、数据总线和控制总线)、I/O 接口和外部设备。
- 2、数制间的相互转换:非十进制数转换为十进制数、十进制转换为非十进制。
- 3、有符号数的原码、补码和反码。
- 4、BCD 码的加减运算。

第二章 Intel 微处理器的结构

- 1、8086/8088CPU 的两个逻辑单元:总线接口单元(BIU)和执行单元(EU),各单元的部件和功能。
- 2、8086/8088CPU 的寄存器结构:
 - (1) 通用寄存器:数据寄存器 (AX、BX、CX 和 DX)、地址指针和变址寄存器 (SP、BP、SI 和 DI);
 - (2) 控制寄存器:指令指针 (IP) 和标志寄存器 (S、C、D、A、Z、P、D、I 和 T);
 - (3) 段寄存器组:代码段 (CS)、数据段 (DS)、堆栈段 (SS) 和附加段 (ES)。
- 3、8086/8088 的存储器结构:物理地址、逻辑地址、规则字和非规则字。

第三章 80x86 指令系统

一、寻址方式

■立即寻址: MOV AX, 1234H

■寄存器寻址: MOV AX, BX

■直接寻址: MOV AX, [1234H]

■寄存器间接寻址: MOV AX, [BX] //基址寄存器只能是 BX、BP

//变址寄存器只能是 SI、DI

■寄存器相对寻址: MOV AX, [BX+1000H]

MOV AX, 1000H[BX]

■基址变址寻址: MOV AX, [BX+SI]

■相对基址变址寻址: MOV AX, [BX+SI+1000H]

■I/O 寻址:

1) 直接端口寻址: IN AL, 20H

OUT 20H, AL //端口地址 8 位

2) 间接端口寻址: MOV DX, 1000H

OUT DX, AL

二、80X86 指令

1、MOV

1) 两个数的类型不能不一致

2) CS 不能作目的操作数

3) 不能两个操作数都是内存操作数

4) 不能两个操作数都是断寄存器

5) 立即数不能作为目的操作数

6) 不能直接把立即数送到段寄存器

2、PUSH/POP

1) 操作数只能是 16 位

2) 操作数不能是立即数

3、XCHG

1) 源和目的操作数类型一致

2) 不允许交换两个存储器操作数

3) 不允许将段寄存器和立即数作为操作数

4、LEA

源操作数一定是存储器操作数

5、IN/OUT

1) 端口地址大于 0FFH 时一定要采用间接寻址

2) 只能用 DX 存放端口地址，传送数据只能放在 AL 或 AX 中

6、ADD、ADC、INC (目的操作数+1)、AAA (未组合 BCD 码)、DAA (组合 BCD 码)

1) 段寄存器不能参加加法运算

2) 不能让两个存储器操作数直接相加

7、SUB、SBB、CMP、DEC、NEG (取补)、AAS (未组合 BCD 码)、DAS (组合 BCD 码)

//CMP 只改变 O、S、Z、A、P、C 等标志位

8、MUL、IMUL (有符号数)、AAM (未组合 BCD 码)

9、DIV、IDIV (带符号数)、AAD (未组合 BCD 码)

1) DIV 双字除以字时, 商存放在 AX, 余数存放在 DX

2) AAD 先校正再运算

10、AND、OR、XOR、NOT、TEST

1) 立即数不能作目的操作数

2) XOR 可用于对寄存器清零

11、SHL、SHR、SAL、SAR

ROL、ROR、RCL、RCR

1) 逻辑左移或算术左移相同, 相当于操作数乘 2

2) 逻辑右移相当于操作数除以 2, 余数为进位标志位 C

3) 段寄存器不参与逻辑操作指令

4) 不能直接对两个内存操作数进行逻辑操作

5) 移位次数大于 1 时用 CL 存放移位次数

12、JMP、条件转移指令

13、LOOP (CX-1, 判断 CX 是否为 0, 不为 0 跳转)

14、LOOPE/LOOPZ (CX-1, 判断 CX 是否为 0, Z 是否为 1, 是转移)

15、LOOPNE/LOOPNZ (Cx-1, 判断 CX 是否为 0, Z 是否为 0, 是转移)

16、CALL、RET (自动保留断点信息)

17、INT

1) 标志寄存器压栈 (SP-2)

2) 清除中断允许标志 I 和追踪标志 T

3) CS、IP 压栈 (SP-4)

4) 调用中断

18、IRET

- 1) IP 出栈
- 2) CS 出栈
- 3) 标志寄存器出栈

第四章 汇编语言程序设计

1、字符集

字母（大小写）、数字、特殊字符

2、保留字

指令助记符及指令前缀（MOV ADD REP）、寄存器名（AX EBX CL）、伪指令助记符（DB SEGMENT）、其他保留字（EQ OFFSET）

3、标识符

- 1) 标识符必须由字母、数字和几个特殊字符（_、@、\$、?、:）组成
- 2) 第一个字符不能是数字
- 3) 标识符不能与某个保留字相同

4、常量（以 A~F 开头，必须在前面加 0）、变量、标号

5、算术运算符

- 1) MOD 求余运算
- 2) 两个地址不能相加
- 3) 地址不能做乘、除操作
- 4) 常数减去一个地址无意义
- 5) 处在不同段中的地址不能相减

6、逻辑运算符 (AND OR XOR NOT SHL SHR)

7、关系运算符 (EQ NE LT LE GT GE)

关系为真，结果为 0FFFFH；为假，则结果为 0

只能用于数字表达式，不能对地址进行运算

8、属性运算符 (PTR)

BYTE、WORD、DWORD

9、数值返回操作符

SEG 求一个标号或变量所在段的基地址

OFFSET 求标号或变量在段中的地址偏移量

TYPE 求变量具有的字节数

LENGTH 求变量所占用的内存单元数，只用于 DUP ()，其它变量返回值为 1

SIZE 变量所占存储器的总字节数 $SIZE=LENGTH*TYPE$

HIGH/LOW 只对立即数有效

10、指示性语句

DB 1 个字节

DW 2 个字节，1 个字

DD 4 个字节，双字

重复次数 DUP (重复内容)

等价伪指令 EQU

段定义伪指令 SEGMENT、ENDS

段组定义伪指令 GROUP

假定伪指令 ASSUME

地址对准伪指令 ORG (指定下一指令或数据在段内的起始地址)、EVEN (使下一指令或数据在段内的偏移量为偶数)

定义符号伪指令 LABEL

源程序结束伪指令 END

第五章 微机总线技术

1、总线的分类及功能：地址总线、数据总线和控制总线。

2、两种工作模式的公共引脚：

(1) 地址/数据总线

AD15~AD0 : 分时复用地址/数据总线

A19/S6~A16/S3 : 分时复用的地址/状态信号线

(2) 控制总线

$\overline{MN}/\overline{MX}$ (输入)：工作模式控制线。接+5V 时，CPU 处于最小工作模式；接地时，CPU 处于最大工作模式。

\overline{RD} (输出，三态)：读信号，低电平有效。

NMI (输入)：非可屏蔽中断请求输入信号，上升沿有效。

INTR (输入)：可屏蔽中断请求输入信号，高电平有效。

RESET (输入)：系统复位信号，高电平有效（至少保持四个时钟周期）。

READY (输入)：准备好信号，来自存储器或 I/O 接口的应答信号，高电平有效。

$\overline{\text{TEST}}$ (输入): 测试信号, 低电平有效。

$\overline{\text{BHE}}/\text{S}_7$ (输出, 三态): 它也是一个分时复用引脚。在总线周期的 T1 状态输出, 在总线周期的其他 T 状态输出 S_7 , S_7 指示状态。

3、最小模式的引脚:

(1) $\text{M}/\overline{\text{IO}}$ (对 8086, 输出, 三态) —— 存储器 I/O 控制: 区别 CPU 需要访问存储器 (为高电平) 还是访问 I/O 端口 (为低电平)。

(2) $\overline{\text{WR}}$ (输出, 三态) —— 写控制: 写控制信号输出为低电平有效。

(3) $\overline{\text{INTA}}$ (输出) —— 中断响应

(4) ALE (输入) —— 地址锁存允许: ALE 信号是在总线周期内的第一个时钟周期内的正脉冲

(5) $\text{DT}/\overline{\text{R}}$ (输出, 三态) —— 数据发送/接收: 信号被用来控制 8286/8287 的数据传送方向。

(6) $\overline{\text{DEN}}$ (输出, 三态) —— 数据允许: 数据允许输出信号低电平有效。

(7) HOLD 、 HLDA (Hold Request 输入, Hold Acknowledge 输出): HOLD 信号是另一个总线主控制者向 CPU 请求使用总线的输入请求信号 (高电平有效), 通常 CPU 在完成当前的总线操作周期之后, CPU 使 HLDA 输出高电平, 作为回答 (响应) 信号。

4、最小模式的总线接口部件: 8284 时钟发生器、8282 地址锁存器和 8286 总线收发器。

5、8086/8088 的时钟和总线周期:

(1) 时钟周期是 CPU 的基本时间计量单位, 由主频决定;

(2) 指令周期是执行一条指令所需要的时间;

- (3) 指令周期划分为一个个总线周期;
- (4) 当 CPU 要从存储器或输入输出端口存取一个字节就是一个总线周期;
- (5) 一个最基本的总线周期由 4 个时钟周期组成。

6、8086/8088 系统的复位和启动:

- (1) 代码段寄存器 CS 和指令指针寄存器 IP 分别被初始化为 FFFFH 和 0000H。
- (2) 8086 复位后重新启动时, 便从内存的 FFFF0H 处开始执行指令。

7、8086/8088 系统总线在最大(最小)模式下读/写操作时序及状态表示、暂停操作、中断响应周期时序和请求/允许操作 (P189-195)。

第六章 存储系统

1、RAM 的分类及特点:

双极型 RAM: 存取速度快, 集成度低, 单片容量小, 功耗大, 成本高;

MOS 型 RAM: 功耗低、集成度高、单片容量大的特点, 但存取速度则较慢。

2、ROM 的功能及分类:

ROM 器件的功能是只许读出, 不许写入。

ROM 可以分为 4 种:

- 1) 掩膜 ROM
- 2) 可编程 ROM (Programmable ROM)
- 3) 可擦除、可编程 ROM (Erasable PROM)
- 4) 可电擦除的、可编程 ROM (Electrically Erasable PROM)

3、静态 RAM 器件组成 (P215 图 6-4), 静态 RAM 与系统总线的连接

(P217-221 例 6.1、6.2、例 6.3)

4、动态 RAM 芯片 (2118 芯片、2164 芯片)

5、只读存储器 ROM 芯片 (2716 芯片、2764 芯片和 27128 芯片)

第七章 输入/输出接口

1、I/O 接口功能：数据缓冲、信号变换、时序控制、地址译码

2、I/O 接口电路的基本结构、I/O 接口寻址方式 (统一编址、独立编址)

3、无条件传送与查询式传送：基本原理与接口电路

4、中断控制系统：

1) 中断的分类

2) 中断源

3) 可屏蔽中断处理过程：中断请求、中断响应、保护现场、执行中断处理、恢复现场、中断返回

4) 中断优先级的概念

5) 中断嵌套

6) 中断控制器 8259A 的初始化及编程应用

5、DMA 传送的基本原理、使用总线的基本方法、DMA 传送过程、8237 初始化及其编程应用

第八章 常用接口技术

1、计算器/定时器 8253 的功能结构、工作方式、编程应用

2、并行 I/O 芯片 8255A 的功能结构、工作方式、编程应用

3、模数转换芯片 ADC0809 和数模转换芯片 DAC0832 的功能结构、编程应用

4、同步通信与异步通信的原理，波特率的概念、串行通信芯片 INS 8250 和 Intel 8251 的功能结构、编程应用