

컴퓨터구조 기말고사 (2017년도 2학기)

학번:

이름:

-
- ✓ 시험시간: 12월 19일(화) 19:00-21:00
 - ✓ 시험지 앞, 뒷면에 10문제가 모두 제대로 인쇄되었는지 확인할 것
 - ✓ 답이 도출되는 과정을 명확하고 알아보기 쉽게 적을 것, 답만 쓰는 경우나 풀이 과정을 알아보기 어렵게 작성한 경우 점수 없음
-

1. (15점) 아래의 문제들에 대해 간략하게 답하시오.

(a) 어셈블리 과정에서 어셈블러는 코드를 몇 번 읽는가? 그 이유는?

(b) RISC는 무엇의 약자인가? RISC의 설계원칙과 MIPS 명령어 집합에서 psuedoinstruction의 도입은 어떤 관련이 있는가?

(c) 어셈블러에 의해 생성되는 오브젝트 파일들은 다음과 같이 구성된다. 각각은 무엇을 의미하는지 한 문장으로 설명하시오.

- Header
- Text
- Data
- Relocation Table
- Symbol Table

2. (10점) 아래와 같이 행렬 연산을 위한 C 코드가 주어져 있다. 각 행렬에서 같은 행에 저장되는 element들은 메모리에 연속된 주소들에 위치한다. A와 B는 8000x8000 크기의 2차원 배열이라고 가정하자.

```
for (i=0; i<8000; i++)
    for (j=0; j<8; j++)
        A[i][j] = B[j][0] + A[j][i];
```

(a) Temporal locality를 나타내는 변수와 그 이유를 간단히 쓰시오.

(b) Spatial locality를 나타내는 변수와 그 이유를 간단히 쓰시오.

3. (9점) 캐시를 이용할 때 현재 접근하는 메모리 주소가 캐시에 있는지 알아보기 위해서는 메모리 주소를 아래와 같이 3개의 필드로 나눈 후 각 필드의 값을 이용하여 캐시에 접근해야 한다. 각 필드의 역할에 대해 간략하게 설명하시오.

(a) Tag

(b) Index

(c) Offset

4. (15점) Cache miss는 3가지 타입으로 나뉜다. 각 타입에 대해 간략하게 설명하시오.

(a) Compulsory miss

(b) Conflict miss

(c) Capacity miss

5. (27점) 8-byte 크기의 블록들로 구성된 32-byte 크기의 (즉 4개의 블록들로 구성된) direct mapped cache를 고려하자. 아래와 같은 순서로 메모리를 접근하는 byte address들이 주어질 때, 각 주소별로 Index, Tag, Miss or Hit, Miss일 경우 종류(Compulsory/Conflict/Capacity) 를 계산하시오.

Miss/Hit 에서 cache hit는 H, cache miss 중 block replacement가 발생하는 경우는 R, 그렇지 않은 경우는 M으로 기입하시오.

Miss의 종류를 판단하기 위해서는 다음을 고려해야 한다. Capacity Miss는 주어진 cache가 fully associative cache일때도 발생하는 miss를 의미한다. 그러므로 conflict miss와 capacity miss를 구분하기 위해서는 주어진 cache 용량과 같은 fully associative cache에서의 miss/hit도 같이 계산해봐야 한다.

| 순서 | 주소 | Index | Tag | Miss/Hit | Miss의 종류 (Miss일때만 해당) |
|----|------------|-------|-----|----------|-----------------------|
| 1 | 0x00000004 | | | | |
| 2 | 0x00000005 | | | | |
| 3 | 0x00000068 | | | | |
| 4 | 0x000000C8 | | | | |
| 5 | 0x00000068 | | | | |
| 6 | 0x000000DD | | | | |
| 7 | 0x00000045 | | | | |
| 8 | 0x00000004 | | | | |
| 9 | 0x000000C8 | | | | |

6. (15점) Single Cycle CPU를 설계하기 위해 명령어 수행을 아래와 같이 5단계로 나눠서 구성한다. 각 단계의 기능을 간략하게 설명하시오.

(a) Instruction fetch

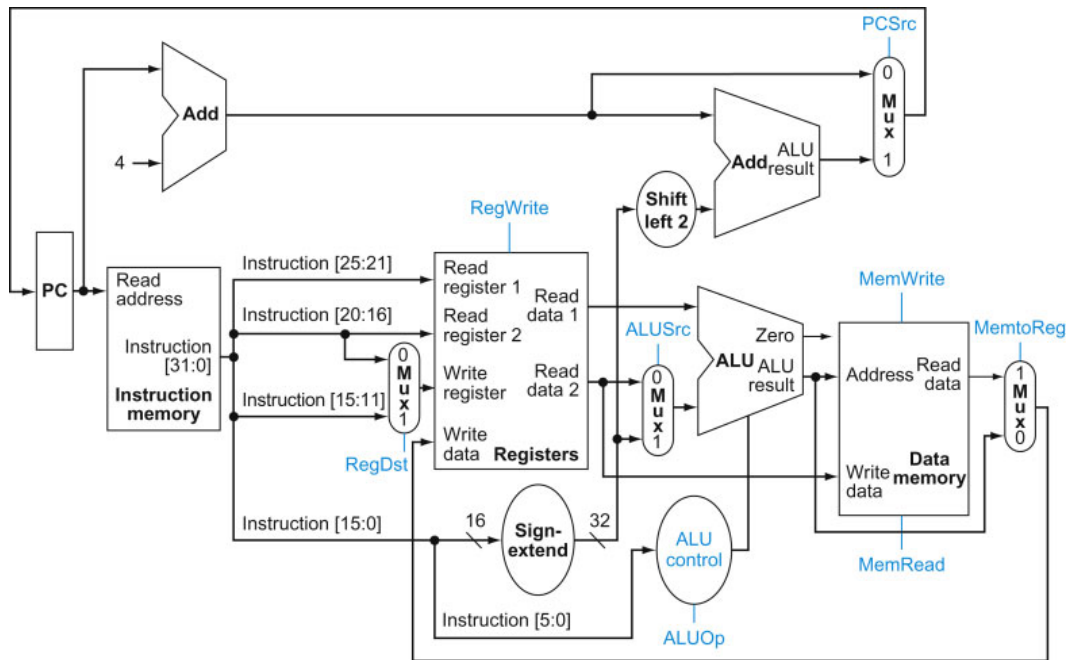
(b) Decode/Register Read

(c) Execute

(d) Memory

(e) Register Write

7. (10점) 아래는 single-cycle processor의 datapath를 나타낸다.



(a) 위의 datapath에서 다음의 명령어를 수행할때 제어신호들의 값들은 어떻게 되는지 아래의 표에 채우시오. ALUOp는 ALU에서 수행되는 연산을 AND, OR, SUB 등으로 나타낸다.

명령어: AND Rd, Rs, Rt

의미: $\text{Reg}[Rd] = \text{Reg}[Rs] \text{ AND } \text{Reg}[Rt]$

| RegWrite | MemRead | ALUSrc | MemWrite | ALUOp | RegDst | PCSrc |
|----------|---------|--------|----------|-------|--------|-------|
| | | | | | | |

(b) 수업 시간에 다룬 명령어 외에 다음과 같은 새로운 명령어를 위의 datapath에서 수행하려고 한다.

명령어: LWI Rt, Rd(Rs)

의미: $\text{Reg}[Rt] = \text{Mem}[\text{Reg}[Rd] + \text{Reg}[Rs]]$

LWI 명령어를 수행하기 위해 현재의 datapath를 변경해야 하는지 아닌지의 여부를 결정하고 그 이유를 설명하시오.

9. (15점) 파이프라인 시스템의 각 stage들에서의 수행시간이 다음과 같이 주어져 있다.

Stage 1 = 40 ns, Stage 2 = 10 ns, Stage 3 = 30 ns, Stage 4 = 5 ns.

(a) 파이프라인 시스템의 clock frequency를 MHz 단위로 계산하시오.

(b) 파이프라인 기법을 사용하지 않고 하나의 명령어를 수행하는데 걸리는 시간은 얼마인가?

(c) 100개의 명령어를 수행했을 때 파이프라인 기법으로 throughput(단위 시간당 명령어 처리 개수)이 얼마나 향상되는가?

```

        lw      $1, 40($6)
        beq     $2, $0, Label          # Assume $2 == $0
Label:   sw      $6, 50($2)
        add     $2, $3, $4
        sw      $2, 50($4)

```

- [illegible]

- [illegible]