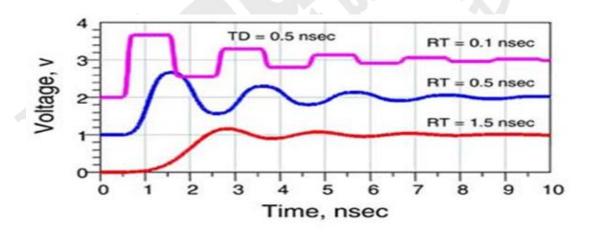
【高速先生原创|高速串行系列】反射重解

作者: 陈德恒 一博科技高速先生团队成员

"反射"的心路历程

广大网友的眼睛是雪亮的,昨天文章中有一处笔误,一发出去就马上收到了朋友的反馈。 小陈同学还无耻地尝试抵赖,很快就在真理面前败下阵来。今天在这里将文章更正后重 新发一遍,以后对公众号文章的检查会更加仔细一些。

我们在介绍信号完整性的时候通常会说"当传输延时大于六分之一的信号的上升时间时,需要考虑信号完整性问题",于是乎教科书里面都会配上一副类似于这样表现上升时间或者传输延时与反射的图片:



最开始的时候小陈说这段话时总会觉得很别扭,"我堂堂信号完整性怎么能是区区反射就能说明的呢?"之后随着理论与实践的深入,越来越觉得"反射中有黄金屋,反射中有颜如玉",be the signal,弄清楚反射与串扰就拿到了解开信号完整性谜题的两把最关键的钥匙,小陈也很希望能陪各位书友将反射弄得更清楚一些,趁着围殴反射的机会,我们将反射系列修改补充后再复习一遍。

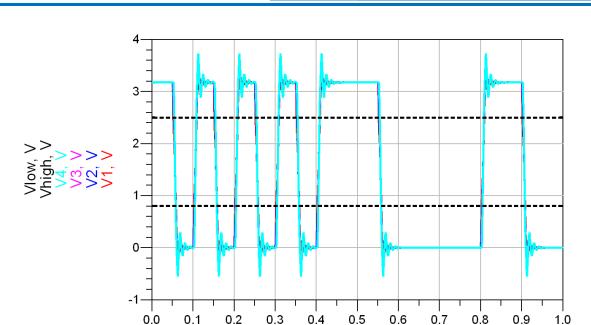
在先导集里,我们先来理一理信号这一路发展过来的心路历程。

在最初的时候,我们还是几百 K 几兆的信号,几十纳秒的上升时间。十几欧姆的驱动阻抗?没问题!小半米的走线?没问题!多负载乱七八糟的拓扑?没问题!

- 1、搜索微信号"高速先生"
- 2、扫描右侧二维码,开始学习



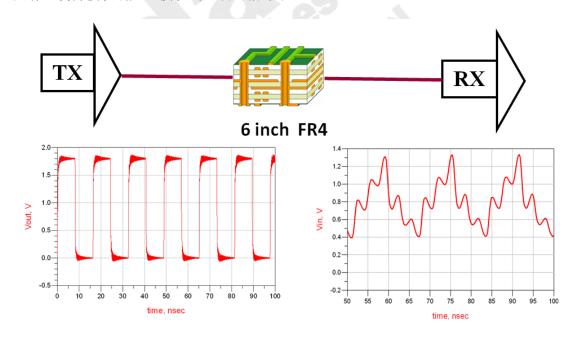
Fdadoc



(10ns 上升时间, 4 个负载, 最长负载距离 0.8m)

time, usec

慢慢的芯片工艺越来越发达,一些时钟芯片,明明只有几十兆,但是上升时间却做到了纳秒以下,这时候一旦走线过长,即使是点对点的传输,原本好好的信号就会由于反射,使得接收端无法接收到正确的信号了。



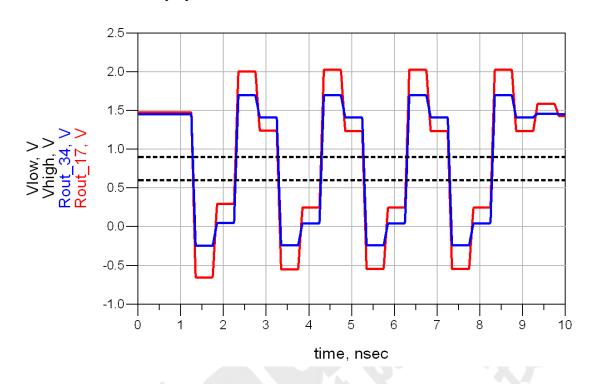
这时候人们要考虑的是缩短走线的距离,或者在链路中间加一个redriver。

后来,出现了像 DDRx 这样的几百兆甚至上 G 的信号,驱动端的阻抗已经不是你想低就能低了,从十七欧姆到三十四欧姆,再不行的话还需要加匹配电阻或者拉低传输线

- 1、搜索微信号"高速先生"
- 2、扫描右侧二维码,开始学习

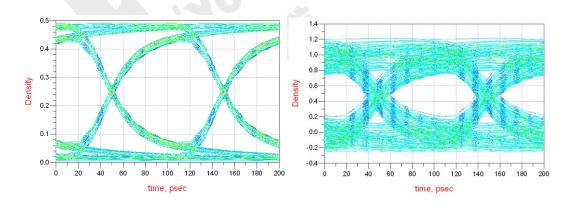


阻抗来减小源端反射,甚至加上了 ODT 等等。拓扑也不是想怎么走就怎么走了,T 点到远端树形,菊花链到 fly-by,还要在末端疏通一下管道,加上上拉电阻。



(点对点信号,上升时间 100ps,驱动端阻抗为 17 与 34 欧姆的比较)

再后来,串行信号出现了,其目标是为了实现超高速传输。功耗大咱们可以降低电平; 损耗大咱们可以用预加重均衡; 串扰大咱们可以拉开间距; 源端和末端这样的反射大的话•••那我们还是把发送端与接收端的阻抗都做成跟传输线一样吧:



(发送/接收端阻抗匹配与不匹配的对比)

现在的电子产品,从芯片的设计到系统的完成,都需要考虑反射的影响,好好的了解一下反射的原理对我们理解硬件设计有非常大的帮助。

Ps: 特别提醒,在学习的过程中需要带入时间与长度的概念。

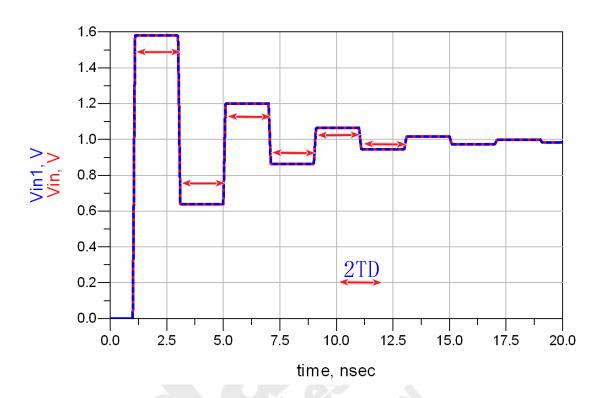
Ps: 重发好没诚意,这里解释一下为何反射回淹没在上升时间内。

- 1、搜索微信号"高速先生"
- 2、扫描右侧二维码,开始学习



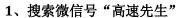


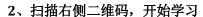
我们学习的时候公式是二维的,并没有增加时间的概念,于是源端低阻抗,末端高 阻抗时, 当发送端发送一个 1V 的阶跃信号时, 我们通常看到的接收端波形是一幅这样 的反弹图:



在这幅图中有两个关键的时间,一个是上升时间 TR,一个是传输延时 TD。什么是 TR? 是信号从0到1的时间,这是一定会需要时间的。上图中,信号的上升时间是100ps, 传输延时是 1ns。也就是说,第一个信号到达接收端的时候是 1ns 时,但是,信号达到 最高幅值 1.6V 的时间是 1.1ns。第二个反射波到达接收端的时候是 3ns 时。

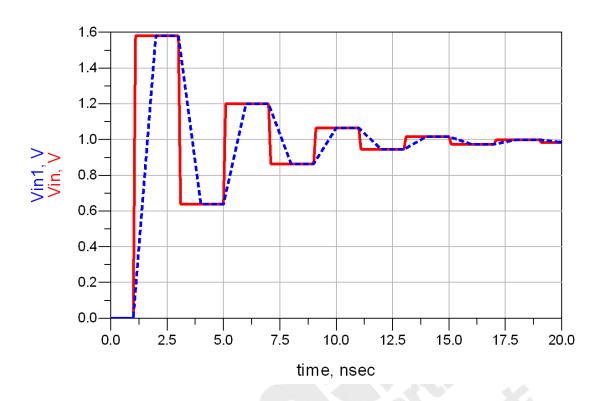
当我们的上升时间变成了 1ns 时,我们经过反射之后的幅值能不能达到最高值 1.6V? 显然是可以的。我们的反弹图变成了这样,信号第一次到达最高幅值 1.6V 的时间是 2ns。



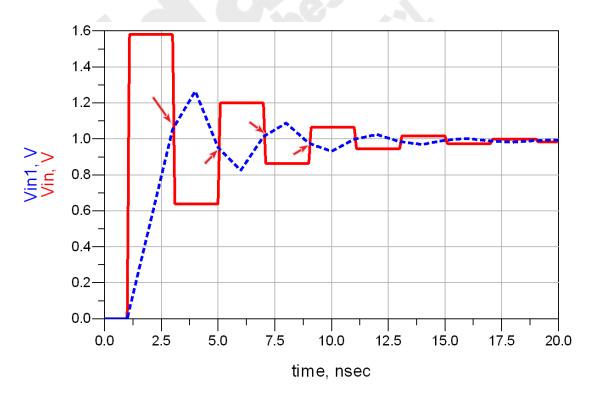








当我们信号的上升时间为 2ns 的时候呢?也是可以的。但是如果当信号的上升时间大于 2ns 时,接收端的信号还能达到 1.6V 吗?永远不行了,因为在 3ns 处,第二次的反射波已经过来了。于是,当信号的上升时间为 3ns 时,反弹图变成了这样子:



注意箭头位置,信号上升的斜率发生了明显的变化,这是因为多次反射波的叠加。

- 1、搜索微信号"高速先生"
- 2、扫描右侧二维码,开始学习



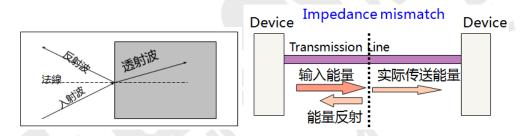
当信号的上升时间再长一点呢?他可能就不止会叠加第二次的反射波,还会叠加第三次第四次第五次第六次,多次的反射叠加之后,就几乎看不出来反射的现象了。

在后文中,会将信号分解,从另外一个角度去分析解释该现象。

集总的世界

大家知道,信号是以电磁波的形式传递的。

波从一个介质入射到另一个介质时,会产生反射。同样的,当我们信号传输遇见阻 抗不连续时,信号会产生反射。



反射能量的强度跟阻抗比匹配的程度相关。在开路短路这种极端情况下,反射的幅值会和入射的幅值相等。

由于反射的存在,即使我们的设计中通常不会出现前面例子中分叉之后再接到接收端的情况,还是会有大量相位不相等的谐波在我们传输线中传输。

这些能量就会相互产生干扰,受干扰的程度跟反射的幅值和两个能量之间的相位差 有关。

从前面的例子中我们可以看到,当两个信号的相位差不到λ /20 时,叠加后的影响 是微乎其微的。

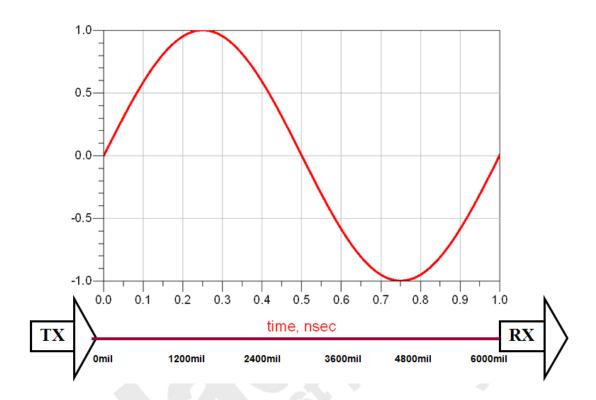
大家通常将 λ /20 作为一个界限,当传输线长度小于 λ /20 时,我们用集总参数来考虑我们的电路。

我们一直在说 λ ,那 λ 是什么?如果大家每次都想着 $\lambda = v^*T = v/f$ 的话,理解一些理论的时候肯定很绕,没法有个直观的反应。在这里大家需要再建立起一个概念,我们通

- 1、搜索微信号"高速先生"
- 2、扫描右侧二维码,开始学习

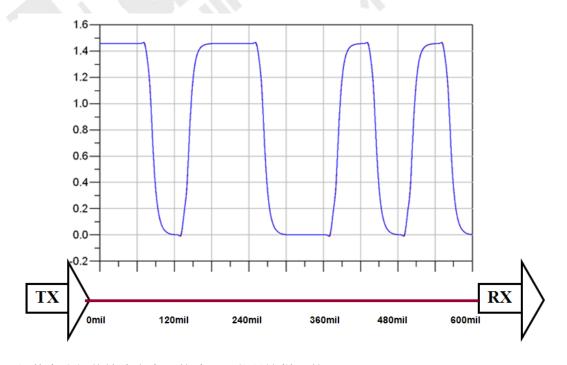


常看到的波形是一个电压/时间的坐标轴,当我们把 X 轴的时间换成长度,在普通的 FR4 板材上,我们看到的大致是一个这样的图像:



我们要在一条传输线上完成一个 1GHz 的正弦波,这条传输线大概需要 6000mil。

所以很多时候我们以为我们传输线上的波形是这样子的:

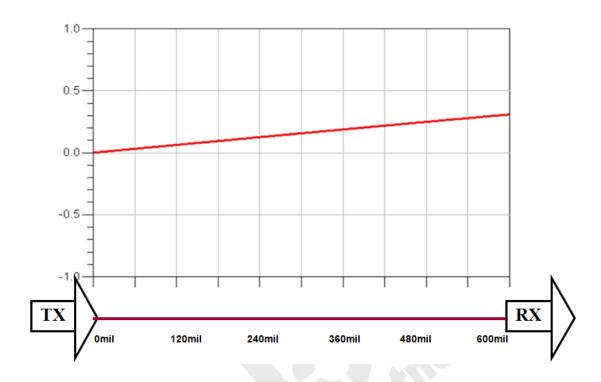


但其实我们传输线上实际的波形可能是这样子的:

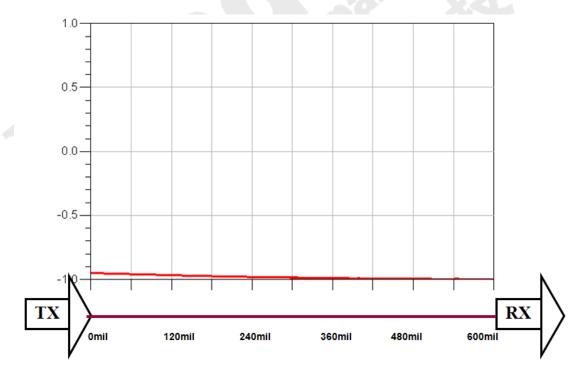
- 1、搜索微信号"高速先生"
- 2、扫描右侧二维码,开始学习







或者是这样子的:

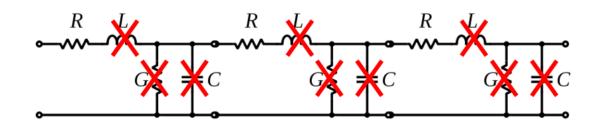


可以看到其实他们的 dv/dX 是非常小的,这里用 dX 不用 dt 是因为传输线的总电容 /电感是跟 X 有关的。

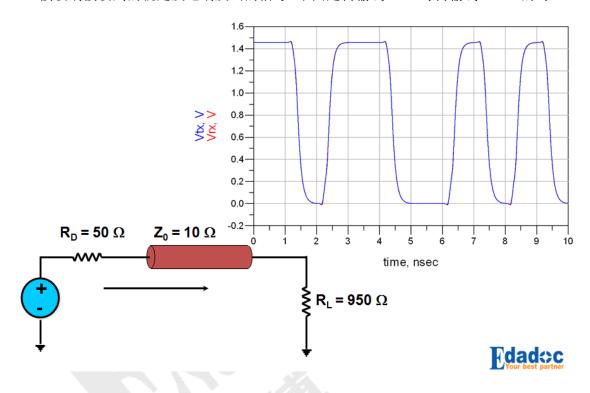
我们都知道地球是圆的,可是身处我们的位置去看的话地球就是平的。同样的,在 集总参数中,由于在线路上的电压电流变化速度很慢,我们可以将它当做是直流,在这 时, 传输线的容抗与感抗都没有表现出来, 这时传输线是透明的:

- 1、搜索微信号"高速先生"
- 2、扫描右侧二维码,开始学习



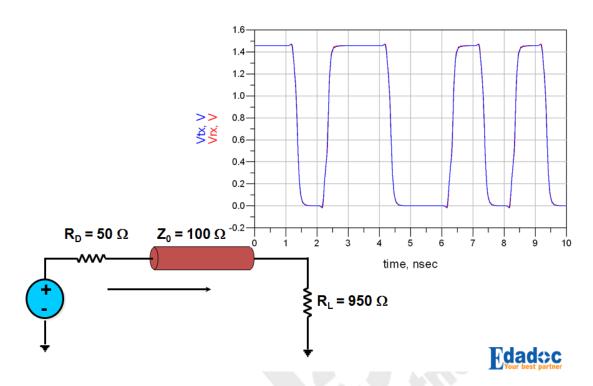


接收端接收到的就是发送端发出的信号,下面是传输线 10Ω 与传输线 100Ω 的对比:



- 1、搜索微信号"高速先生"
- 2、扫描右侧二维码,开始学习





为什么以前的板子不需要控阻抗,为什么现在的一些模拟信号也是不需要控阻抗的, 原因就在这里。

通常我们 1 GHz 的正弦波的 λ /20 在 300 mil 左右,10 MHz 的正弦波的 λ /20 则有 30000 mil 。

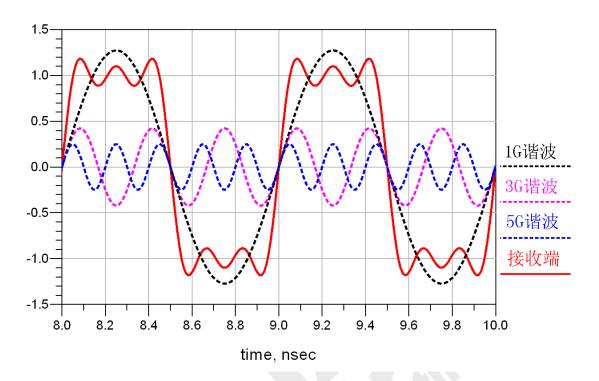
传输线是透明的,接收端接收到的波形与传输的路径没有关系,这就是集总的世界。

一些经验公式

在上面给大家展示的这张图其实是非常有代表意义的:

- 1、搜索微信号"高速先生"
- 2、扫描右侧二维码,开始学习





这是一个 1GHz 的信号, 上升沿大概在 0.1ns 左右。大家想到了什么? 是的,DDR3 的时钟信号。

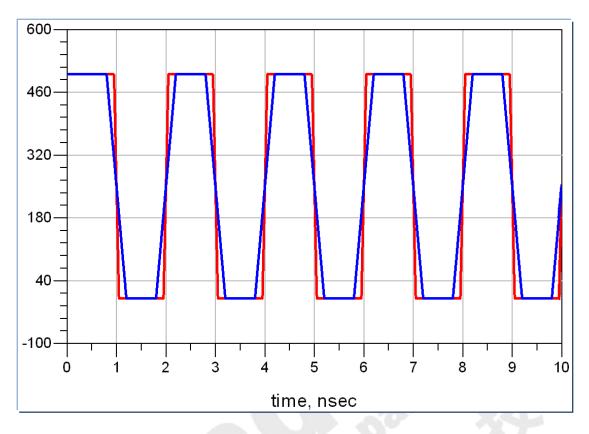
五倍频谐波合成一个波形, 上升沿时间为信号周期的十分之一, 符合我们一切对信 号完整性的预期。

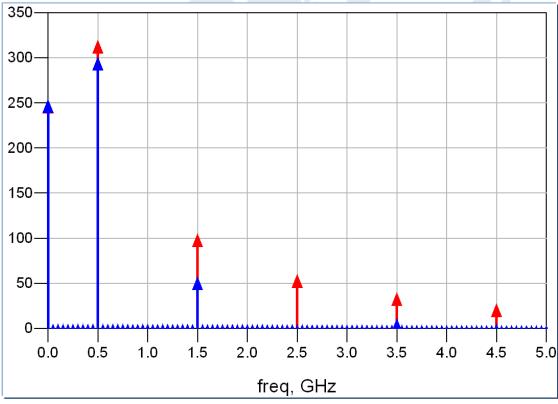
该信号五倍频率处的这个谐波称之为最高次有效谐波,我们前文中说的集总参数与 分布参数界限的λ /20, 指的就是最高次有效谐波的λ /20。所以一个 1GHz 的信号(注 意这里说的是信号,不是正弦波),通常他的\(\lambda\)/20 是 60mil。

但是否每个波形的最高次有效谐波都是信号的五倍频呢?并不一定,大家看下面两 幅图:

- 1、搜索微信号"高速先生"
- 2、扫描右侧二维码,开始学习







这是两个频率为 500MHz 的信号,他们周期相等,幅值也相等,但是上升沿不一样。 很明显,上升沿较抖的红色信号直到 9 倍频处还有较为明显的频率分量,而上升沿较缓的蓝色信号在三倍频以后的频率分量就非常少了。

- 1、搜索微信号"高速先生"
- 2、扫描右侧二维码,开始学习



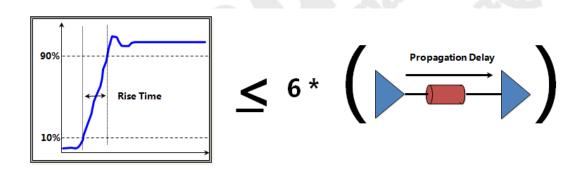
什么时候会出现这种状况呢,不是说好了上升沿时间为信号周期的十分之一吗?

由于工艺的不断更新换代,芯片的 die 电容不断减小,现在大量的 100MHz 信号的上升沿达到了 0.2ns 甚至更少,高速先生不久前就碰到过 66MHz 的信号反射非常严重的。

同样是因为工艺的原因,按照上升沿时间为信号周期的十分之一计算的话,25Gbps信号的上升时间应为8ps,臣妾做不到啊!所以在802.3bj中,要求的25G信号的上升沿为9.6ps(20%-80%)。而在现在的高速无源链路上只关心到信号中心频率的两倍频处,再高的频率分量由芯片来给你保证了。

为了辅助我们得出最高次有效频率,我们还有这些经验公式: 0.35/Tr, 0.5/Tr·····其中 Tr 单位使用 ns 的话,得到的频率为 GHz,两个公式的区别在于对最高次有效谐波定义的严格与否。

等等!各位看官不要走!如果您觉得这样计算最高次有效谐波的波长再除以二十再跟传输线长度来进行对比来判断是集总参数还是分布参数再去决定是否考虑传输线效应太麻烦的话,这里还有个最简单的:



就是这个了,如果上升时间小于六倍的传输延时,我们需要考虑传输线效应,称之 为高速。

最后,让我们来对比一下两种方法算出来的分布参数与高速有何不同,拿我们最开始的 DDR3 的波形举例:

上升时间 Tr 为 100ps;

高速的临界条件为传输延时为 16.6ps;

16.6ps 传输的长度为 100mil;

100mil 为 3GHz 正弦波的λ /20;

3GHz 约等于使用 0.35/Tr 来算最高次谐波 3.5GHz;

- 1、搜索微信号"高速先生"
- 2、扫描右侧二维码,开始学习



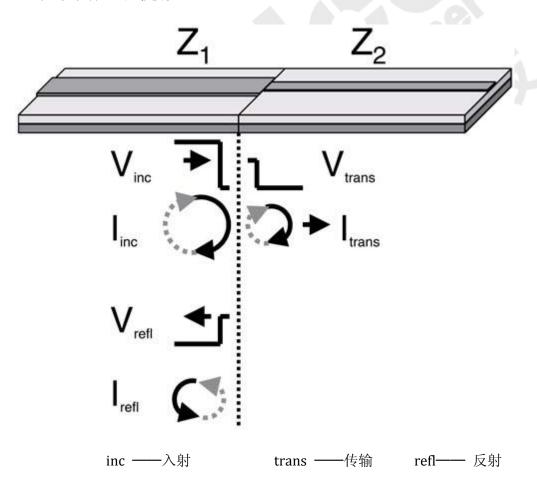
如果使用 0.5/Tr 来算最高次谐波的话, 他的最高次谐波为 5GHz;

回到文章顶部看我们最开始分享的那张图•••••

其实我们用有效频率的二十分之波长来定义分布/集总参数与用六分之上升时间来 定义高速/低速信号是完全一样的东西啊。

路的反射

文章未动,公式先行:



当信号穿越阻抗不连续的点时,会产生反射电压与电流,从而使得分界面两边的电压和电流相等(基尔霍夫定律)。

这样就有如下公式:

- 1、搜索微信号"高速先生"
- 2、扫描右侧二维码,开始学习



更多技术文章: http://www.edadoc.com/book

$$V_{inc} + V_{refl} = V_{trans}$$
 $I_{inc} - I_{refl} = I_{trans}$

其中,由欧姆定律有:

$$Z_1 = \frac{V_{inc}}{I_{inc}} \qquad Z_1 = \frac{V_{refl}}{I_{refl}} \qquad Z_2 = \frac{V_{trans}}{I_{trans}}$$

将基尔霍夫电流定律的电流用 V/Z 替代后:

$$\frac{V_{inc}}{Z_1} - \frac{V_{refl}}{Z_1} = \frac{V_{trans}}{Z_2}$$

将V_{trans}替换后:

$$\frac{V_{inc}}{Z_1} - \frac{V_{refl}}{Z_1} = \frac{V_{inc} + V_{refl}}{Z_2}$$

由该公式我们可以得出:

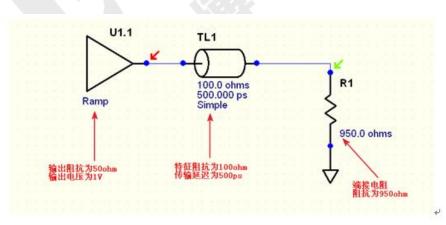
反射系数

$$\Gamma = \frac{V_{refl}}{V_{inc}} = \frac{Z_2 - Z_1}{Z_2 + Z_1}$$

传输系数

$$T = \frac{V_{trans}}{V_{inc}} = \frac{2 * Z_2}{Z_2 + Z_1}$$

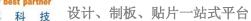
在这里给大家自爆一下高速先生小时候学习过程中做过的笔记:

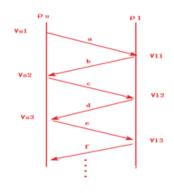


驱动端输出阻抗为 50ohms,输出电压为 1V。传输线的特征阻抗为 100ohms,传输延迟为 500ps。端接电阻阻抗为 950ohms。

- 1、搜索微信号"高速先生"
- 2、扫描右侧二维码,开始学习







由反射理论可得,源端反射系数 $\rho_s={}^{50\,-\,100}/_{50\,+\,100}=-0.333$,负载端反射系数 $\rho_s={}^{950\,-\,100}/_{950\,+\,100}=0.810$ 。 $V = V_o + V_{\Delta H \pm E} + V_{E H \pm E}$

可计算出:

源端初始电压 $V_{s1} = V_0 * {}^{100}/_{100+50} = 0.667v$.

接收端初始电压 $V_{li}=V_{si}+(V_{si}*\rho_l)=0.667+0.667*0.81=1.206$,反射电压 $b=V_{si}*\rho_l=0.540$ v。...

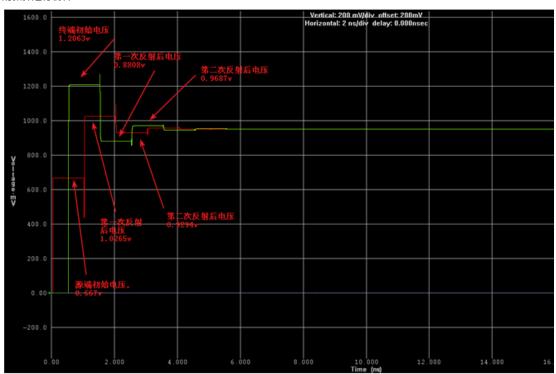
源端第一次反射后电压V₂₂ = V₅₁ + (b + b * ρ₅) = 0.667 + 0.540 - 0.18 = 1.027,反射电压c = b * ρ₅ = -0.18vo ...

接收端第二次反射后电压 $V_{12}=V_{11}+(c+c*\rho_l)=1.206-0.18-0.146=0.880$,反射电压 $d=c*\rho_l=-0.146v$..

源端第二次反射后电压 $V_{s3}=V_{s2}+(d+d*\rho_s)=1.027-0.146+0.049=0.93$,反射电压 $e=d*\rho_s=0.049v\circ ...$

接收端第三次反射后电压 V_{12} + $(e+e*\rho_i)$ = 0.88 + 0.049 + 0.04 = 0.969,反射电压 f= $e*\rho_i$ = 0.04v。 ...

对拓扑进行仿真,。



测量值与计算值相符。。

- 1、搜索微信号"高速先生"
- 2、扫描右侧二维码,开始学习



对于理工科来说,一些从数学上去理解问题的过程是必不可少,也是最直观的。

高速先生也和大家一样,学习反射都是从手算反弹图开始的。同样的,小高速先生在画出反弹图之后曾经觉得自己懂反射了。

可是转念一想,还是发现了很多无法理解的问题:

为什么测试时在通道中间测试到的波形有回沟,而在终端测试到的波形又是好的?

Breakout 区域有一次阻抗不连续,但走出该区域之后,走线从细变宽,会增加一次反射,那是不是全程按照 breakout 区域走线会比较好?源端匹配电阻是不是也增加了一次反射?

是的,其实这些用一句"传输线很短的时候反射掩盖在上升沿中了"就可以解释。 但是到底是怎么掩盖在上升沿中的?

我们发现在上方的反弹图中传输延时远远大于信号的上升时间,在计算反射时我们用的电压实际上是信号高电平的电压,并没有关注上升沿过程中其他电平的状态,但实际上的情况并不是这样,可是如果我们如果把上升沿的状态加入算式中,那这游戏可就没法玩了。

将信号拆分

在国外能碰到许多二三十年工作经验的工程师,帮助他们沟通的工具不是 PPT,不是仿真结果,不是测试结果,而是一张纸和一支笔。

很佩服他们可以用一张纸一支笔给你勾绘出一个电路,一条波形,一种 debug 的方案。曾有一个老工程师告诉我,当你用场的角度去理解电路上的器件的时候,一切将会变得简单起来。

什么叫场的角度理解分立器件? 在这个世界里,容抗是 $X_{c=1}/(2\pi fC)$,感抗是 $X_{L}=2\pi fL=\omega L$ 。

这两个公式中的 f 与 ω 指的不是我们的信号频率, 而是正弦波的频率与角频率。

在这里,我们要感谢伟大的让·巴普蒂斯·约瑟夫·傅立叶——简称傅立叶,对,就是 发明傅立叶变化的那个人。

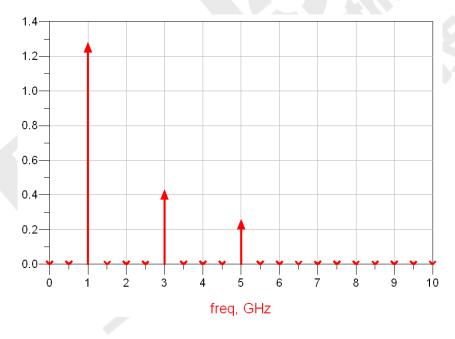
所以在大家眼中看到的信号是这样的:

- 1、搜索微信号"高速先生"
- 2、扫描右侧二维码,开始学习





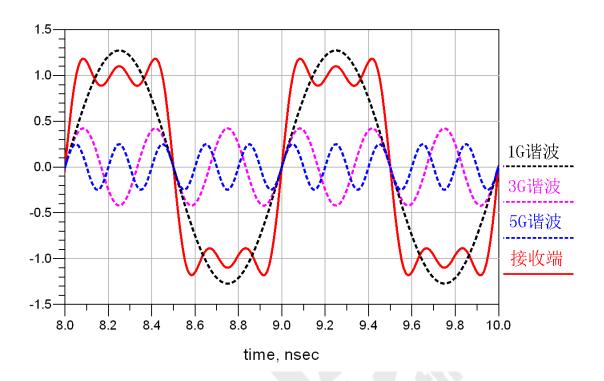
而在一个 SI 工程师的眼中看到的信号是这样的:



或者,这样的:

- 1、搜索微信号"高速先生"
- 2、扫描右侧二维码,开始学习



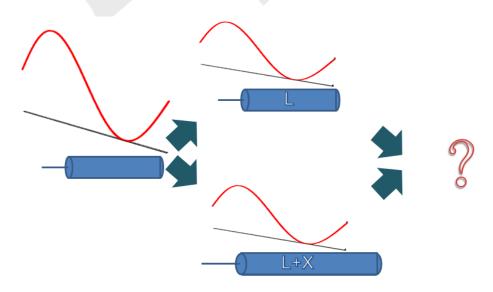


当我们能将信号分解为一个一个正弦波来研究的时候,一切都变简单了,可以量化了。在正弦波的世界中只有频率 f,幅度 A,相位 θ 。

现在, 我们可以愉快的用场来看这个世界了

让我们来思考下面这个问题:

一个 1V 的正弦波在某岔路口分成了两个大小相等的正弦波,两条路通向同一个终点,但是一条路长为 L,另外一条路长度为 L+X,在终点的时候,这个正弦波变成了什么?

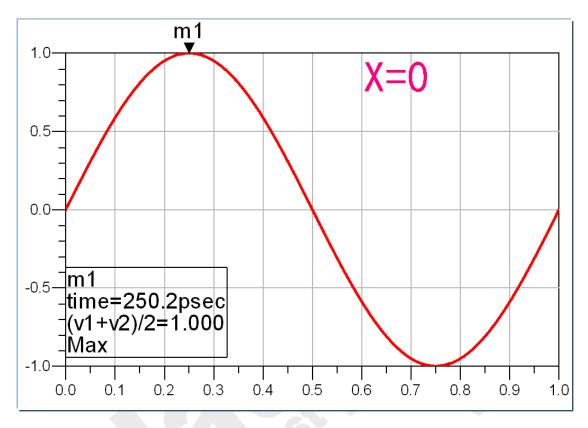


- 1、搜索微信号"高速先生"
- 2、扫描右侧二维码,开始学习



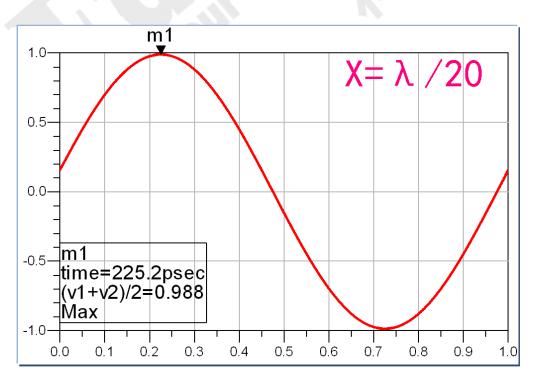
Rdad⇔C 全球最大的高速 PCB 设计中心

当两条岔路一样长时,:



终点的信号和起点的信号没有区别。

当一条路比另一条多二十分之一波长时:

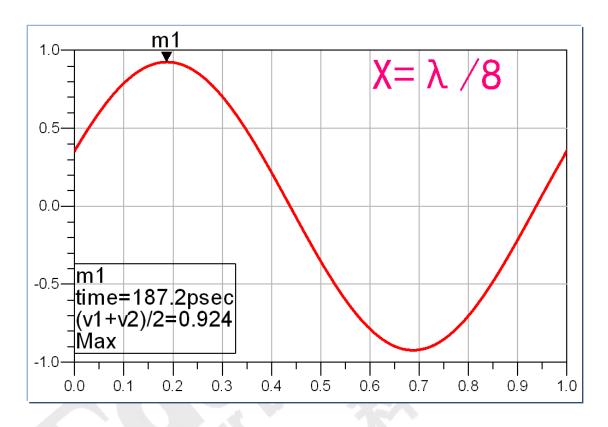


- 1、搜索微信号"高速先生"
- 2、扫描右侧二维码,开始学习



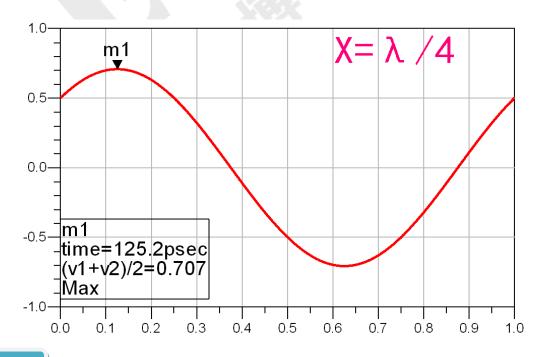
区别也十分小吧?高速先生在这里特别打上了 mark 点。大家可以看到,终点的信号比起点的信号衰减了 1.2%。

X 更长, 达到八分之一波长时:



这时候,衰减已经不需要打 mark 点也可以看出来了。

X 再长一点, 达到四分之一波长时:

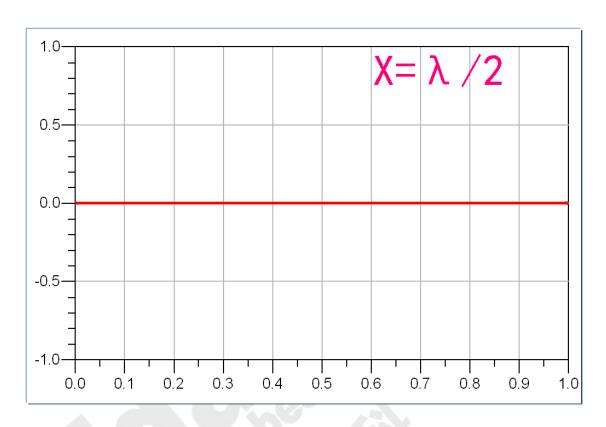


- 1、搜索微信号"高速先生"
- 2、扫描右侧二维码,开始学习



30%的能量不见了!

直到, X 达到波长一半的长度:



好惨, 完全阵亡。

那么,这一期的问题是: 为什么高速先生要举这个例子呢?

好吧,这个问题也是个玩笑(首尾呼应)。这一系列的基础理论详解就不提问题了。 奖品将在向我们提问的各位朋友中选出。

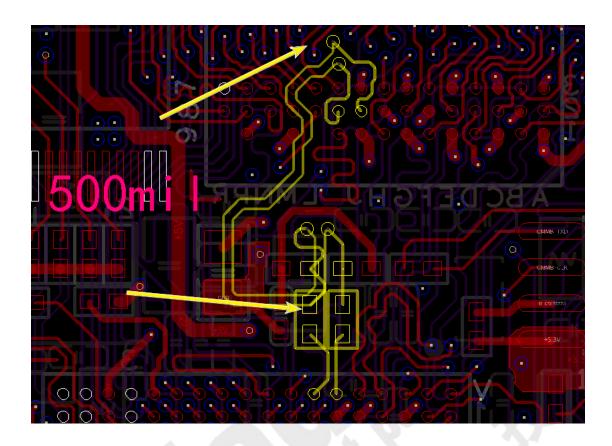
场的反射

来到了场的领域,我们要做的第一件事就是把我们的波形拆开,让我们先来看看之 前说过的测试点的问题。

为了将问题简化,我们假定一个这样的条件:

- 1、搜索微信号"高速先生"
- 2、扫描右侧二维码,开始学习

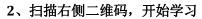




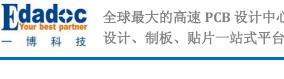
- 1.在拓扑上,源端完全匹配,末端全反射,理想的 100Ω 差分传输线。
- 2.传输的为我们之前模拟的 DDR3 信号,由三次谐波构成。
- 3.测试点位置离接收端距离为 500mil。

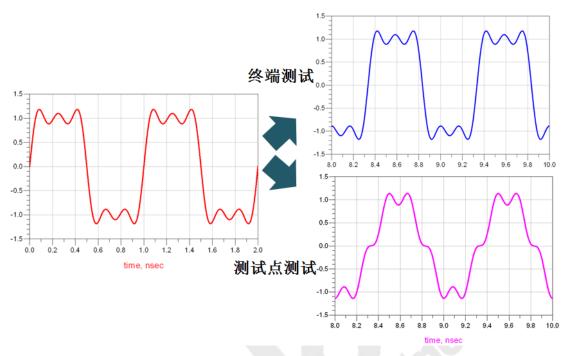
好的,现在开始让我们分析,首先,如同大家在之前文章中看到的,我们接收端信 号与测试点信号的区别是这样的:



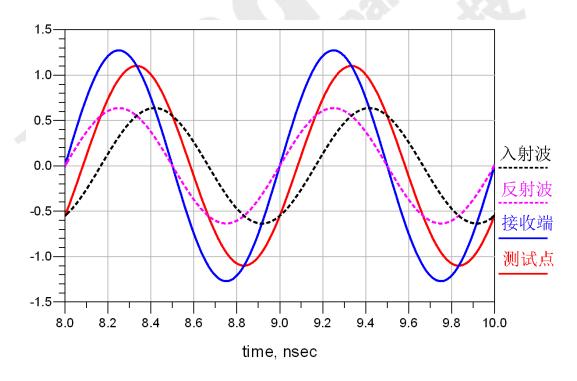








让我们看看 1GHz 谐波发生了什么:



测试点测到的是两个信号叠加的波形,一个是入射信号,一个反射波。反射波与入 射波幅值相等(末端全反射);走过的路程比入射波多 1000mil(一来一回),也就是 六分之一波长:两个信号的相位差也就是 60°。

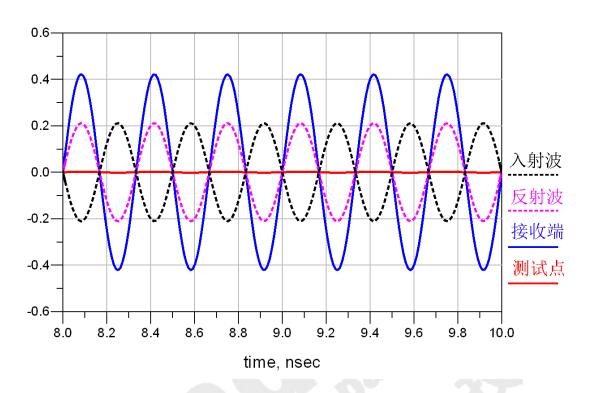
这样,我们就看到了1GHz的谐波在接收端时蓝色的波形,在测试点处为红色的波 形,幅值衰减,相位超前。

- 1、搜索微信号"高速先生"
- 2、扫描右侧二维码,开始学习



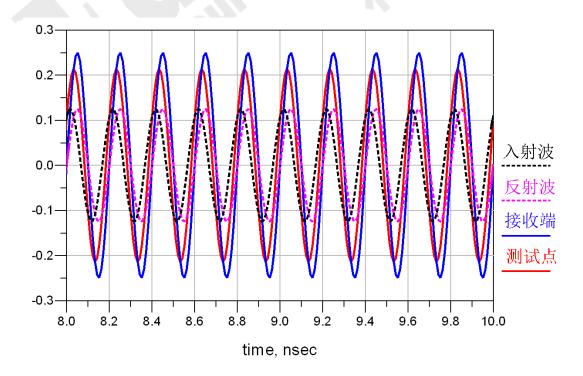


再看看 3GHz 的谐波:



同样的 1000mil,对于 3GHz 来说就是半波长,相位差 180°,这样我们就发现在测试点处 3GHz 的频率分量基本上就衰减完了。

再来看看 5GHz 的谐波:

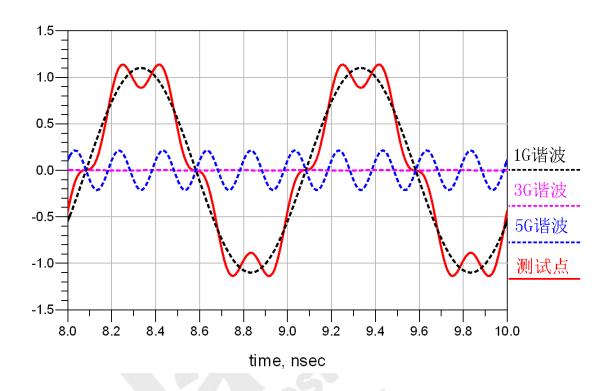


- 1、搜索微信号"高速先生"
- 2、扫描右侧二维码,开始学习



相位差 300°, 于是看到测试点的波形衰减,相位滞后。

将在测试点的三个频率分量的叠加再叠加起来之后:



不知道大家对于这样的分析方法是感觉如何,是觉得把东西变复杂了还是变简单了呢?怎么想没有关系,下一篇中高速先生会将这样的方法再拓展,相信你会爱上这个方法的。

反射疑云

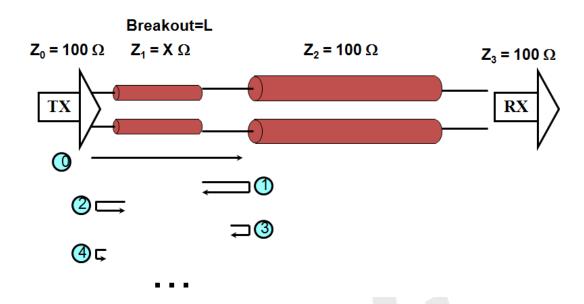
在前文中有不少公式与计算,但其实个人觉得应用工程师要做的是知道趋势,知道 影响范围,并不需要精确计算,那是软件干的事情。

最近听到一个理论,说大数据时代,人们只需要知其然,不需要知其所以然。想象一下,当我们要做一个项目时,我们可以轻而易举的知道一些其他类似项目哪些结构成功了哪些结构失败了,我们还需要理论分析干嘛呢?

这句话到底有没有道理大家仁者见仁智者见智,下面我们继续来解决我们的反射问题: Breakout 区域有一次阻抗不连续,但走出该区域之后,走线从细变宽,会增加一次反射,那是不是全程按照 breakout 区域走线会比较好?

- 1、搜索微信号"高速先生"
- 2、扫描右侧二维码,开始学习





首先将问题进行简化,由于本身反射系数不大,第四次反射很小,假设传到 RX 的信号是最初的信号加上第二次反射的信号。

一段长为 X 的阻抗不连续,对哪个频率的影响最大呢? 当相位差为(2n+1) π /2 时,也就是相差二分之一波长的时候(反射一来一回,对应的 X 为四分之一波长)。

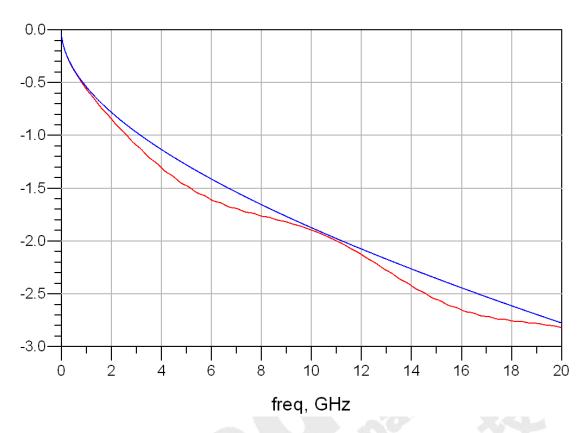
也就是说,当 X 为 100mil 时,第一次最大衰减的频点为 15GHz,我们从 S 参数中可以很明显的看出:



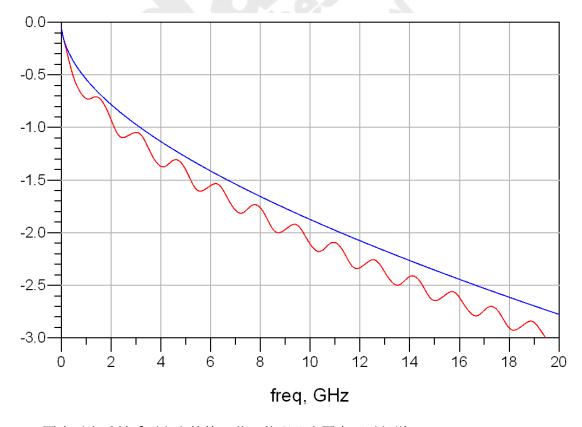
当 X 为 300mil 时,第一次谐振频率为 5GHz:

- 1、搜索微信号"高速先生"
- 2、扫描右侧二维码,开始学习





假设总线长为 2000mil, 而全部按照 breakout 区域走线的阻抗去走的话,第一次谐振频率则变成了 750MHz,谐振周期为 1.5GHz:



回头呼应反射系列文章的第一节,从那几张图中可以知道:

- 1、搜索微信号"高速先生"
- 2、扫描右侧二维码,开始学习

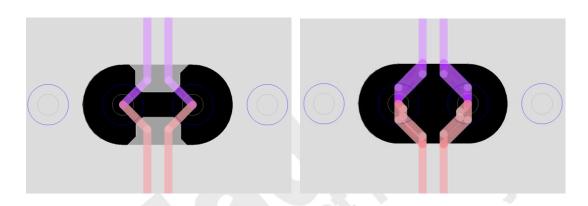


四分之一波长差的损耗为二分之一波长差损耗的 30%, 二分之一波长差时完全没有了, 四分之一波长差时还有 70%。

全反射(反射系数为1)时,在谐振频率损耗为100%,谐振频率的损耗跟反射强度有关。

看到这里估计各位看官也明白了,阻抗不连续越长,影响的频率越低。的的确确是因为阻抗不连续较短,反射淹没在上升沿当中了。

根据这套理论,我们很容易去判断设计中的一些细节对整个系统的影响到底有多大, 举个例子:



信号速率越来越高是一种趋势,于是各种优化方案也被人们提了出来,这两个可能 是近年来开始被大家熟悉的优化方案,加粗反焊盘上的走线或者填补走线附近的参考层, 以防止反焊盘上扇出的走线阻抗偏高。可是这到底有多大的影响或者优化呢?

排除一些特殊情况(连接器,板厚较厚需要使用较大过孔等等),这一段在 antipad 上的走线长度大约为 20mil(亲,不要把过孔 pad 算上哦)。

20mil 的第一次谐振频率大约是多少呢? 75GHz(四分之一波长)。如果我们按照二十分之一波长(影响不到 1%)来算的话,对应的频率也是 15GHz。您的信号需要做这样的优化吗?

看完这些之后,相信能帮助大家在工(he)程(ge)师(wan)精(sui)神和工(qiang)匠(po)精(zheng)神中间找到一个平衡点了。

这一节高速先生有给大家准备问题。问:减小反射影响的方法有哪些?

- 1、搜索微信号"高速先生"
- 2、扫描右侧二维码,开始学习



深入反射

问: 穷人思维和富人思维有什么区别?

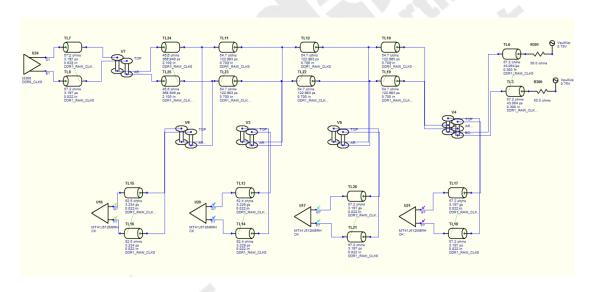
答: 我拿到一 2.4mm 的 20 层板给它的 28G 信号通道做优化,将信号安排在最后几层,花了很久的时间在孔径,pad,antipad,taper,孔距,地孔数量上做平衡,在最后为 20mil 长的 stub 需不需要背钻做整体评估时,客户拍拍我的肩膀说:"小陈呐,别那么麻烦了,用镭射孔走第三层嘛,过孔短,stub 也短"。

真实故事改编, 逗大家一乐。

回顾上一期问题,平时大家想到减小反射的方法大多在匹配传输线阻抗,源端串阻, 末端端接,进一步的还有容性负载补偿。

除了减小反射本身,是否还有别的方法呢?有,避开谐振点。

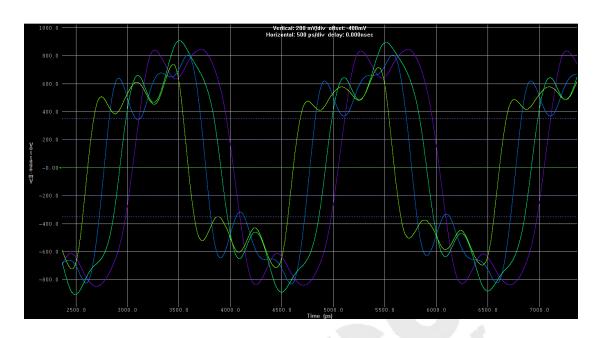
下面是一个简单的 DDR3 时钟一驱四的拓扑,时钟频率为 500MHz:



CPU 到第一片颗粒长度为 1500mil, 颗粒与颗粒之间的长度为 500mil, 这时接收颗粒的波形如下:

- 1、搜索微信号"高速先生"
- 2、扫描右侧二维码,开始学习

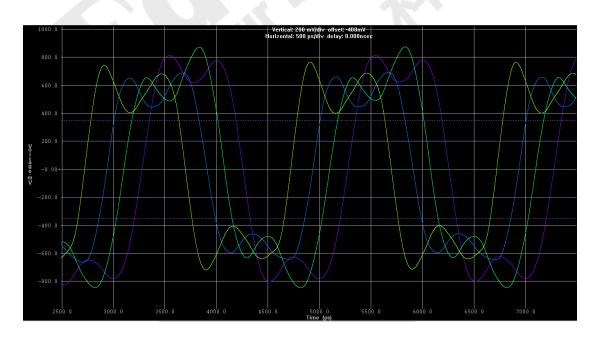




拓扑没有没有问题,末端也用匹配电阻上拉了,负载也并不多,为什么裕量那么小?

回想一下前几节说的,500HMz 的时钟信号频域分量主要在500MHz,1.5GHz,这 几个频率分量的四分之一波长分别为 3000mil, 1000mil。而我们当前拓扑中两两之间 1500mil, 500mil 的线长很容易就凑成了四分之一波长,谐振最严重的长度。

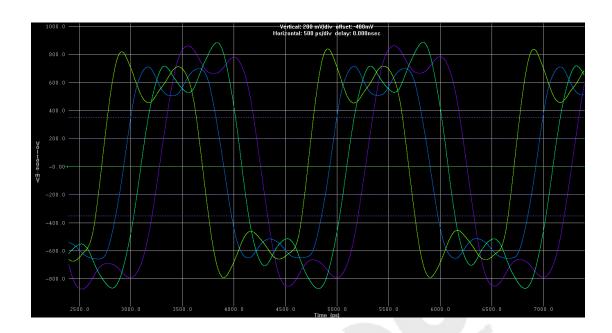
怎么办呢? 我们将 CPU 到第一片颗粒之间的线长延长至 2100mil, 颗粒之间线长延 长至 700mil 之后:



整体的裕量变大了,如果再稍微做一些容性负载补偿:

- 1、搜索微信号"高速先生"
- 2、扫描右侧二维码,开始学习





裕量进一步提升。实际操作时只需要在布局时稍微注意一下器件之间的距离,不需 要增加成本,也不需要多余的绕线。

高速先生反射系列的文章到这里就结束了,最后总结一下:

- 反射的本质是波的反射,以及不同相位的波之间的叠加。
- 反射影响的严重程度主要是以下两点:
 - 1.阻抗不匹配程度,影响谐振幅值。阻抗越不匹配,谐振幅度越大。
 - 2.阻抗不匹配长度,影响谐振频率,不匹配长度越长,谐振频率越低。
- 需要根据实际情况分析反射的影响,对症下药。

希望这一系列文章对大家有帮助,欢迎大家提问讨论

【关于一博】

- 一博科技专注于高速 PCB 设计、PCB 制板、焊接加工、物料供应等服务。作为全球最大 的高速 PCB 设计公司, 我司在中国、美国、日本设立研发机构, 全球研发工程师 500 余人。超大规模的高速 PCB 设计团队,引领技术前沿,贴近客户需求。
- 一博旗下 PCB 板厂成立于 2009 年,位于广东四会(广州北 50KM),采用来自日本、 德国的一流加工设备,TPS 精益生产管理以及品质管控体系的引入,致力为广大客户提 供高品质、高多层的制板服务。
- 一博旗下 PCBA 总厂位于深圳,并在上海设立分厂,现有 12 条 SMT 产线,配备全新进 口富士 XPF、NXT3、全自动锡膏印刷机、十温区回流炉等高端设备,并配有波峰焊、 AOI、XRAY、BGA 返修台等配套设备,专注研发打样、中小批量的 SMT 贴片、组装等

- 1、搜索微信号"高速先生"
- 2、扫描右侧二维码,开始学习





服务。

【关于高速先生】

高速先生由深圳市一博科技有限公司 R&D 技术研究部创办,用浅显易懂的方式讲述高 速设计,成立至今保持每周发布两篇原创技术文章,已和大家分享了百余篇呕心沥血之 作,深受业内专业人士欢迎,是中国高速电路第一自媒体品牌。



扫一扫,即可关注

- 1、搜索微信号"高速先生"
- 2、扫描右侧二维码,开始学习

