# **【高速先生原创|生产与高速系列】DesignCon文章解读之56G还是非主流，居然和我提112G？**

作者：黄刚 一博科技高速先生团队队员

【关键词 keyword】112G 调制方式误码率连接

【摘要】

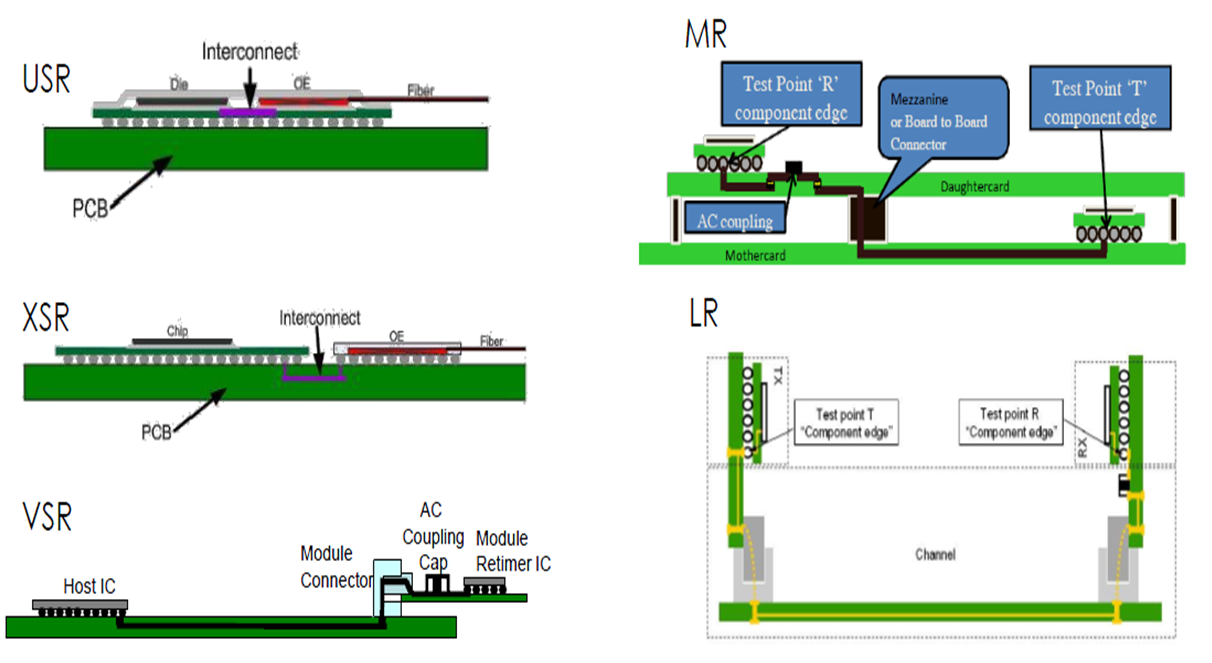
生活中用过10K的拨号上网，也拉过外面1M的野鸡ADSL，到现在被某通信商客服狂打电话装200M的光纤。10K的网络主要看文字，1M的网络能看图片，到现在200M的网络我们能看高清视频，希望网速更快点吗？那你关注这篇文章就对了，我们的工作可以帮你做到！

【正文】

在我们的SI工作中做过10M以太网、10G光模块、25G背板，到现在进行56G的通信系统设计仿真。通信行业的10G、25G、56G这些数字的增长的确和我们生活中网速的增快大有关联。我们每家每户的上网数据都是由上层的核心路由器和交换机层层转发而来，那我们上网的速率（上行或下行）实际上很大程度决定于交换机转发的速率，也就是交换机的信号速率。所谓的25G或者56G实际上就是指交换板（业务板）单通道的速率，也就是单对差分线可以传输25Gbps或56Gbps。我们关于高速串行信号的仿真设计也就是针对它们开展，去研究如何保证该链路的信号质量。目前来说25G是主流的速率，56G对大多数公司还是非主流（当然国内也有几家公司完成了量产）。我们面对25G曾经提出过一箩筐的PCB优化手段，在25G跨越到56G的时候这些措施很多都保存了下来，因此25和56G之间实际上还是有很多继承的东西。如果我们把眼光放得长远一点，来看看目前概念性的112G，我们能看到很多不同的地方吗？专家们的创造力是无限的，通过这篇文章我们来看看业界对112G是怎么描绘的。



首先解释下传统意义上怎么来分长通道和短通道的，在56G的协议里有这么一张图来定义：主要区别点在于连接器的数量，是否过背板和大概走线的长度。



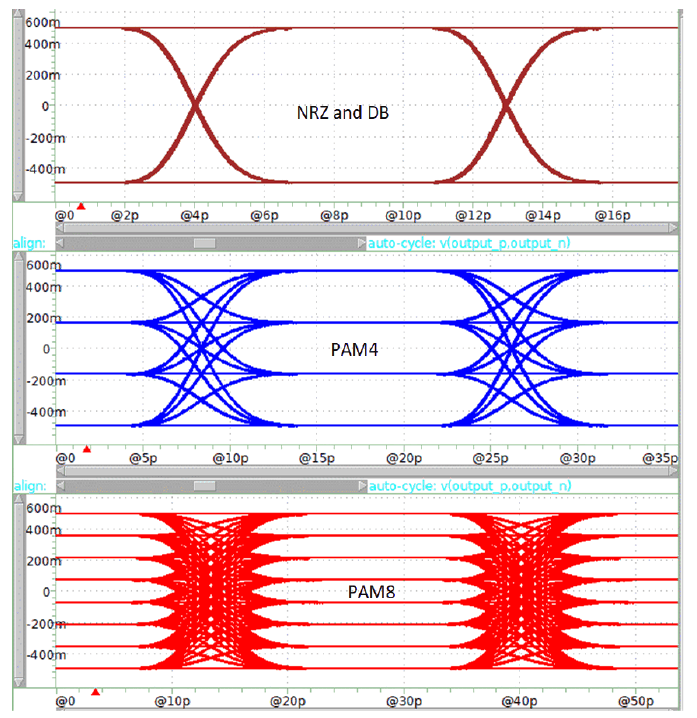
但是这篇文章的观点是：不是取决于长度，而是损耗。本人对这个是赞同的。我们在很多场合也说过这样一个观点：站在芯片的角度，其实它并不知道走线有多长这个物理规则，它只能感应到有多少损耗在它那里。



然后这篇文章描述了112G可能用到的电平编码方式，这个应该是本文的一个重要的point了。



分别是我们一直在用的NRZ（不归零码），56G应用广泛的PAM4（这里要注意，PAM4并不是56G协议的独创，实际上在28G就已经有28GPAM4了），然后还有两种猜想就是Duobinary，双二进制编码和PAM4的升级版PAM8。它们的TX眼图是下面这样的。



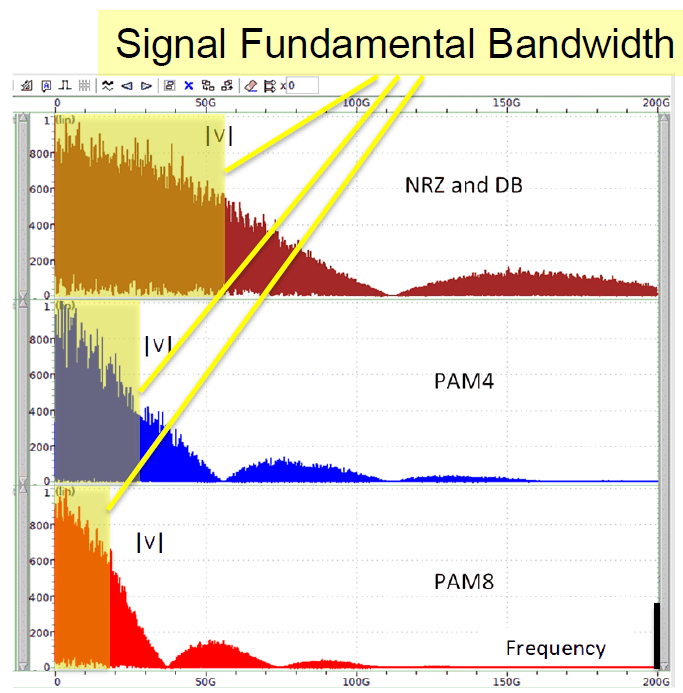
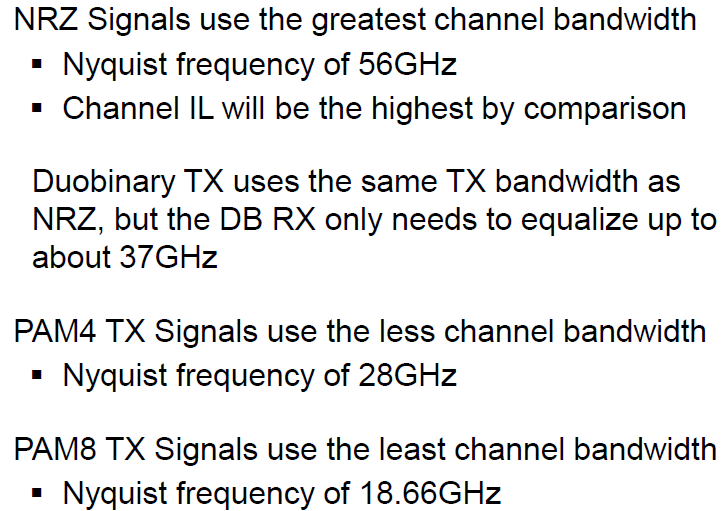
这里大概说明下每一种速率的编码方式和基频。

NRZ好说，就是每个bit不是传1就是传0，一个周期2个bit，基频为56GHz；

双二进制编码，其实在发送端和NRZ一样，但是传输的时候会把1电平编码为“+1”和“-1”，然后在接收端再解码出来，因此一个周期不止传2个bit的信息，基频可以降低为37GHz；

PAM4，实际上就是在发送端把2个bit编码为4种电平（2的平方），因此1个周期可以比NRZ多传一倍的bit信息（4个bit），因此基频为112/4=28GHz

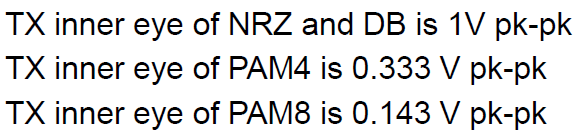
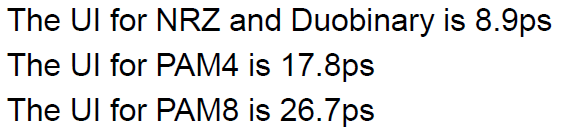
PAM8，更厉害一点，在发送端把3个bit编码为8种电平（2的3次方），因此1个周期可以传6个bit，基频进一步降低为112/6=18.66GHz。



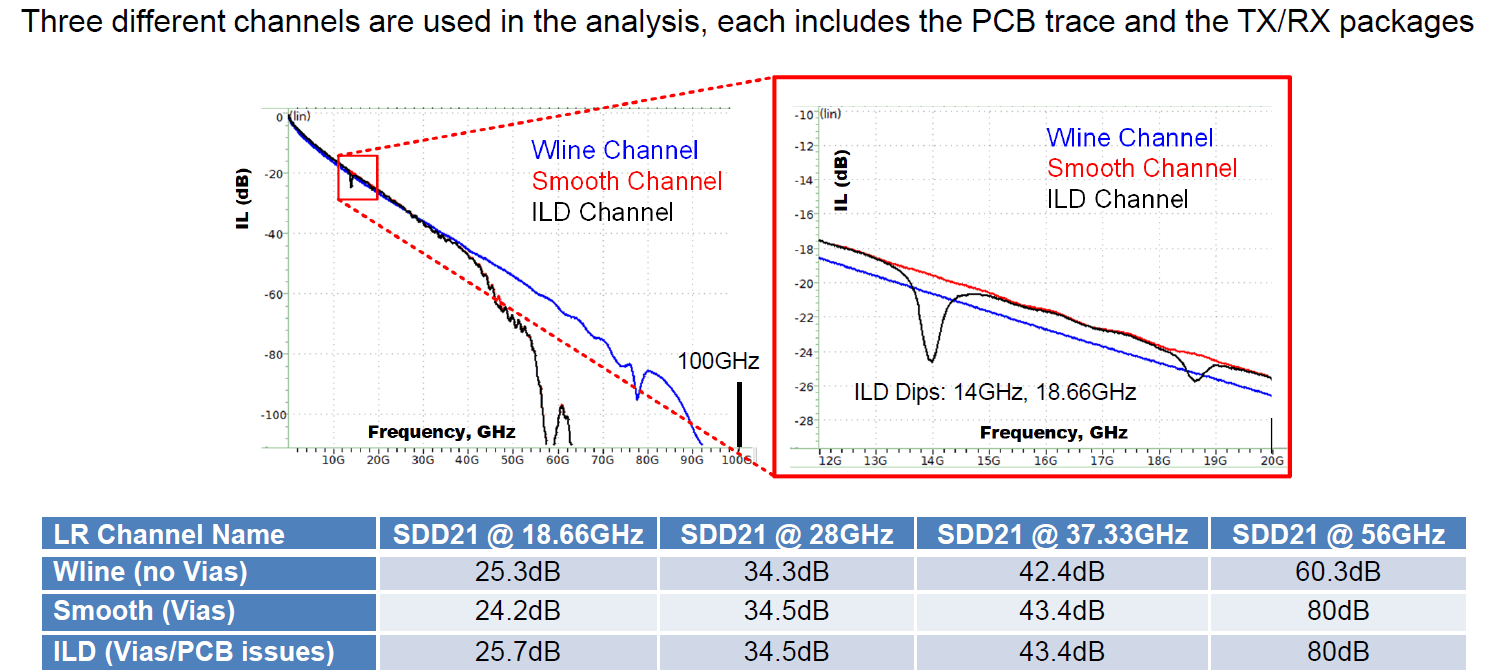
从能量分布来看也是如此，基频越低的PAM8能量更为集中，NRZ能量就比较分散。

它们各自的眼高和眼宽都不相同：

NRZ和Duobinary（双二进制）是眼宽眼高最大，PAM4次之，PAM8最小。



我们从PCB中提取的无源链路如下所示，



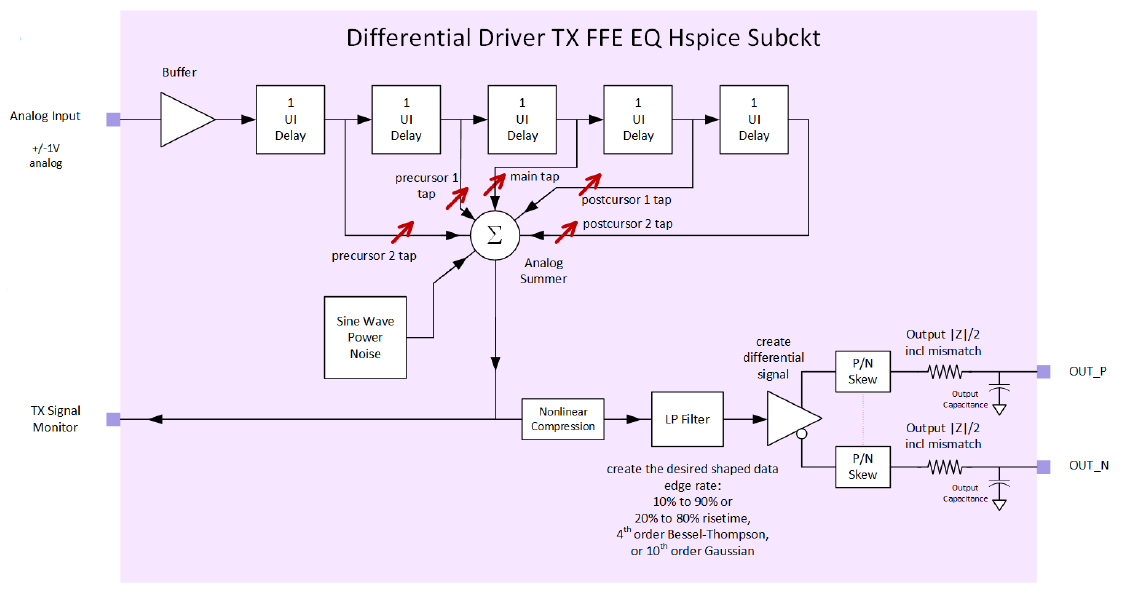
分别分析三种case：

1. Wline：单纯传输线模型，没有过孔，是理想的情况；
2. Smooth:传输线加上过孔，但是过孔优化成很短的stub；
3. ILD传输线加过孔，考虑加工的误差，例如叠层的不均匀和过孔stub比较长。

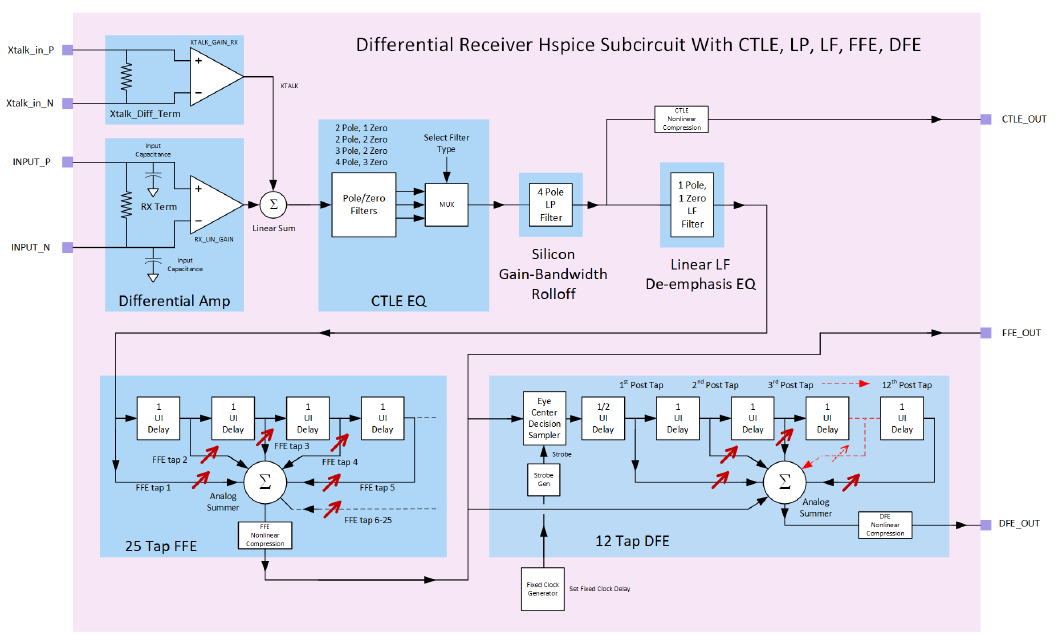
可以看到这三种情况在几个特点的频点的损耗几乎是相同的，但是差别在于Smooth和ILD会有不同频点的谐振。

除了在电平方面的优化。降低基频外，另外在芯片的能力上也做了一些规划。

首先在发送芯片中，我们的FFE均衡需要使用5级的tap去做pre和post运算，多级的tap可以去修正脉冲响应相邻几个bit的拖尾，目的是补充高频的能量。



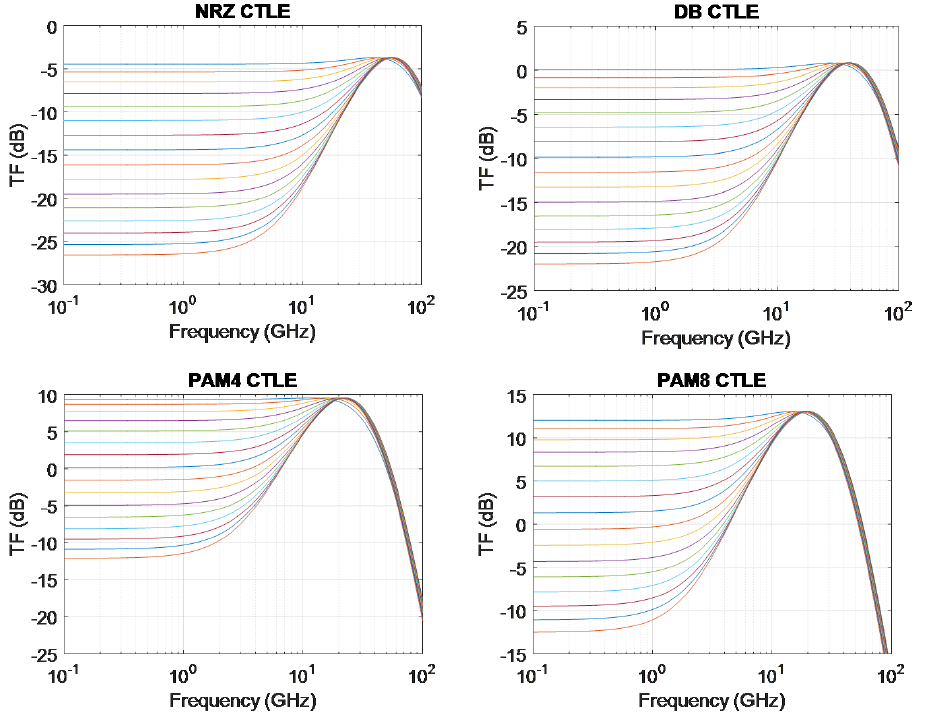
在接收端就更厉害了，CTLE、FFE和DFE都做了大胆的规划。



先说CTLE，还记得本人之前发过关于CTLE的文章吗？在PCIE3.0的协议上CTLE只有2个极点poles。极点越多，就越能覆盖到高频段的均衡，因此这里做7个极点就可想而知了。

其中CTLE在不同的编码方式上有着不同的频域响应，如下所示：

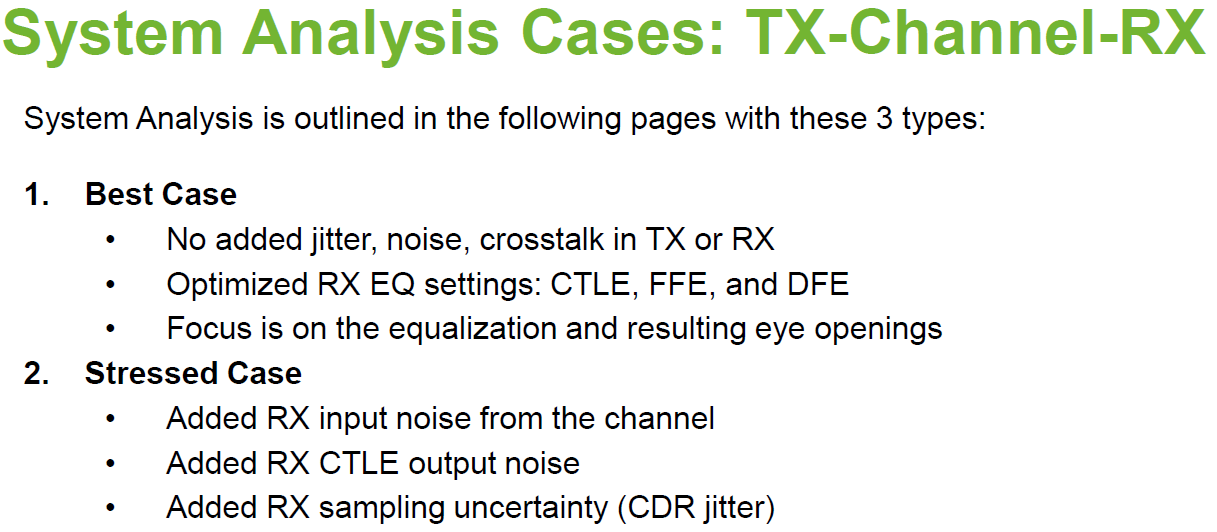
基频越高的编码（例如NRZ），需要均衡的频段越高，而且需要补偿的损耗也会越大。



然后FFE，和发送端作用相同，更高的25tap保证了均衡的精度和增益，从时域或者频域的调整上具有非常多的选择参数。

DFE也是如此，12tap的DFE也是为了在FFE之后的补充。

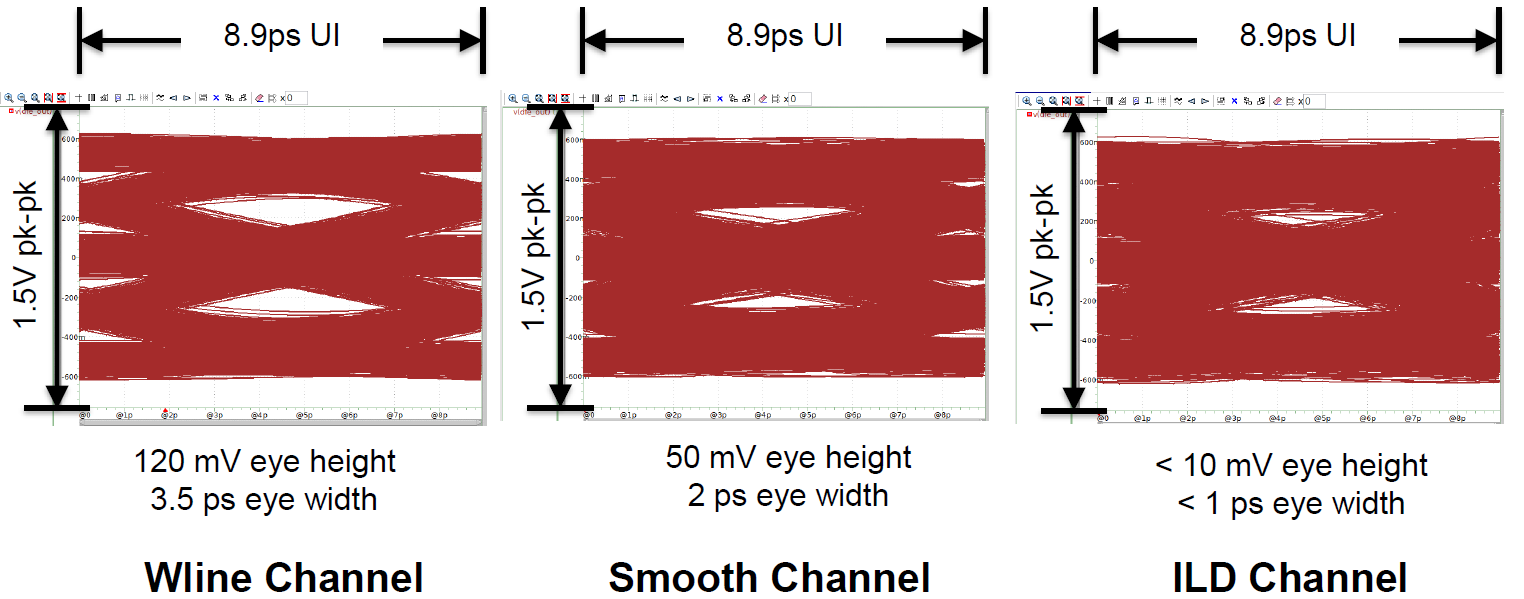
说完编码和芯片的能力规划后，我们就开始具体的看看对上面几个无源链路的眼图结果。我们在眼图仿真中给两种模式，一种是不加入任何的jitter和串扰，另一种是加入jitter和噪声的情况。

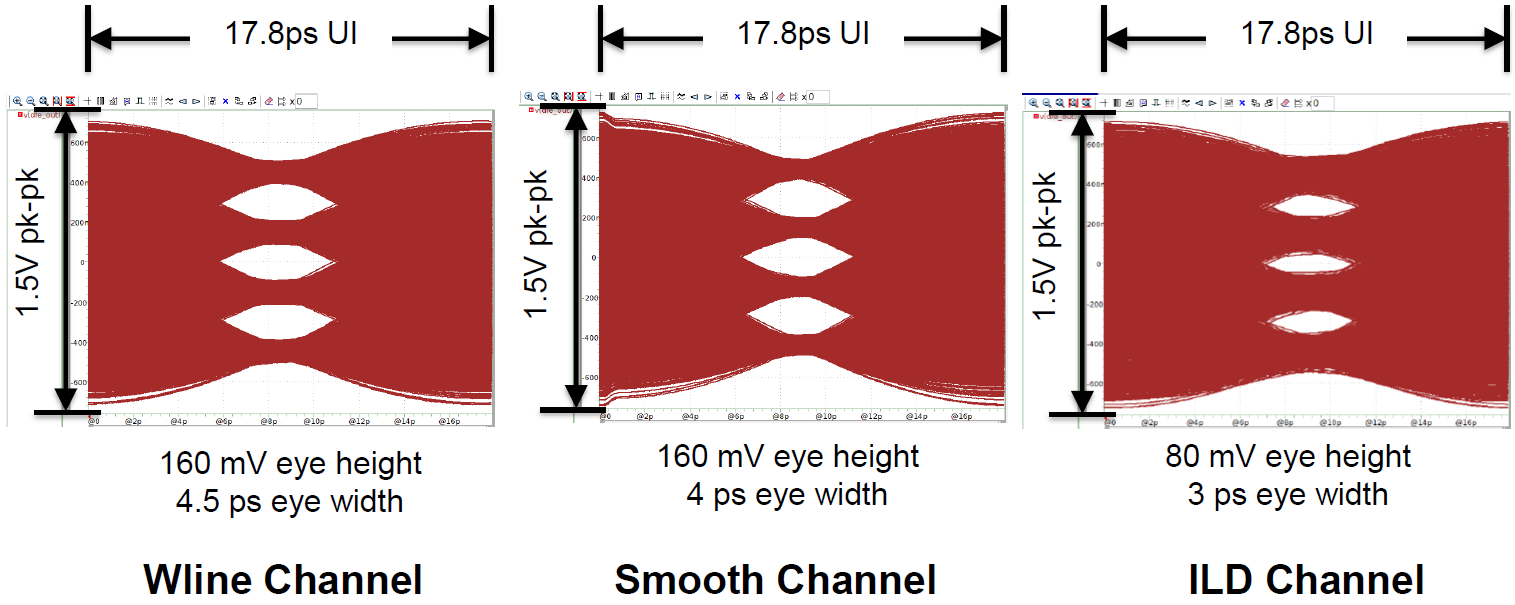


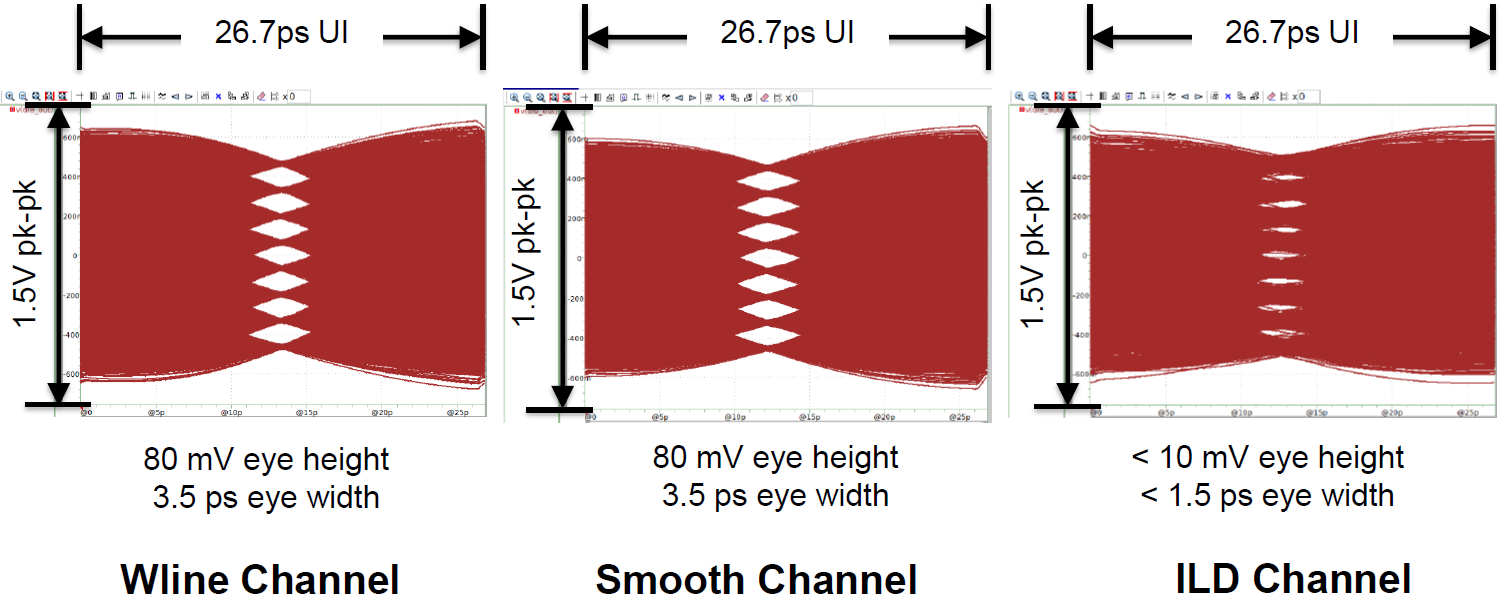
NRZ使用PRBS15码型，PAM4和PAM8使用格雷码，6000个bit。



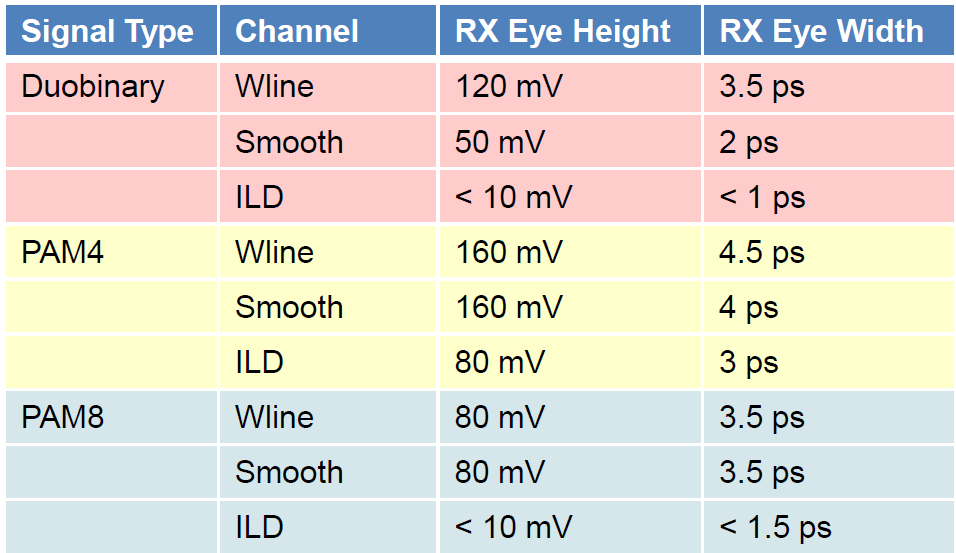
针对上面三种不同情况的无源拓扑，不同编码方式在无jitter和串扰情况下的眼图结果如下所示，分别为双二进制编码、PAM4和PAM8。



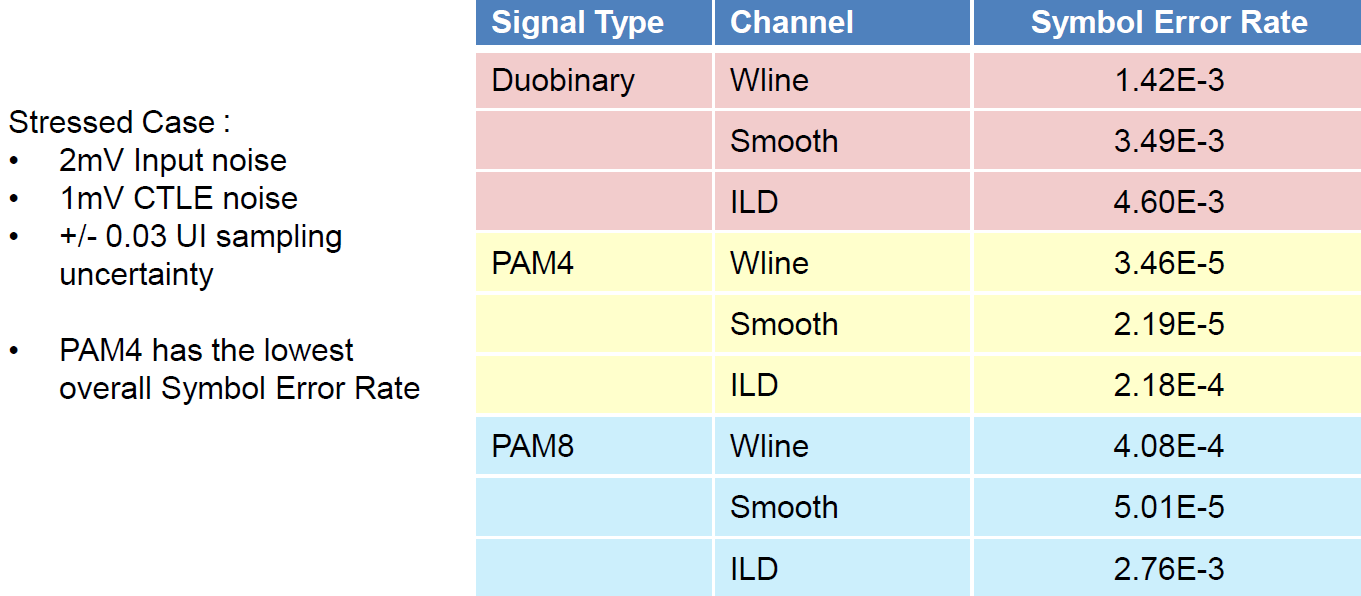




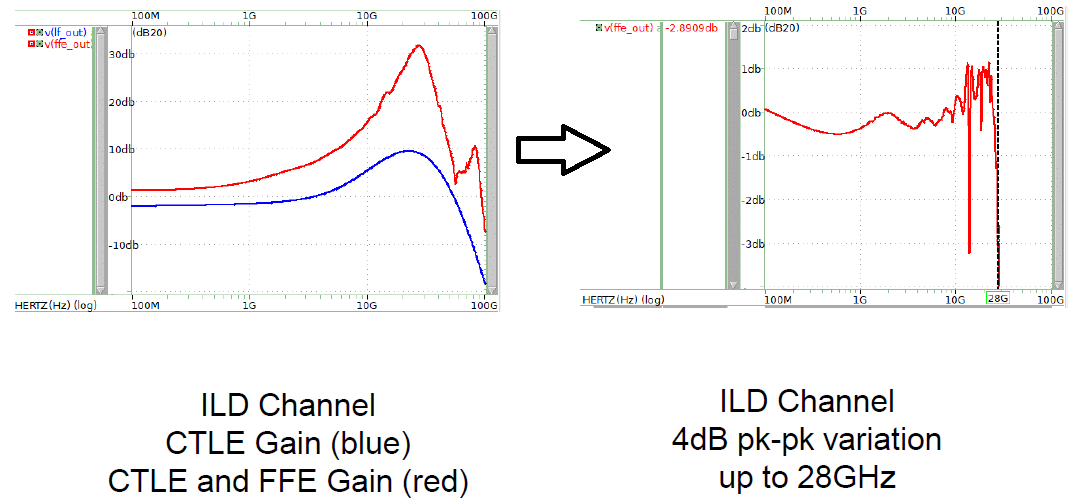
总结的表格如下所示，可以看到反而不是基频最低的PAM8最理性，PAM4的眼高和眼宽是最大的。双二进制编码的眼高和眼宽居中，PAM8的眼高最小，眼宽比双二进制编码要好。



那如果我们加入一些jitter和noise的情况下，我们来看几种编码对应几种无源链路的误码率情况如下，结果来看也是PAM4具有最低的误码率（另外我们可以看到，这比我门常规要求的-12和-6的误码率标准都需要降低才能满足112G要求）。



实际上我们很想知道到了那么高的频率后，实际上经过发送和接收均衡后芯片能够接收的损耗是多少？我们以PAM4为例。我们可以发现两点：一是芯片的均衡能力真的很强，二是实际上允许最终接收的损耗没有几个dB的裕量。



**最终接收**

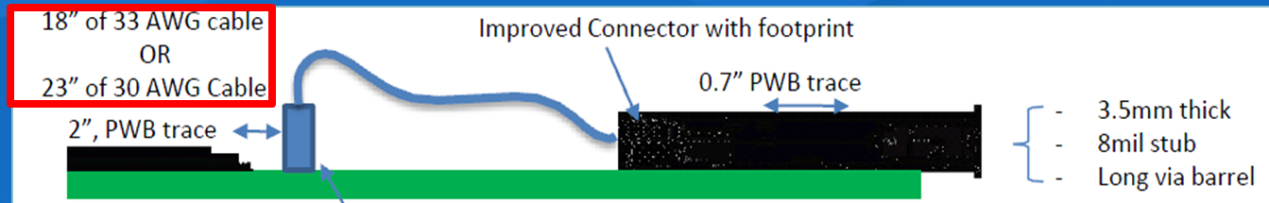
**收发芯片均衡能力**

最后我们说了电平，说了PCB链路，也说了芯片能力，我们再说点实在的，我们要怎么去做系统连接呢？前面我们对LR的PCB链路也提到了，交换板+背板+业务板的形式，中间有2个连接器，这种方式估计对于112G的传输应该是不太可能实现的。

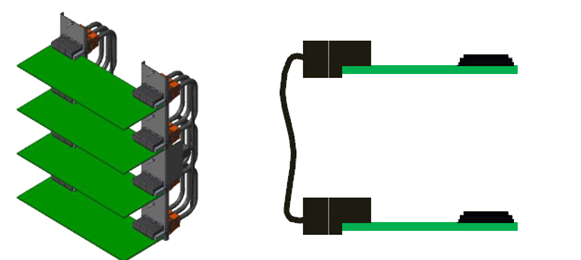
我们知道损耗和谐振是制约传输性能的两个主要原因，分别来自于PCB走线长度和过孔的stub，如果能把这两个因素解决了，我们就能实现更高频率的传输。

时势造英雄，业界的专家的确有下面的一些方法来实现这个难点：

1. 在板内用cable代替PCB走线，如下所示：



1. 板间也使用cable相连，实现跨板的连接。



1. 光波导代替PCB走线，把高速走线用光波导材质，和普通的PCB走线进行混压。
2. 继续挑战PCB传输，研发更好的板材：更低DF损耗，更低粗糙度的铜箔，或者干脆换一种比铜更低电阻率的材料，然后更短的通道走线。

本期针对这篇猜想性质的文章也问一个猜想性质的问题吧，那么你来设计112G系统的话，你更偏向用以上的哪种方法来实现，或者有其他更好的方法也可以提（猜）。

**【关于一博】**

一博科技成立于2003年3月，专注于高速PCB设计、PCB制板、SMT焊接加工和供应链服务。我司在中国、美国、日本设立研发机构，全球研发工程师600余人。

一博旗下PCB板厂位于深圳松岗，采用来自日本、德国等一流加工设备，TPS精益生产管理以及品质管控体系的引入，致力为广大客户提供高品质、高多层的制板服务。

一博旗下PCBA总厂位于深圳，并在上海、成都设立分厂，厂房面积15000平米，现有20条SMT产线，配备全新进口富士XPF、NXT3、AIMEX III、全自动锡膏印刷机、十温区回流炉、波峰焊等高端设备，并配有AOI、XRAY、SPI、智能首件测试仪、全自动分板机、BGA返修台、三防漆等设备，专注研发打样、中小批量的SMT贴片、组装等服务。作为国内SMT快件厂商，48小时准交率超过95%。常备一万余种YAGEO、MURATA、AVX、KEMET等全系列阻容以及常用电感、磁珠、连接器、晶振、二三极管，源自原厂或一级代理，现货在库，并提供全BOM元器件供应。

**【关于高速先生】**

高速先生由深圳市一博科技有限公司R&D技术研究部创办，用浅显易懂的方式讲述高速设计，成立至今保持每周发布两篇原创技术文章，已和大家分享了百余篇呕心沥血之作，深受业内专业人士欢迎，是中国高速电路第一自媒体品牌。



扫一扫，即可关注