



**Министерство науки и высшего образования Российской Федерации
Федеральное государственное бюджетное образовательное учреждение
высшего образования
«Московский государственный технический университет
имени Н.Э. Баумана
(национальный исследовательский университет)»
(МГТУ им. Н.Э. Баумана)**

ФАКУЛЬТЕТ «Информатика и системы управления» (ИУ)

КАФЕДРА «Информационная безопасность» (ИУ8)

Отчёт

по лабораторной работе №3
по дисциплине «Электроника и схемотехника»

Тема: «Исследование дешифраторов»

Вариант «1»

Выполнил: Антипов И. С.,
студент группы ИУ8-53

Проверил: Ковынёв Н. В.,
преподаватель каф. ИУ8

г. Москва,
2020 г.

Цель работы

Изучение принципов построения и методов синтеза дешифраторов, экспериментальное исследование дешифраторов.

Перечень приборов

74LS138D – дешифратор, XWG – элемент, генерирующий слова из бинарного алфавита, XLA – элемент, демонстрирующий уровни входных сигналов.

Аналитическая часть

Варианты заданий:

- Задание 1: DC 3-7(с входом E),
- Задание 2: DC 4-16 из 74LS138D,

Практическая часть

В задании 1 необходимо выполнить синтез дешифратора, согласно варианту.

E	X2	X1	X0	Y6	Y5	Y4	Y3	Y2	Y1	Y0
0	0	0	0	0	0	0	0	0	0	0
0	0	0	1	0	0	0	0	0	0	0
0	0	1	0	0	0	0	0	0	0	0
0	0	1	1	0	0	0	0	0	0	0
0	1	0	0	0	0	0	0	0	0	0
0	1	0	1	0	0	0	0	0	0	0
0	1	1	0	0	0	0	0	0	0	0
0	1	1	1	0	0	0	0	0	0	0
1	0	0	0	0	0	0	0	0	0	1
1	0	0	1	0	0	0	0	0	1	0
1	0	1	0	0	0	0	0	1	0	0
1	0	1	1	0	0	0	1	0	0	0
1	1	0	0	0	0	1	0	0	0	0
1	1	0	1	0	1	0	0	0	0	0
1	1	1	0	1	0	0	0	0	0	0
1	1	1	1	0	0	0	0	0	0	0

Рисунок 1 – таблица истинности для дешифратора DC 3-7(с входом E)

Изображение электрической схемы для задания 1 приведено в приложении А.

В задании 2 необходимо реализовать и провести испытание схемы наращивания размерности дешифратора.

X3	X2	X1	X0	Y15	Y14	Y13	Y12	Y11	Y10	Y9	Y8	Y7	Y6	Y5	Y4	Y3	Y2	Y1	Y0
0	0	0	0	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
0	0	0	1	1	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1
0	0	1	0	1	1	0	1	1	1	1	1	1	1	1	1	1	1	1	1
0	0	1	1	1	1	1	0	1	1	1	1	1	1	1	1	1	1	1	1
0	1	0	0	1	1	1	1	0	1	1	1	1	1	1	1	1	1	1	1
0	1	0	1	1	1	1	1	1	0	1	1	1	1	1	1	1	1	1	1
0	1	1	0	1	1	1	1	1	1	0	1	1	1	1	1	1	1	1	1
0	1	1	1	1	1	1	1	1	1	1	0	1	1	1	1	1	1	1	1
1	0	0	0	1	1	1	1	1	1	1	1	0	1	1	1	1	1	1	1
1	0	0	1	1	1	1	1	1	1	1	1	1	0	1	1	1	1	1	1
1	0	1	0	1	1	1	1	1	1	1	1	1	1	0	1	1	1	1	1
1	0	1	1	1	1	1	1	1	1	1	1	1	1	1	0	1	1	1	1
1	1	0	0	1	1	1	1	1	1	1	1	1	1	1	1	0	1	1	1
1	1	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	0	1	1
1	1	1	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	0	1
1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	0

Рисунок 2 – таблица истинности и результат для схемы наращивания размерности дешифратора

Изображение электрической схемы для задания 2 приведено в приложении Б.

В задании 3 необходимо провести испытание и исследование дешифратора из двоичного в 7-ми сегментный код.

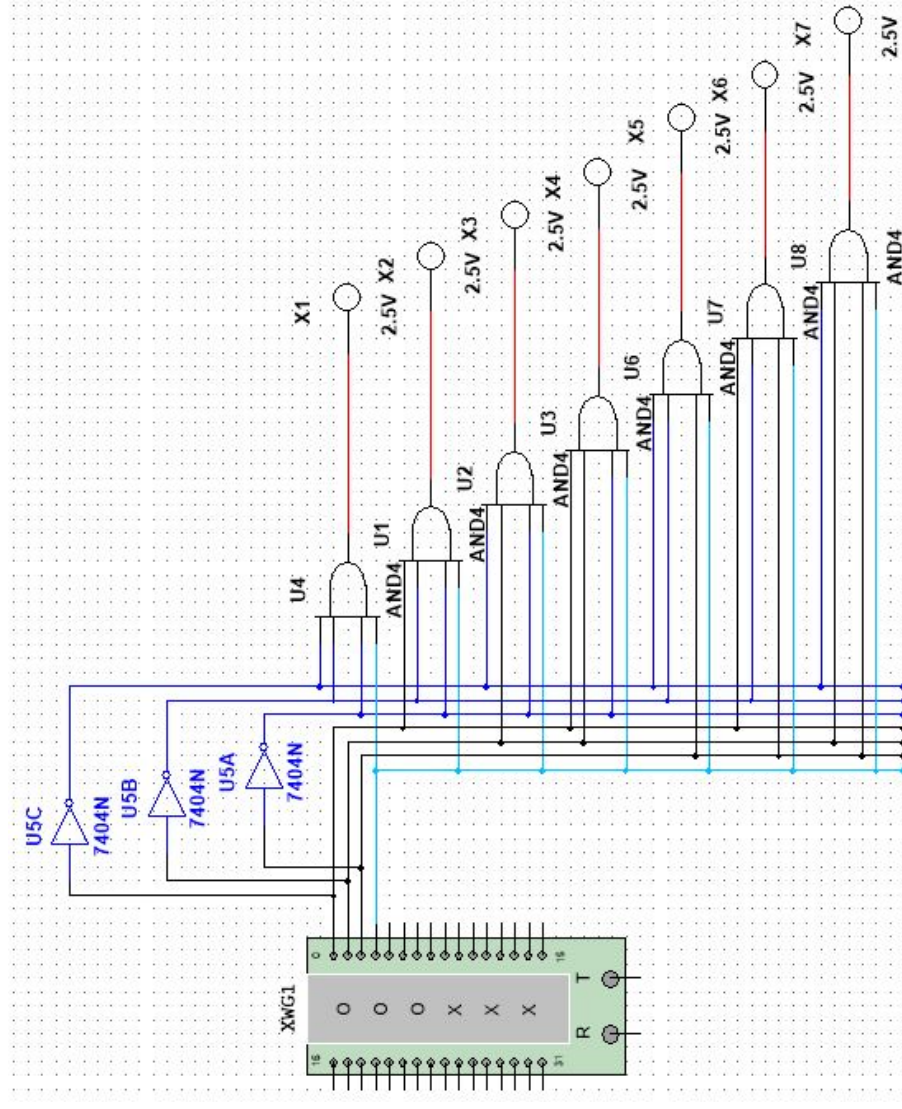
Изображение электрической схемы для задания 3 приведено в приложении В.

Вывод

Были изучены принципы построения и методы синтеза дешифраторов. Были промоделированы и экспериментально исследованы дешифраторы. Практически полученные данные совпали с ожидаемыми и аналитическими, что подтверждает корректность выполнения лабораторной работы.

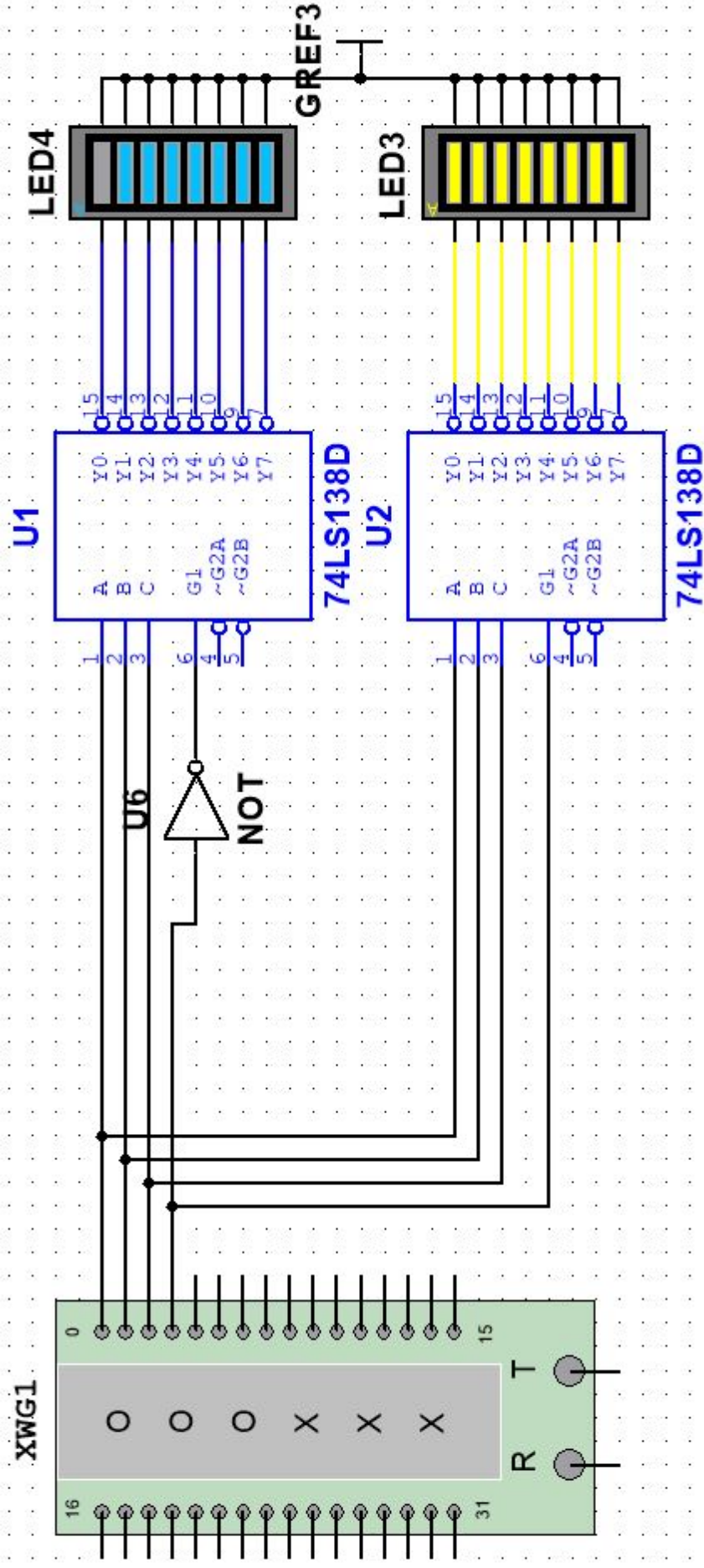
ПРИЛОЖЕНИЕ А

Электрическая схема для задания 1



ПРИЛОЖЕНИЕ Б

Электрическая схема для задания 2



ПРИЛОЖЕНИЕ В

Электрическая схема для задания 3

