

# Práctica 2 - Lógica Digital - Parte B

## Sistemas Digitales

Segundo Cuatrimestre 2024

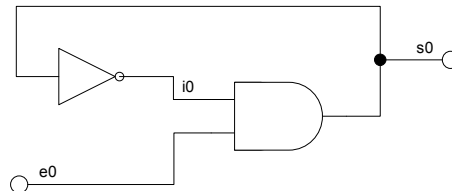
Todas las compuertas mencionadas en esta práctica son de 1 ó 2 entradas, a menos que se indique lo contrario.

Durante la presente práctica se recomienda fuertemente la utilización de un simulador para experimentar con los componentes y circuitos propuestos y verificar las soluciones. Una recomendación es el Logisim (<http://www.cburch.com/logisim/>).

## Circuitos Secuenciales

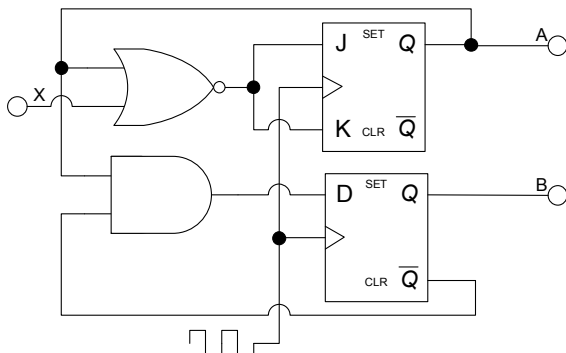
### Ejercicio 1

- a) Escribir el diagrama temporal para el siguiente circuito secuencial desde 0 ns hasta 65 ns, suponiendo
- un retardo de 15 ns para la compuerta AND,
  - un retardo de 5 ns para la compuerta NOT,
  - en el tiempo 0 ns la señal  $e_0$  cambia a 1, inicialmente en 0.
  - las señales  $i_0$  y  $s_0$  tienen valor 1 y 0 respectivamente en el tiempo 0 ns.
  - suponer que los componentes empiezan a estabilizarse cuando sus señales de entrada están estables.



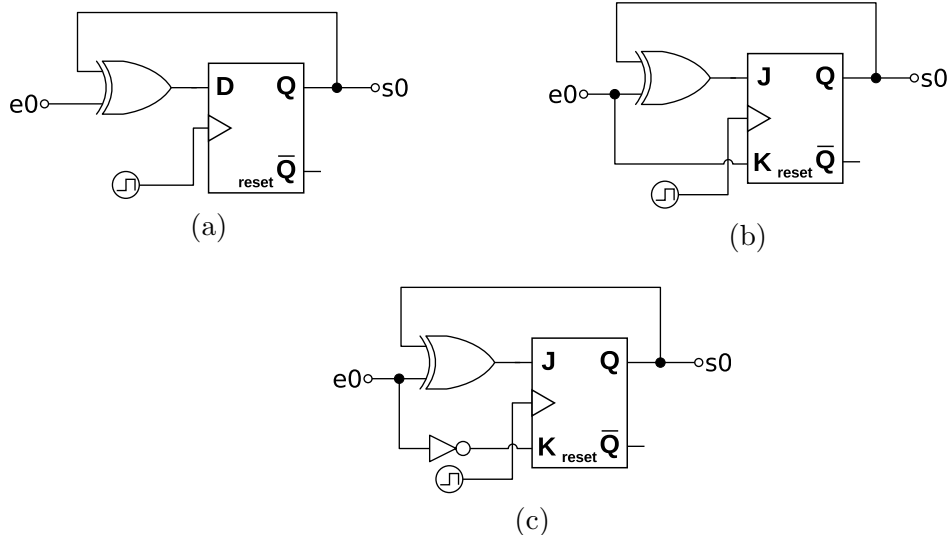
- b) ¿Podría alcanzar  $s_0$  un valor estable en el punto anterior? ¿Y en el caso en que  $e_0$  fuera 0 en lugar de 1, se estabilizaría?

**Ejercicio 2** Completar la tabla característica para el siguiente circuito secuencial con los valores *estables* de la salida. Indicar si para alguna configuración el circuito no es estable:

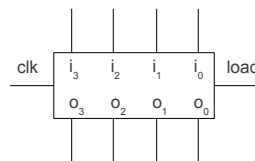


A	B	X	A'	B'
0	0	0		
0	0	1		
0	1	0		
0	1	1		
1	0	0		
1	0	1		
1	1	0		
1	1	1		

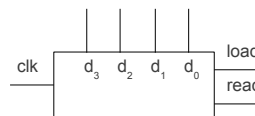
**Ejercicio 3** Escriba tablas características que especifiquen el comportamiento de cada uno de los siguientes circuitos secuenciales:



**Ejercicio 4 Registro simple** Diseñar un registro *simple* de cuatro *bits*. Este tipo de registros es un circuito de seis entradas ( $i_0$  a  $i_3$ , *load*, *clk*) y cuatro salidas ( $o_0$  a  $o_3$ ), cuyo funcionamiento es el siguiente: cuando la señal *clk* alcanza su flanco ascendente, si *load* está alta, almacena las señales recibidas en  $i_0$  a  $i_3$ , si no, no cambia su contenido. Por las líneas de salida, se emite el valor almacenado en el registro.

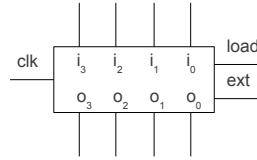


**Ejercicio 5 Registro bidireccional** Diseñar un registro *bidireccional* de cuatro bits. Este tipo de registros es un circuito con tres entradas (*load*, *read*, *clk*) y cuatro señales de entrada y salida ( $d_0$  a  $d_3$ ). Su funcionamiento es el siguiente: si la señal *load* vale 1 cuando *clk* alcanza su flanco ascendente, almacena los valores recibidos en  $d_0$  a  $d_3$ ; en cambio, si *read* está alta, se emite el valor almacenado en el registro por esas mismas líneas<sup>1</sup>. Las señales *read* y *load* nunca valen 1 simultáneamente.

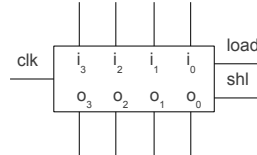


**Ejercicio 6 Extensor de signo** Diseñar un registro *extensor de signo* de dos a cuatro bits. Del mismo modo que un registro simple (ver ejercicio 4) este circuito toma el valor de sus cuatro entradas  $i_0$  a  $i_3$  cuando su señal *clk* atraviesa su flanco ascendente si la entrada *load* vale 1. Por sus líneas de salida ( $o_0$  a  $o_3$ ) se emite el valor almacenado si la señal *ext* está baja; por el contrario, si vale 1, se emite una representación de cuatro *bits* del número almacenado en los dos *bits* menos significativos del registro, interpretados como un entero codificado en complemento a 2.

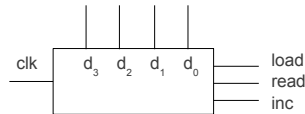
<sup>1</sup> Ayuda: utilice componentes de tres estados.



**Ejercicio 7 Desplazador** Diseñar un registro *desplazador a izquierda* de cuatro bits. Del mismo modo que un registro simple (ver ejercicio 4) este circuito toma el valor de sus cuatro entradas  $i_0$  a  $i_3$  cuando su señal  $clk$  atraviesa su flanco ascendente, si la entrada  $load$  vale 1. Por sus líneas de salida ( $o_0$  a  $o_3$ ) se emite el valor almacenado si la señal  $shl$  está baja; por el contrario, si vale 1, se emite ese valor desplazado en uno hacia la izquierda.



**Ejercicio 8 Registro Auto-incrementador** Diseñar un registro *bi-direccional auto-incrementador* de cuatro bits. Este circuito funciona de la misma manera que un registro bi-direccional (ver ejercicio 5), pero tiene una línea de entrada extra  $inc$ . Si, cuando  $clk$  alcanza su flanco ascendente,  $inc$  vale 1, el valor almacenado por el registro se incrementa en uno. Nuevamente, sólo una de las tres líneas de control ( $load$ ,  $read$  e  $inc$ ) puede valer 1 cuando  $clk$  alcanza su flanco ascendente.



**Ejercicio 9** Dado el siguiente circuito, indique mediante un diagrama de tiempos la secuencia de activaciones y desactivaciones de señales de control necesarias para que el valor almacenado en el registro bidireccional (ejercicio 5) R0 se sume al valor del registro bidireccional R1 y el resultado se almacene en el registro R0.

