

## MANUEL D'UTILISATION DW1000

COMMENT UTILISER, CONFIGURER ET  
PROGRAMMER LE DW1000 UWB  
ÉMETTEUR-RÉCEPTEUR

Ce document est sujet à changement sans préavis

## Table des matières

LISTE DES FIGURES .....	II	8.1	CALIBRAGE IC – TRIM DE L'OSCILLATEUR À CRISTAL ... 197
LISTE DES TABLEAUX .....	III	8.2	ÉTALONNAGE CI – PUISSANCE D'ÉMISSION ET SPECTRE 199
<b>1 INTRODUCTION.....</b>	<b>1</b>	8.3	CALIBRAGE IC – RETARD D'ANTENNE ..... 202
1.1 À PROPOS DU DW1000 .....	1	<b>9 CHOIX DE CONCEPTION OPÉRATIONNELLE QUAND</b>	
1.2 À PROPOS DE CE DOCUMENT .....	1	UTILISATION DU DW1000.....205	
<b>2 VUE D'ENSEMBLE DU DW1000.....</b>	<b>4</b>	9.1	PLAGE DE FONCTIONNEMENT ..... 205
2.1 PRÉSENTATION.....	4	9.2	SÉLECTION DES CANAUX ET DE LA BANDE PASSANTE ..... 205
2.2 INTERFAÇAGE AVEC LE DW1000 .....	4	9.3	CHOIX DU DÉBIT DE DONNÉES, DE LA LONGUEUR DU PRÉAMBULE ET DU PRF 205
2.3 ÉTATS DE FONCTIONNEMENT DU DW1000 .....	8	9.4	CONSOMMATION ÉLECTRIQUE ..... 206
2.4 RÉINITIALISATION À LA MISE SOUS TENSION (POR).....	12	9.5	DENSITÉ DES NŒUDS ET UTILISATION DE L'AIR ..... 206
2.5 CONFIGURATION PAR DEFAUT A LA MISE SOUS TENSION .....	14	9.6	CYCLE DE SERVICE BAS – TEMPS D'AIR ..... 207
<b>3 ENVOI DE MESSAGES.....</b>	<b>19</b>	9.7	SCHÉMAS D'EMPLACEMENT ..... 208
3.1 TRANSMISSION DE BASE .....	19	9.8	CONSIDÉRATIONS GÉNÉRALES ..... 209
3.2 HORODATAGE DE TRANSMISSION .....	20	<b>10 ANNEXE 1 : LE SYSTÈME PHYSIQUE IEEE 802.15.4 UWB</b>	
3.3 TRANSMISSION RETARDEE .....	20	COUCHE ..... 211	
3.4 TRAMES DE DONNÉES DE LONGUEUR ÉTENDUE .....	21	10.1	VUE D'ENSEMBLE DE LA STRUCTURE DE CADRE ..... 211
3.5 TRANSMISSION À GRANDE VITESSE .....	23	10.2	SCHÉMA DE MODULATION DES DONNÉES ..... 211
<b>4 RÉCEPTION DES MESSAGES.....</b>	<b>26</b>	10.3	SCHÉMA DE MODULATION DE L'EN-TÊTE DE SYNCHRONISATION 212
4.1 RÉCEPTION DE BASE .....	26	10.4	EN-TÊTE PHY ..... 213
4.2 RECEPTION DIFFEREE .....	29	10.5	CANAUX UWB ET CODES DE PREAMBULE ..... 214
4.3 DOUBLE TAMPON DE RÉCEPTION .....	29	10.6	DÉTAILS SUPPLÉMENTAIRES SUR LA NORME ..... 215
4.4 ÉCOUTE À FAIBLE PUISSANCE .....	33	<b>11 ANNEXE 2 : LA COUCHE MAC IEEE 802.15.4.....216</b>	
4.5 MODE SNIFF BASSE PUISSANCE .....	35	11.1	FORMAT GÉNÉRAL DES MESSAGES MAC ..... 216
4.6 DIAGNOSTIC .....	38	11.2	LE CHAMP DE CONTRÔLE DE TRAME DANS L'EN- TÊTE MAC217
4.7 ÉVALUER LA QUALITÉ DE RÉCEPTION ET LE RX HORODATAGE.....	38	11.3	LE CHAMP DU NUMERO DE SEQUENCE ..... 219
<b>5 MATÉRIEL DE CONTRÔLE D'ACCÈS AUX MÉDIAS (MAC)</b>		11.4	TRAITEMENT AU NIVEAU MAC DANS LE DW1000..... 220
CARACTÉRISTIQUES .....	42	<b>12 ANNEXE 3 : GAMME BIDIRECTIONNELLE .....</b> 221	
5.1 CONTRÔLE DE REDONDANCE CYCLIQUE .....	42	12.1	PRÉSENTATION ..... 221
5.2 FILTRAGE DE TRAME .....	42	12.2	GAMME D'UN SEUL CÔTÉ ET DEUX SENS..... 221
5.3 ACQUITTEMENT AUTOMATIQUE .....	44	12.3	GAMME BIDIRECTIONNELLE DOUBLE FACE ..... 223
5.4 TRANSMETTRE ET ATTENDRE AUTOMATIQUEMENT LA RÉPONSE 48		<b>13 ANNEXE 4 : DÉCODAGE DE LA PIÈCE/PUCE ET DE L'ID DE LOT</b> EN DW1000 OTP ..... 229	
<b>6 AUTRES CARACTÉRISTIQUES DU DW1000.....</b>	<b>49</b>	<b>14 ANNEXE 5 : ABRÉVIATIONS ET ACRONYMES</b>	
6.1 SYNCHRONISATION EXTERNE .....	49	231	
6.2 AMPLIFICATION DE PUISSANCE EXTERNE .....	52	<b>15 ANNEXE 6 : RÉFÉRENCES .....</b> 235	
6.3 UTILISATION DE LA MÉMOIRE OTP SUR PUCE .....	52	<b>16 HISTORIQUE DES DOCUMENTS .....</b> 235	
6.4 MESURE DE LA TEMPÉRATURE ET DE LA TENSION DU CI .....	55	<b>17 JOURNAL DES MODIFICATIONS..... 235</b>	
<b>7 L'ENSEMBLE DE REGISTRE DW1000 .....</b>	<b>57</b>	<b>18 INFORMATIONS COMPLÉMENTAIRES..... 243</b>	
7.1 APERÇU DE LA CARTE DE REGISTRE .....	57		
7.2 DESCRIPTION DÉTAILLÉE DU REGISTRE .....	59		
<b>8 ÉTALONNAGE DW1000.....</b>	<b>197</b>		

## Liste des figures

FIGURE 1 : TRANSACTIONS DE LECTURE ET D'ÉCRITURE SPI .....	5
FIGURE 2 : EN-TÊTE D'OCTET UNIQUE DU SPI NON INDEXÉ	
TRANSACTION.....	6
FIGURE 3 : EXEMPLE DE LECTURE NON INDEXÉE DE L'ID DE DISPOSITIF	
REGISTRE (0X00).....	6
FIGURE 4 : EN-TÊTE DE DEUX OCTETS DU SPI INDEXÉ COURT	
TRANSACTION.....	6
FIGURE 5 : EXEMPLE DE LECTURE À INDEX COURT DE 3	DR ET 4 E OCTET
DU REGISTRE 0X00 .....	7
FIGURE 6 : EN-TÊTE DE TROIS OCTETS DU SPI INDEXÉ LONG	
TRANSACTION.....	7
FIGURE 7 : EXEMPLE D'ÉCRITURE À INDEX LONG D'UN OCTET À	
INDEX 310 DU TAMON TX .....	7
FIGURE 8 : DIAGRAMME D'ÉTAT DU DW1000 .....	9
FIGURE 9 : DIAGRAMME DE TEMPS ET PROFIL DE PUSSANCE POUR LE FROID	
COMMENCEZ PAR.....	13
FIGURE 10 : FORMAT DE TRAME DE TRANSMISSION .....	19
FIGURE 11 : SÉQUENCE DE TRANSMISSION DE BASE .....	19
FIGURE 12 : CODAGE PHR DES TRAMES DE DONNÉES DE LONGUEUR ÉTENDUE	
.....	22
FIGURE 13 : SÉQUENCE DE RÉCEPTION DE BASE .....	26
FIGURE 14 : ORGANIGRAMME POUR L'UTILISATION DE LA MISE EN TAMON DOUBLE RX ...	32
FIGURE 15 : TRXOFF EN MODE DOUBLE TAMON .....	33
FIGURE 16 ÉCOUTE À FAIBLE PUSSANCE AVEC DEUX TEMPS DE SOMMEL ....	34
FIGURE 17 PROFIL DE PUSSANCE POUR LE MODE D'ÉCOUTE À FAIBLE PUSSANCE	
SI AUCUNE TRAME N'EST REÇUE .....	35
FIGURE 18 : TRANSITIONS D'ÉTAT EN MODE SNIFF .....	36
FIGURE 19 PROFIL DE PUSSANCE POUR SNIFF OÙ UNE TRAME N'EST PAS	
REÇU.....	37
FIGURE 20 PROFIL DE PUSSANCE POUR SNIFF OÙ SE TROUVE UNE TRAME	
REÇU.....	37
FIGURE 21 : PROFIL DE PUSSANCE POUR UN RENOUVELLEMENT À FAIBLE CYCLE DE MARCHE OÙ	
UNE TRAME N'EST PAS REÇUE .....	38
FIGURE 22 : NIVEAU DE RÉCEPTION ESTIMÉ PAR RAPPORT AU NIVEAU DE RÉCEPTION RÉEL ...	41
FIGURE 23 : INTERFACE DE SYNCHRONISATION EXTERNE DW1000	
.....	49
FIGURE 24 : TRANSMISSION SYNCHRONISÉE .....	50
FIGURE 25 : MODE OSRS RÉCEPTION DE LA SYNCHRONISATION DE LA BASE DE TEMPS	
.....	51
FIGURE 26 : OCTET DE COMMANDE DE PUSSANCE D'ÉMISSION .....	103
FIGURE 27 : COMBINAISON EDG1 ET EDV2 POUR DONNER UN BRUIT ED	
FIGURE .....	121
FIGURE 28 : ORGANIGRAMME POUR LA LECTURE DIRECTE DE L'ADRESSE AON164	
FIGURE 29 : RÉGLAGE PPM VS CRYSTAL TRIM , VBATT= 3,3 V ..	199
FIGURE 30 : RETARD DE L'ANTENNE DE TRANSMISSION ET DE RECEPTION ..	203
FIGURE 31 : STRUCTURE DE LA TRAME ULB PHY .....	211
FIGURE 32-: DONNÉES BPM/BPSK ET MODULATION PHR .....	211
FIGURE 33 : AFFECTATION DE BIT PHR .....	214
FIGURE 34 : FORMAT GÉNÉRAL DES MESSAGES MAC .....	216
FIGURE 35 : CHAMP DE CONTRÔLE DE LA TRAME DE MESSAGE MAC .....	217
FIGURE 36 : GAMME À DEUX SENS D'UN SEUL CÔTÉ .....	221
FIGURE 37 : GAMME BIDIRECTIONNELLE DOUBLE FACE AVEC QUATRE	
MESSAGES.....	223
FIGURE 38 : GAMME BIDIRECTIONNELLE DOUBLE FACE AVEC TROIS	
MESSAGES.....	223
FIGURE 39 : ALLER À 3 ANCRES AVEC SEULEMENT 5 MESSAGES	
OÙ CHAQUE ANCRE CALCULE SON PROPRE RÉSULTAT DE GAMME	
.....	227
FIGURE 40 TABLEAU DE CONVERSION .....	229
FIGURE 41 EXEMPLE DE CONVERSION IDENTIFIANT DE LOT .....	230
FIGURE 42 ID DE PIÈCE DE CONVERSION / ID DE PUCE .....	230

## Liste des tableaux

TABLEAU 1 : PRINCIPAUX ÉTATS / MODES DE FONCTIONNEMENT DU DW1000 .....	10	TABLEAU 29 : FICHIER DE REGISTRE : 0X27 – RÉCEPTEUR NUMÉRIQUE	
TABLEAU 2 : MODE 2 EXTRAIT DE LA FICHE TECHNIQUE DW1000		VUE D'ENSEMBLE DE LA CONFIGURATION ..... 138	
TABLEAU DES MODES DE FONCTIONNEMENT .....	15	TABLEAU 30 : SOUS-REGISTREMENT 0X27:02 – DRX_TUNE0B VALUES139	
TABLEAU 3 : FONCTIONS PAR DÉFAUT GPIO .....	15	TABLEAU 31 : SOUS-REGISTREMENT 0X27:04 – DRX_TUNE1AVALUES 141	
TABLEAU 4 : ACCÈS AU REGISTRE REQUIS POUR CHARGER LE MICROCODE LDE .....	18	TABLEAU 32 : SOUS-REGISTREMENT 0X27:06 – DRX_TUNE1B VALUES141	
TABLEAU 5 : VALEURS DES CHAMPS DE DURÉE DU PRÉAMBULE DANS LONGUEUR TRAME DE DONNÉES PHR .....	22	TABLEAU 33 : SOUS-REGISTREMENT 0X27:08 – DRX_TUNE2 VALUES 141 142	
TABLEAU 6 : TAILLE DE PAC RECOMMANDÉE .....	26	TABLEAU 34 : REGISTRE 0X27:26 VALEURS DRX_TUNE4H..... 144	
TABLEAU 7 : REGISTRES DANS LE SWINGING-SET À DOUBLE TAMPON RX .....	30	TABLEAU 35 : CONSTANTES POUR LE CALCUL DU DÉCALAGE DE FRÉQUENCE 145	
TABLEAU 8 : LONGUEUR DU PRÉAMBULE AUTO-ACK EN FONCTION DU RXPSR ET RXPACC .....	45	TABLEAU 36 : FICHIER REGISTRE : 0X28 – CONFIGURATION RF ANALOGIQUE	
TABLEAU 9 : SÉLECTION DE LA LONGUEUR DU PRÉAMBULE D'AUTO-ACK EN ÉTENDUE MODE IMAGES LONGUEUR .....	45	VUE D'ENSEMBLE DU BLOC .....	146
TABLEAU 10 : CARTE MÉMOIRE OTP .....	53	TABLEAU 37 : SOUS-REGISTREMENT 0X28:0B– VALEURS RF_RXCTRLH 148	
TABLEAU 11 : REGISTRE OTP_SRDAT .....	54	TABLEAU 38 : SOUS-REGISTREMENT 0X28:0C– VALEURS RF_TXCTRL .. 148	
TABLEAU 12 : ACCÈS AU REGISTRE NÉCESSAIRES POUR PROGRAMMER L' OTP .....	54	TABLEAU 39 : FICHIER DE REGISTRE : 0X2A – ÉTALONNAGE DE L'ÉMETTEUR	
TABLEAU 13 : EXEMPLE D'ACCÈS AU REGISTRE REQUIS POUR LIRE DEPUIS OTP .....	55	VUE D'ENSEMBLE DU BLOC .....	151
TABLEAU 14 : UN EXEMPLE D'ACCÈS AU REGISTRE POUR EFFECTUER UN LECTURE DES CAPTEURS DE TEMPÉRATURE ET DE TENSION .....	56	TABLE 40 : SOUS-REGISTREMENT 0X2A:0B – TC_PGDELAY	
TABLEAU 15 : APERÇU DE LA CARTE DU REGISTRE .....	57	VALEURS RECOMMANDÉES .....	155
TABLEAU 16 : SÉLECTION DE LA LONGUEUR DU PRÉAMBULE .....	71	TABLE 41 : SOUS-REGISTREMENT 0X2A:0C – TC_PGTTEST .....	156
TABLEAU 17 : RAPPORT DE LONGUEUR DU PRÉAMBULE .....	89	TABLEAU 42 : FICHIER DE REGISTRE : 0X2B – SYNTHÉTISEUR DE FRÉQUENCE	
TABLEAU 18 : AJUSTEMENTS RXPACC PAR CODE SFD .....	92	VUE D'ENSEMBLE DU BLOC DE CONTRÔLE .....	156
TABLEAU 19 : VALEURS DE RÉFÉRENCE POUR LE FICHIER DE REGISTRE : 0X1E – CONTRÔLE DE LA PUISSANCE DE TRANSMISSION , POUR TRANSMISSION INTELLIGENTE CONTRÔLE DE PUISSANCE .....	107	TABLEAU 43 : SOUS-REGISTREMENT 0X2B:07 – VALEURS FS_PLLCFG... 157	
TABLEAU 20 : FICHIER DE REGISTRE DES VALEURS DE RÉFÉRENCE : 0X1E – TRANSMIT CONTRÔLE DE PUISSANCE POUR LA PUISSANCE DE TRANSMISSION MANUELLE CONTRÔLE ( CONTRÔLE DE PUISSANCE DE TRANSMISSION INTELLIGENT DÉSACTIVÉ) .....	107	TABLEAU 44 : SOUS-REGISTREMENT 0X2B:0B – VALEURS FS_PLLTUNE 158	
TABLEAU 21 : CONFIGURATIONS DE SÉQUENCES SFD RECOMMANDÉES POUR DE MEILLEURES PERFORMANCES.....	115	TABLEAU 45 : FICHIER DE REGISTRE : 0X2C – CONTRÔLE DU SYSTÈME TOUJOURS ACTIVÉ	
TABLEAU 22 : AUTRES CONFIGURATIONS POSSIBLES DE SÉQUENCES SFD .....	116	APERÇU..... 159	
TABLEAU 23 : FICHIER DE REGISTRE : 0X23 – CONFIGURATION AGC ET VUE D'ENSEMBLE DES COMMANDES.....	117	TABLEAU 46 : CONFIGURATIONS MAINTENUES DANS LA MÉMOIRE AON	
TABLEAU 24 : SOUS-REGISTREUR 0X23:04 – VALEURS AGC_TUNE1 119		DÉPLOYER..... 163	
TABLEAU 25 : SOUS-REGISTREUR 0X23:0C – VALEURS AGC_TUNE2 119		TABLEAU 47 : FICHIER REGISTRE : 0X2D – INTERFACE MÉMOIRE OTP	
TABLEAU 26 : SOUS-REGISTREMENT 0X23:12 – VALEURS AGC_TUNE3 120		APERÇU..... 168	
TABLEAU 27 : FACTEUR D'ÉCHELLE POUR L'ÉNERGIE BRUIT DU CANAL ESTIMATION.....	121	TABLEAU 48 : JEUX DE PARAMÈTRES DE FONCTIONNEMENT DU RÉCEPTEUR .....	173
TABLEAU 28 : FICHIER DE REGISTRE : 0X26 – CONTRÔLE ET ÉTAT GPIO VUE D'ENSEMBLE .....	125	TABLEAU 49 : FICHIER DE REGISTRE : 0X2E – DÉTECTION DE BORD ATTENDANT	
		APERÇU DES INTERFACES .....	174
		TABLEAU 50 : SOUS-REGISTREMENT 0X2E:1806– VALEURS LDE_CFG2. 177	
		TABLE 51 : SOUS-REGISTREMENT 0X2E:2804 – VALEURS LDE_REPC 177	
		TABLEAU 52 : FICHIER DE REGISTRE : 0X2F – DIAGNOSTICS NUMÉRIQUES	
		APERÇU DES INTERFACES .....	178
		TABLEAU 53 : FICHIER DE REGISTRE : 0X36 – GESTION DE L'ALIMENTATION ET	
		VUE D'ENSEMBLE DU CONTRÔLE DU SYSTÈME .....	188
		TABLEAU 54 : ACCÈS AU REGISTRE REQUIS POUR LE TRANSMETTEUR	
		PROCÉDURE DE CONFIGURATION .....	200
		TABLEAU 55 : NIVEAU DE PUISSANCE DE RÉCEPTION RECOMMANDÉ POUR L'ANTENNE	
		CALIBRAGE .....	203
		TABLEAU 56 : SÉPARATION TX-RX RECOMMANDÉE POUR L'ANTENNE	
		CALIBRAGE .....	203
		TABLEAU 57 : LONGUEURS DE PRÉAMBULE RECOMMANDÉES .....	206
		TABLEAU 58 : TRANSMISSIONS PAR SECONDE AVEC ALOHA .....	207
		TABLEAU 59 : TECHNIQUES D'ÉCONOMIE D'ÉNERGIE À LA RÉCEPTION..... 209	
		TABLEAU 60 : PARAMÈTRES DU PRÉAMBULE .....	213

---

TABLEAU 61 : CANAUX UWB PRIS EN CHARGE PAR DW1000 ET CODES DE PRÉAMBULE RECOMMANDÉS .....	214
TABLEAU 62 : VALEURS DES CHAMPS DU TYPE DE TRAME .....	217
TABLEAU 63 : VALEURS DES CHAMPS MODE D'ADRESSAGE DE DESTINATION ..	219
TABLEAU 64 : VALEURS DES CHAMPS DU MODE D'ADRESSAGE DE LA SOURCE ..	219
TABLEAU 65 : ERREURS TYPIQUES INDUITES PAR L'HORLOGE DANS LE TEMPS SS-TWR DE ESTIMATION DE VOL .....	222
TABLEAU 66 : ERREUR TYPIQUE INDUITE PAR L'HORLOGE DANS SS-TWR TIME-OF ESTIMATION DE VOL EN UTILISANT LA RÉELLE IEEE80.15.4-2011 LONGUEURS DE TRAME UWB .....	222
TABLEAU 67 : HISTORIQUE DES DOCUMENTS .....	235

## Manuel d'utilisation DW1000



## INFORMATIONS SUR LE DOCUMENT

Clause de non-responsabilité

Decawave se réserve le droit de modifier les spécifications du produit sans préavis. Dans la mesure du possible, les modifications apportées aux fonctionnalités et aux spécifications seront publiées dans des fiches d'errata spécifiques au produit ou dans de nouvelles versions de ce document. Les clients sont invités à vérifier auprès de Decawave les mises à jour les plus récentes sur ce produit.

Copyright © 2017 Decawave Ltd

## POLITIQUE DE SOUTIEN À LA VIE

Les produits Decawave ne sont pas autorisés pour une utilisation dans des applications critiques pour la sécurité (telles que le maintien de la vie) où une défaillance du produit Decawave pourrait raisonnablement entraîner des blessures graves ou la mort. Les clients de Decawave utilisant ou vendant des produits Decawave de cette manière le font entièrement à leurs risques et périls et acceptent d'indemniser entièrement Decawave et ses représentants contre tout dommage résultant de l'utilisation des produits Decawave dans de telles applications critiques pour la sécurité.



Avertir! Appareil sensible aux décharges électrostatiques. Des précautions doivent être prises lors de la manipulation de l'appareil afin d'éviter des dommages permanents.

## APPROBATIONS RÉGLEMENTAIRES

Le DW1000, tel que fourni par Decawave, n'a pas été certifié pour une utilisation dans une région géographique particulière par l'organisme de réglementation approprié régissant les émissions radio dans cette région, bien qu'il soit capable d'une telle certification en fonction de la région et la manière dont il est utilisé.

Tous les produits développés par l'utilisateur incorporant le DW1000 doivent être approuvés par l'autorité compétente régissant les émissions radio dans une juridiction donnée avant la commercialisation ou la vente de ces produits dans cette juridiction et l'utilisateur assume l'entièvre responsabilité de l'obtention de l'approbation nécessaire auprès des autorités compétentes. .

# 1. Introduction

## 1.1 À propos du DW1000

Le DW1000 est un circuit intégré d'émetteur-récepteur radio CMOS monopuce basse consommation entièrement intégré, conforme à la norme IEEE 802.15.4-2011 ultra-large bande (UWB).

- Il facilite la détection de proximité avec une précision de +/- 10 cm en utilisant le temps de vol à distance bidirectionnelle (TOF) des mesures.
- Il facilite la localisation en temps réel des actifs avec une précision de +/- 10 cm en utilisant soit des mesures de télémétrie bidirectionnelle (TOF) soit des schémas de différence de temps d'arrivée unidirectionnel (TDOA). Il couvre 6 bandes
- RF à partir de 3,5 GHz à 6,5 GHz Il prend en charge
- des débits de données de 110 kbps, 850 kbps et 6,8 Mbps Ses débits
- de données élevés lui permettent de réduire le temps d'antenne et ainsi d'économiser de l'énergie et de prolonger la durée de vie
- de la batterie Sa capacité à gérer des environnements multivoies sévères le rend idéal pour RF hautement réfléchissant environnements

## 1.2 À propos de ce document

Ce manuel d'utilisation décrit le fonctionnement et la programmation du DW1000 et aborde certains des choix de conception à prendre en compte lors de la mise en œuvre des systèmes qui l'utilisent.

Les informations déjà contenues dans la fiche technique du DW1000 ne sont pas reproduites ici et il est prévu que le lecteur utilise ce manuel d'utilisation conjointement avec la fiche technique du DW1000.

Le document est divisé en plusieurs sections dont chacune traite d'un aspect particulier de la DW1000 comme suit : -

No de section	Nom de la section	Informations couvertes
2	Aperçu de la DW1000	Donne un aperçu du DW1000, décrit comment s'interfacer avec l'appareil et détaille ses différents modes de fonctionnement
3	Message Transmission	Décrit la fonctionnalité et l'utilisation du transmetteur DW1000
4	Message Réception	Décrit la fonctionnalité et l'utilisation du récepteur DW1000
5	Accès aux médias Matériel de contrôle (MAC) caractéristiques	Décrit la fonctionnalité de niveau MAC fournie dans le matériel par le DW1000.
6	D'autres caractéristiques de le DW1000	Décrit les autres fonctionnalités prises en charge par le DW1000
7	Le DW1000 registre	Décrit en détail le jeu de registres accessible à l'utilisateur DW1000, répertorie tous les champs de bits accessibles à l'utilisateur dans chaque registre et leurs fonctions respectives.

No de section	Nom de la section	Informations couvertes
8	DW1000 Étalonnage	Décrit les paramètres du DW1000 qui nécessitent un étalonnage ; la méthodologie qui devrait être utilisée pour les calibrer et la fréquence à laquelle ils nécessitent un calibrage.
9	Choix de conception opérationnelle lors de l'utilisation du DW1000	Discute de certains des problèmes à prendre en considération et des compromis à réalisés lors de la construction de systèmes basés sur le DW1000
dix	ANNEXE 1 : Le IEEE 802.15.4 Couche physique UWB	Fournit des informations générales sur la couche PHY UWB du Norme IEEE802.15.4
11	ANNEXE 2 : Le IEEE 802.15.4 couche MAC	Fournit des informations générales sur la couche MAC de la norme IEEE802.15.4
12	ANNEXE 3 : Deux Manière Allant	Fournit une introduction à l'utilisation du DW1000 dans les systèmes de proximité à distance bidirectionnelle
13	ANNEXE 4 :	Décodage PART/CHIP et LOT ID dans DW1000 OTP
14	ANNEXE 5 :	Fournit une liste et une explication des abréviations et acronymes utilisés dans le reste du document
15	ANNEXE 6 : Les références	Répertorie les documents auxquels il est fait référence dans ce manuel d'utilisation
16	Historique du document	Donne l'historique des révisions de ce document
17	Changements majeurs	Donne les changements majeurs à chaque révision de ce document

Remarque : Decawave fournit également le logiciel du pilote de périphérique DW1000 sous forme de code source. Ce code source comprend un ensemble de fonctions API pour initialiser, configurer et contrôler le DW1000. Il fournit des fonctions API pour la transmission et la réception, et pour piloter les fonctionnalités du CI. Le code source du pilote DW1000 est destiné au cortex ARM M3 mais est facilement portable sur d'autres systèmes à microprocesseur. Le code est livré avec un certain nombre d'applications de démonstration/test (y compris une application de télémétrie bidirectionnelle), pour tester l'API et les caractéristiques du DW1000.

#### Périodes et fréquences d'horloge

Le taux de découpage donné par la norme IEEE 802.15.4-2011 [1] est de 499,2 MHz. Les horloges système DW1000 sont référencées à cette fréquence. Lorsque la fréquence d'horloge système est donnée à 125 MHz, il s'agit d'une approximation de la fréquence d'horloge système réelle de 124,8 MHz. De même, lorsque la période d'horloge système est donnée à 8 ns, il s'agit d'une approximation de la période réelle de  $1/(124,8 \times 10^9)$  secondes.

L'horloge PLL de 1 GHz, lorsqu'elle est référencée, est une approximation de sa fréquence réelle de 998,4 MHz.

Une horloge d'échantillonnage de 63,8976 GHz est associée à la télémétrie pour la norme IEEE 802.15.4-2011, où une période de temps de 15,65 picosecondes est mentionnée, c'est une approximation de la période de cette horloge.

#### FRP

Les valeurs PRF de 16 MHz et 64 MHz sont données dans ce document. Ce sont des approximations des valeurs PRF dictées par [1]. Les valeurs moyennes PRF sont légèrement plus élevées pour SHR par opposition aux autres parties d'une trame.

Les valeurs PRF moyennes sont de 16,1/15,6 MHz et 62,89/62,4 MHz. Reportez-vous à [1] pour plus de détails sur le pic et la moyenne PRF.

#### Débit de données

Lorsqu'un débit de données de 6,8 Mbps est mentionné, cela équivaut au débit de données de 6,81/6,8 Mbps dans [1].

## 2 Vue d'ensemble du DW1000

### 2.1 Présentation

Le DW1000 se compose d'un frontal analogique (à la fois RF et bande de base) contenant un récepteur et un émetteur et un backend numérique qui s'interface avec un processeur hôte, contrôle le frontal analogique, accepte les données du processeur hôte pour la transmission et fournit reçu des données vers le processeur hôte via une interface SPI standard de l'industrie. Divers schémas de contrôle sont mis en œuvre pour maintenir et optimiser les performances de l'émetteur-récepteur.

### 2.2 Interface avec le DW1000

#### 2.2.1 L'interface SPI

L'interface de communication hôte DW1000 est une interface périphérique série (SPI) uniquement esclave conforme au protocole de l'industrie. Le système hôte doit inclure un contrôleur de bus SPI maître afin de communiquer avec le DW1000. Les signaux du bus SPI, leurs niveaux de tension et les synchronisations des signaux sont décrits dans la fiche technique du DW1000.

Le système hôte lit et écrit les registres DW1000 via le SPI. Cette section décrit le format des transactions SPI. Pour plus de détails sur les circuits physiques SPI, la configuration du mode opérationnel et les paramètres de synchronisation, veuillez consulter la fiche technique du DW1000. Les registres accessibles par SPI du DW1000 sont détaillés dans la section [7—Le jeu de registres du DW1000](#).

##### 2.2.1.1 Modes de fonctionnement SPI

Le mode de fonctionnement du SPI est déterminé lorsque la fonction de commande numérique du DW1000 est initialisée à la suite d'une réinitialisation de l'appareil ou lorsqu'il est réveillé d'un état de veille. A ce moment les lignes GPIO 5 et 6 sont échantillonées et leurs valeurs agissent pour sélectionner le mode SPI.

Il est possible de définir le mode SPI dans le bloc de configuration programmable unique du DW1000 pour éviter d'avoir besoin de composants externes et laisser le GPIO libre pour une utilisation alternative. Il s'agit d'une activité ponctuelle et ne peut pas être inversé, il faut donc veiller à ce que le mode SPI souhaité soit défini. Veuillez consulter l'utilisation du Registre spécial (SR) dans la carte OTP (Tableau 10) dans la section [6.3—Utilisation de la mémoire OTP sur puce](#) pour plus de détails sur la configuration OTP. Pour plus d'informations sur l'interface mémoire OTP, voir [Fichier de registre : 0x2D – Interface mémoire OTP](#).

Pour plus de détails sur les modes de fonctionnement SPI et leur configuration, veuillez vous référer à la fiche technique DW1000.

##### 2.2.1.2 Formats de transaction de l'interface SPI

Chaque transaction SPI commence par un en-tête de transaction d'un à trois octets suivi d'un nombre variable d'octets constituant les données de transaction. Le nombre d'octets de données autorisés dans un transfert SPI n'est pas limité.

L'en-tête de transaction sélectionne si la transaction est une lecture ou une écriture et spécifie l'adresse à partir de laquelle lire ou écrire. Physiquement, l'interface SPI est en duplex intégral en ce sens que chaque transaction déplace des bits à la fois vers et depuis le DW1000. Logiquement, cependant, chaque transaction lit des données du DW1000 ou y écrit des données. Comme le montre la figure 1, pour une transaction de lecture, tous les octets au-delà de l'en-tête de transaction sont ignorés

par le DW1000, et pour une transaction d'écriture, tous les octets émis par le DW1000 doivent être ignorés par l'hôte système.

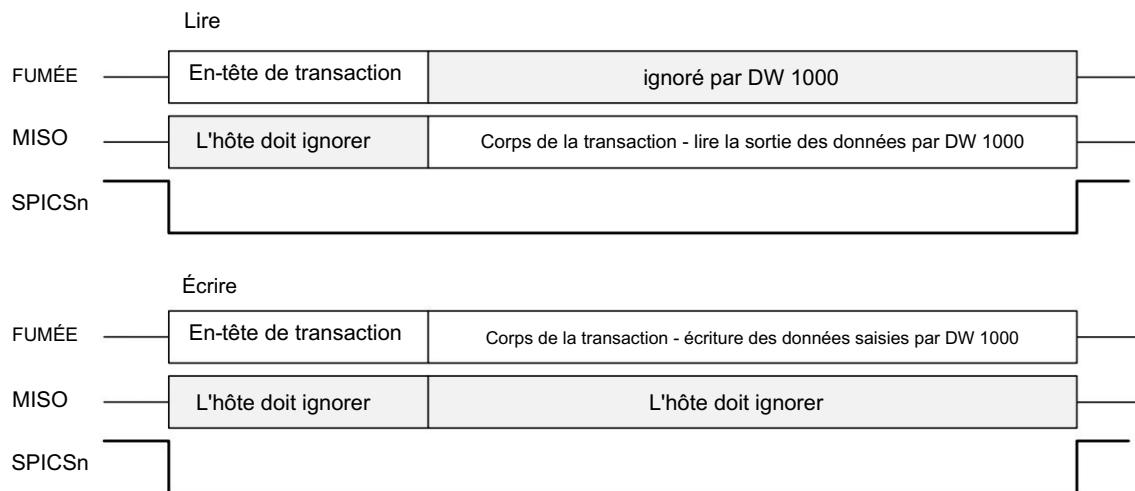


Figure 1 : Transactions de lecture et d'écriture SPI

Remarque : Les octets sont physiquement présentés sur les lignes de données de l'interface SPI avec le bit de poids fort envoyé en premier.

Les transactions SPI sont enveloppées par l'assertion de la ligne de sélection de puce basse active, SPICSn. L'assertion de haut en bas (bas) de SPICSn initialise le gestionnaire de transaction SPI afin que le DW1000 interprète le ou les octets suivants comme un nouvel en-tête de transaction. La désassertion de bas en haut de SPICSn met fin à la transaction SPI.

En règle générale, un pilote d'interface SPI logiciel comprendra un paramètre pour indiquer la longueur de la transaction, c'est-à-dire le nombre d'octets à écrire sur le périphérique sur le bus SPI ou le nombre d'octets à lire.

Les paramètres accessibles par SPI du DW1000 sont organisés en 64 emplacements de fichiers de registre distincts (détailé dans la section 7 – [Le jeu de registres DW1000](#)). Chaque en-tête de transaction d'accès SPI comprend un ID de fichier de registre de 6 bits qui identifie le fichier de registre auquel accède la transaction. Le sous-adressage dans le fichier de registre sélectionné permet un accès efficace à tous les paramètres du DW1000. Selon le sous-adressage utilisé, l'en-tête de transaction a une longueur d'un, deux ou trois octets. Ces trois types de transactions sont décrits dans les sous-sections ci-dessous.

Remarque : lors de l'écriture dans l'un des registres du DW1000, il faut veiller à ne pas écrire de données supplémentaires au-delà de la longueur publiée du registre sélectionné (voir section 7 – [Le jeu de registres du DW1000](#)).

La figure 2 montre les champs dans l'en-tête de transaction d'un octet d'une simple transaction SPI non indexée.

Bit-6 est zéro indiquant qu'un sous-index n'est pas présent. L'ID de registre (fichier) sélectionne l'adressage de niveau supérieur du paramètre ou du bloc de paramètres DW1000 auquel on accède.

Numéro de bit :	7	6	5	4	3	2	1	0	
Signification:	Opération: 0 = Lire 1 = Écrire	Bit = 0, indique que le sous-index est pas présent	ID de fichier de registre - Plage 0x00 à 0x3F (64 emplacements)	En-tête de transaction Octuor					

Figure 2 : En-tête d'un seul octet de la transaction SPI non indexée

Les octets restants de la transaction, le corps de la transaction, suivant immédiatement cet en-tête d'un octet sont lus (ou écrits) dans le fichier de registre sélectionné en commençant à l'index zéro. La figure 3 montre un exemple de lecture non indexée du registre d'ID de périphérique utilisant l'en-tête à un seul octet.

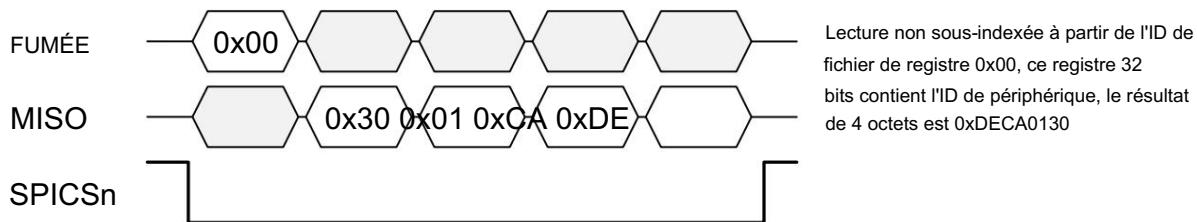


Figure 3 : Exemple de lecture non indexée du registre Device ID (0x00)

Remarque : Les octets d'une valeur multi-octets sont transférés sur l'interface SPI dans l'ordre des octets en commençant par l'octet de poids faible. Ceci est illustré à la figure 3.

#### 2.2.1.2.1 Transaction SPI avec un en-tête de 2 octets

La figure 4 montre les champs dans l'en-tête de transaction à deux octets d'une transaction SPI à index court. Le bit-6 du premier octet est 1 indiquant qu'un sous-index est présent. L'ID de registre (fichier) dans le premier octet sélectionne l'adresse de niveau supérieur du bloc de paramètres DW1000 auquel on accède. Dans le deuxième octet, le bit-7 est zéro indiquant qu'un autre octet d'en-tête de transaction n'est pas présent et que les 7 bits restants de l'octet-2 sont un sous-index court dans le fichier de registre.

Numéro de bit :	7	6	5	4	3	2	1	0	
Signification:	Opération: 0 = Lire 1 = Écrire	Bit = 1, indique que le sous-index est cadeau	ID de fichier de registre - Plage 0x00 à 0x3F (64 emplacements)	En-tête de transaction Octet 1					
Étendu Adresse :	0 = non	Sous-adresse de fichier de registre 7 bits, plage 0x00 à 0x7F (emplacements de 128 octets)	Octet 2						

Figure 4 : En-tête de deux octets de la transaction SPI indexée courte

Les octets restants de la transaction, le corps de la transaction, suivant immédiatement cet en-tête de deux octets sont lus (ou écrits) dans le fichier de registre sélectionné en commençant à l'adresse d'index sélectionnée de 0 à 127.

La figure 5 montre un exemple de lecture indexée à partir du registre d'ID de périphérique utilisant l'en-tête de transaction à deux octets.

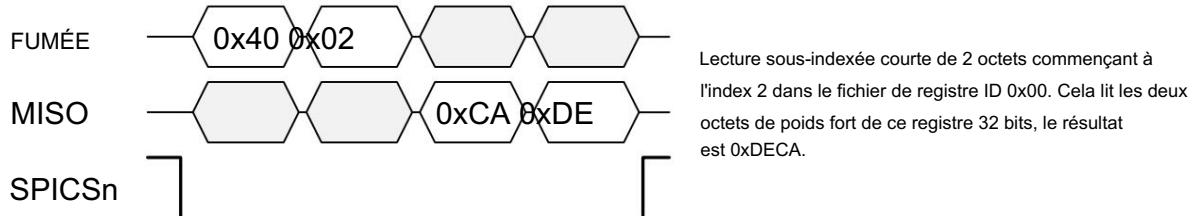


Figure 5 : Exemple de lecture à index court des 3e et 4e octets du registre 0x00

## 2.2.1.2.2 Transaction SPI avec un en-tête de 3 octets

La figure 6 montre les champs dans l'en-tête de transaction à trois octets d'une transaction SPI à index long. Le bit-6 du premier octet est 1 indiquant qu'un sous-index est présent. L'ID de registre (fichier) dans le premier octet sélectionne l'adressage de niveau supérieur du paramètre ou du bloc de paramètres DW1000 auquel on accède. Dans le deuxième octet d'en-tête de transaction, le bit-7 est défini indiquant que la forme longue de l'adressage indexé doit être employée et donc les sept bits restants du deuxième octet avec tous les troisième octet d'en-tête de transaction forment un sous-index de 15 bits dans le fichier de registre sélectionné.

Numéro de bit :	7	6	5	4	3	2	1	0				
Signification:	Opération: 0 = Lire 1 = Écrire	Bit = 1, indique que le sous-index est étendu	ID de fichier de registre - Plage 0x00 à 0x3F (64 emplacements)						En-tête de transaction Octet 1			
Étendu	7 bits de poids faible de la plage de sous-adresses du fichier de registre 15 bits 0x0000 à 0x7FFF (emplacements de 32768 octets)						Octet 2					
Adresse :	1 = oui											
	8 bits de poids fort de la plage de sous-adresses du fichier de registre 15 bits 0x0000 à 0x7FFF (emplacements de 32768 octets)											
	Octet 3											

Figure 6 : En-tête de trois octets de la transaction SPI indexée longue

Les octets du corps de la transaction qui suivent immédiatement l'en-tête de la transaction sont lus (ou écrits) dans le fichier de registre sélectionné en commençant à l'adresse de sous-index sélectionnée de 0 à 32767.

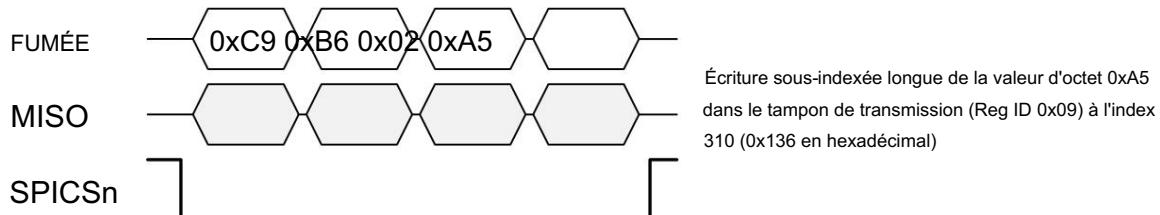


Figure 7 : Exemple d'écriture à index long d'un octet sur l'index 310 du tampon TX

La figure 7 montre un exemple d'écriture indexée qui utilise l'en-tête de trois octets le plus long. Cet exemple est une écriture dans le tampon de données de transmission au sous-index 0x136. Le tampon TX a un ID de fichier de registre de 0x09. L'octet 1 de l'en-tête de transaction est donc 0xC9 car le bit-7 est à 1 pour signaler une écriture et le bit-6 est à 1 indiquant qu'une sous-adresse suit. La sous-adresse 15 bits a la valeur binaire 000-0001-0011-0110. Dans l'octet 2 de l'en-tête de transaction, le bit 7 est défini pour indiquer un sous-index étendu et les bits restants contiennent 0110110, les 7 bits de poids faible du sous-index.

adresse. L'octet 3 de l'en-tête de transaction contient alors 00000010, les huit bits de poids fort restants de l'index de sous-adresse, qui est 0x02 en hexadécimal.

Les paramètres DW1000 qui peuvent être lus et écrits à l'aide de ces transactions SPI sont détaillés dans la section 7 - [L'ensemble de registres DW1000](#).

## 2.2.2 Interruptions

Le DW1000 peut être configuré pour affirmer sa broche IRQ lors de l'occurrence d'un ou plusieurs événements d'état. L'affirmation de la broche IRQ peut être utilisée pour interrompre le contrôleur hôte et rediriger le flux du programme pour traiter la cause de l'événement.

La polarité de la broche IRQ peut être configurée via le bit HIRQ\_POL dans le [fichier de registre : 0x04 – Configuration système](#). Par défaut, à la mise sous tension, la polarité IRQ est active haut. Il s'agit de la polarité recommandée pour garantir le fonctionnement à la plus faible puissance du DW1000 dans les états d'appareil **SLEEP** et **DEEPSLEEP**. Cette broche flottera dans les états SLEEP et DEEPSLEEP et peut provoquer de fausses interruptions à moins qu'elle ne soit tirée vers le bas.

L'apparition d'un événement d'état dans le [fichier de registre : 0x0F - Registre d'état des événements système](#) peut affirmer la broche IRQ en fonction du réglage du bit correspondant dans le [fichier de registre : 0x0E - Registre de masque d'événement système](#).

Par défaut, à la mise sous tension, tous les événements générateurs d'interruptions sont masqués et les interruptions sont désactivées.

## 2.2.3 E/S à usage général

Le DW1000 fournit 8 broches GPIO. Ceux-ci peuvent être configurés individuellement à la discréption de l'utilisateur pour être des entrées ou des sorties. L'état de tout GPIO configuré comme entrée peut être lu et signalé au contrôleur hôte via l'interface SPI. Lorsqu'il est configuré en tant que sortie, le contrôleur hôte peut définir l'état du GPIO sur haut ou bas.

Certaines des lignes GPIO ont plusieurs fonctions, comme indiqué dans la fiche technique DW1000.

La configuration et le fonctionnement des broches GPIO sont contrôlés via le [fichier de registre : 0x26 - Contrôle GPIO et statut](#).

Par défaut, à la mise sous tension, tous les GPIO sont configurés en entrées.

## 2.2.4 La broche SYNC

Cette broche est utilisée à des fins de synchronisation d'horloge externe. Voir section [6.1 – Synchronisation externe](#) pour plus de détails.

## 2.3 États opérationnels du DW1000

### 2.3.1 Diagramme d'état

Le DW1000 a un certain nombre d'états (ou modes) de fonctionnement différents. Celles-ci sont répertoriées et décrites dans le tableau 1 ci-dessous et les transitions entre elles sont illustrées à la figure 8.

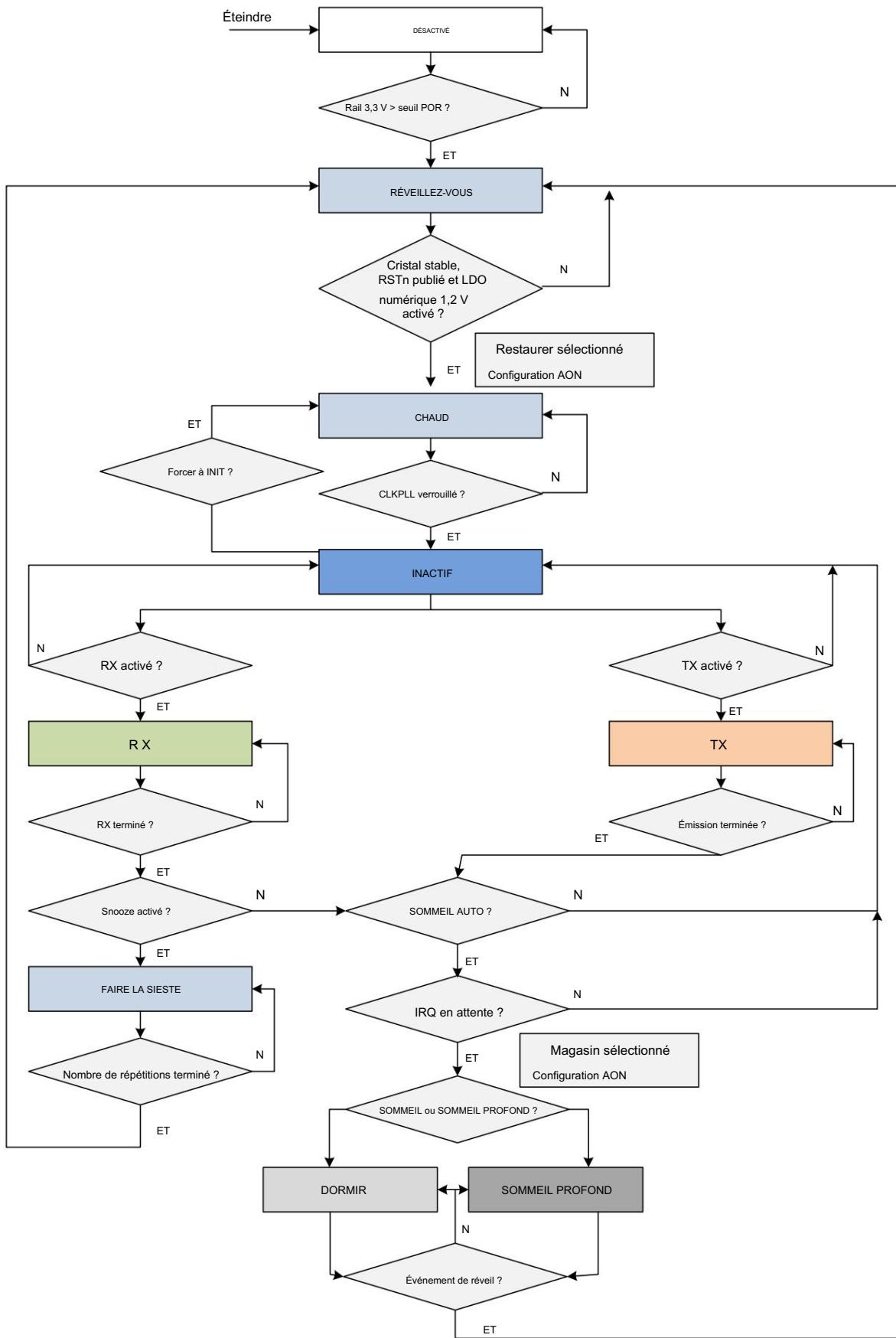


Figure 8 : Diagramme d'état du DW1000

### 2.3.2 Aperçu des principaux états de fonctionnement

Tableau 1 : Principaux états/modes de fonctionnement du DW1000

Nom d'état	Description de l'état
DESACTIVE	À l' état OFF , le DW1000 est complètement éteint, sans tension appliquée à aucune de ses broches d'entrée. Consommation électrique = 0 µA. Aucune broche d'E/S ne doit être pilotée ou l'alimentation fuitera à travers les cellules d'E/S.
RÉVEILLEZ-VOUS	Pendant l' état WAKEUP , l'oscillateur à cristal et la bande interdite sont activés. Après environ 4 ms, le LDO numérique sera activé et le RSTn (sortie) se désactivera, permettant au DW1000 d'entrer dans l' état INIT .
CHAUD	<p>Dans l' état INIT , l'oscillateur à cristal principal fonctionne. La fréquence brute de l'oscillateur XTAL de 38,4 MHz est divisée par 2 pour donner une horloge interne de 19,2 MHz appelée XTI. Dans l' état INIT , les circuits numériques du DW1000 sont alimentés par cette horloge XTI de 19,2 MHz .</p> <p>Si le DW1000 est entré dans l' état INIT à partir d'un état SLEEP ou DEEPSLEEP (ou à la suite d'une réinitialisation), les configurations de registre peuvent être automatiquement restaurées à partir de la matrice de mémoire AON.</p> <p>Ensuite, le DW1000 active le CLKPLL et après 5 µs, le CLKPLL sera verrouillé et le DW1000 passera automatiquement à l' état IDLE .</p> <p>Les accès SPI depuis un microcontrôleur externe sont possibles dans l' état INIT , mais ils sont limités à une fréquence d'entrée SPICLK ne dépassant pas 3 MHz. Il faut veiller à ne pas avoir d'accès SPI actif en cours au temps de verrouillage CLKPLL (c'est-à-dire à t = 5 µs) lors du passage automatique de l' état INIT à l' état IDLE , car le basculement de la source d'horloge peut provoquer des erreurs de bit dans les transactions SPI.</p> <p>Il est possible de revenir à l' état INIT à partir de l' état IDLE sous contrôle du registre en sélectionnant XTAL comme source d'horloge et en désactivant ce que l'on appelle le séquençage afin que l'appareil ne passe pas automatiquement à l' état IDLE .</p>
INACTIF	Dans l' état IDLE , le générateur d'horloge interne CLKPLL du DW1000 est verrouillé en marche et prêt à l'emploi, mais est bloqué sur la plupart des circuits pour minimiser la consommation d'énergie. Dans l' état IDLE , les communications SPI peuvent fonctionner jusqu'à 20 MHz, la fréquence SPICLK maximale. Dans l' état IDLE , les circuits de réception et d'émission analogiques sont alimentés bas. L'hôte externe peut contrôler le DW1000 pour initier une transmission ou réception et ainsi faire passer le DW1000 à l'état TX ou à l'état RX respectivement. Si une opération TX ou RX retardée est lancée (voir section <a href="#">3.3 – Transmission retardée</a> et <a href="#">4.2 – Réception retardée</a> ) , le DW1000 restera à l' état IDLE jusqu'à ce que le temps de retard se soit écoulé, après quoi il entrera dans l' état TX ou RX .

Nom d'état	Description de l'état
DORMIR	<p>Dans l' état SLEEP , le CI consomme &lt; 1 µA à partir des entrées d'alimentation externe. Tous les LDO internes sont désactivés. Dans l' état SLEEP , l'oscillateur interne en anneau de faible puissance du DW1000 fonctionne et est utilisé pour synchroniser le compteur de sommeil dont l'expiration est programmée pour "réveiller" le DW1000 et passer à l'état WAKEUP. En mode SOMMEIL , l'alimentation ne doit pas être appliquée aux broches GPIO, SPICLK ou SPIMISO, car cela entraînerait une augmentation du courant de fuite.</p>
SOMMEIL PROFOND	<p>À l'exception de l' état OFF , l' état DEEPSLEEP est l'état d'alimentation le plus bas de l'appareil.</p> <p>Dans DEEPSLEEP, tous les circuits internes sont éteints à l'exception de la mémoire toujours active qui peut être utilisée pour conserver la configuration de l'appareil pour la restauration au réveil</p> <p>Une fois en DEEPSLEEP, le DW1000 y reste jusqu'à l'apparition d'un réveil événement. Cela peut être soit :</p> <ul style="list-style-type: none"> <li>1. la ligne SPICSn tirée vers le bas ou 2. la ligne WAKEUP poussée vers le haut</li> </ul> <p>pour la durée indiquée dans la fiche technique du DW1000 (nominalement 500 µs).</p> <p>Il est également recommandé d'utiliser les bits d'état d'événement SLP2INIT ou CPLOCK (dans <a href="#">le fichier de registre : 0x0F - Registre d'état des événements système</a>) pour amener la ligne de sortie d'interruption IRQ à l'état haut afin de confirmer le réveil.</p> <p>Une fois que le DW1000 a détecté un événement de réveil, il passe à l' état WAKEUP .</p> <p>En mode DEEPSLEEP , l'alimentation ne doit pas être appliquée aux broches GPIO, SPICLK ou SPIMISO car cela entraînera une augmentation du courant de fuite.</p>
État d'émission	<p>Dans l' état TX , le DW1000 transmet activement une trame contenant le contenu du tampon de transmission sur le canal RF configuré avec les paramètres de transmission configurés (PRF, débit de données, code de préambule, etc.)</p> <p>Une fois la transmission de trame terminée, le DW1000 peut entrer dans l'un des trois modes en fonction de la configuration programmée.</p> <p>Une fois la transmission de la trame terminée, le DW1000 reviendra à l' état IDLE à moins que le bit ATXSLP ne soit défini (dans le <a href="#">sous-registre 0x36:04 - PMSC_CTRL1</a>), auquel cas le DW1000 entrera automatiquement dans l' état SLEEP ou DEEPSLEEP (tant qu'aucun interruptions de l'hôte sont en attente).</p> <p>Notez qu'il n'est pas possible d'être simultanément dans les états TX et RX - le DW1000 est un émetteur-récepteur semi-duplex.</p>

Nom d'état	Description de l'état
État de réception	<p>Dans l' état RX , le récepteur DW1000 est actif, soit à la recherche du préambule, soit (une fois qu'il a détecté le préambule) recevant activement le préambule recherchant le SFD, puis recevant le PHR, le décodant et recevant la partie données de la trame.</p> <p>Dans l' état RX , le synthétiseur RF et tous les blocs RX sont actifs. Après un événement qui met fin à la réception (soit une bonne réception de trame, soit une erreur ou un événement de temporisation qui interrompt la réception), le DW1000 reviendra à l' état IDLE à moins que le bit ARXSLP ne soit défini (dans le <a href="#">sous-registre 0x36:04 - PMSC_CTRL1</a>) dans auquel cas le DW1000 entrera automatiquement dans l' état SLEEP ou DEEPSLEEP (tant qu'aucune interruption de l'hôte n'est en attente).</p> <p>Notez qu'il n'est pas possible d'être simultanément dans les états RX et TX - le DW1000 est un émetteur-récepteur semi-duplex.</p>
FAIRE LA SIESTE	L' état SNOOZE est similaire à l' état INIT , sauf qu'un compteur est en cours d'exécution pour que le DW1000 passe automatiquement à l' état RX (via INIT et IDLE) lorsque le compteur expire. Les temps de comptage des rappels sont exprimés en unités de la fréquence d'horloge XTI brute de 19,2 MHz (puisque l'horloge PLL numérique de 125 MHz ne fonctionne pas).

## 2.4 Réinitialisation à la mise sous tension (POR)

Lorsque la source d'alimentation externe est appliquée au DW1000 pour la première fois, le circuit interne de réinitialisation à la mise sous tension (POR) compare la tension d'alimentation appliquée de manière externe à un seuil de mise sous tension interne (environ 1,5 V), et une fois ce seuil dépassé, le l'oscillateur à cristal est activé et la broche d'activation du périphérique externe EXTON est affirmée. Un compteur interne fonctionnant sur l'oscillateur à faible puissance est utilisé pour maintenir le DW1000 en réinitialisation afin de s'assurer que l'oscillateur à cristal est stable avant qu'il ne soit utilisé. Une fois la réinitialisation numérique annulée, le cœur numérique se réveille et passe à l' état WAKEUP . À partir de cet état, il allumera automatiquement le CLKPLL et attendra qu'il se verrouille avant d'entrer dans l' état IDLE .

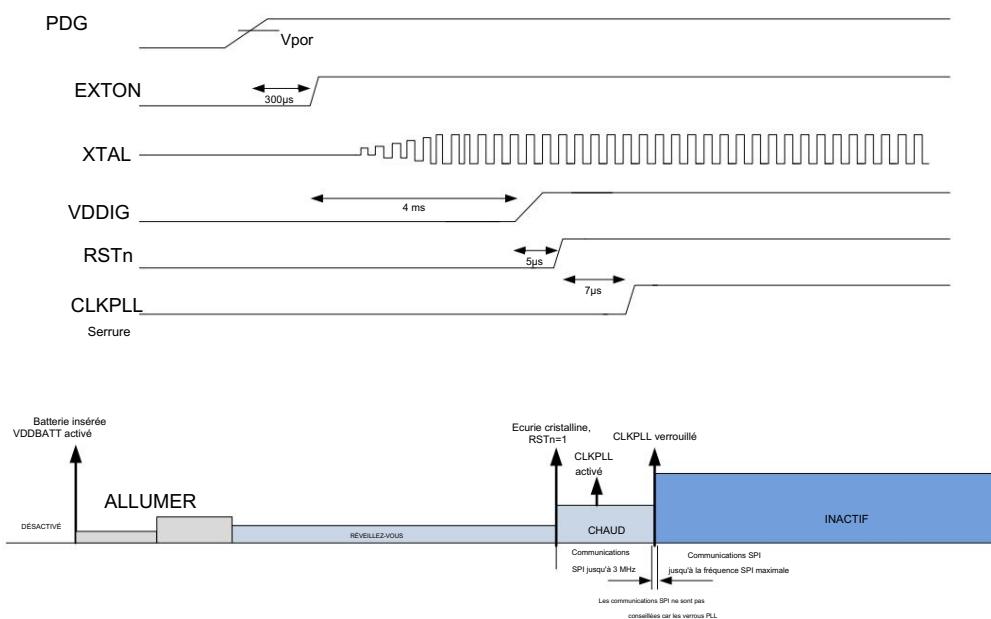


Figure 9 : Chronogramme et profil de puissance pour démarrage à froid POR

## 2.4.1 SOMMEIL et SOMMEIL PROFOND

Dans l' état DEEPSLEEP à très faible consommation du DW1000 , le CI est presque complètement éteint, à l'exception d'une petite quantité de mémoire nécessaire pour maintenir les configurations du CI. Il s'agit du mode de consommation le plus bas du circuit intégré où la consommation de puissance est < 100 nA. Pour réveiller le CI de DEEPSLEEP , il faut qu'un agent externe affirme la ligne d'entrée WAKEUP ou que le microprocesseur hôte externe lance une transaction SPI pour affirmer l'entrée SPICSn.

Le DW1000 comprend également un état SLEEP à faible puissance dans lequel le circuit intégré peut se réveiller après l'expiration d'une minuterie de veille qui s'exécute à partir d'un oscillateur en anneau à faible puissance interne au circuit intégré DW1000.

Dans cet état SLEEP , la consommation d'énergie est < 1 µA. Le DW1000 peut sortir de l'état SLEEP lorsque la minuterie de sommeil s'est écoulée. Les entrées WAKEUP ou SPICSn peuvent également être utilisées pour réveiller l'appareil.

La fréquence de l'oscillateur à faible puissance dépend des variations de processus au sein du CI, mais se situe généralement entre 7 000 et 13 000 Hz. Il existe des installations au sein de l'IC pour mesurer la longueur d'un cycle d'oscillateur LP, en comptes de l'oscillateur à cristal IC divisé par deux (c'est-à-dire 38,4 MHz ÷ 2, ou 19,2 MHz).

### 2.4.1.1 Se réveiller du sommeil

Le retour des modes SLEEP et DEEPSLEEP se fait via

- Mettre la broche WAKEUP au niveau haut pendant environ 500 µs (en supposant que le bit de configuration WAKE\_PIN est défini dans [le sous-registre 0x2C:06 – AON\\_CFG0](#)).
- Piloter la broche SPICSn au niveau bas pendant environ 500 µs (en supposant que le bit de configuration WAKE\_SPI est défini dans [le sous-registre 0x2C:06 – AON\\_CFG0](#)). Ceci peut être réalisé en effectuant une lecture SPI factice d'une longueur suffisante.

**REMARQUE :** Lorsque vous utilisez la broche SPICSn pour réveiller l'appareil, il est important que la ligne SPIMOSI soit maintenue basse pendant toute la durée du SPICSn afin de garantir qu'aucune opération d'écriture intempestive ne se produise.

De plus, le retour du SOMMEIL se produit également lorsque

- Le compteur de la minuterie de veille interne expire (en supposant que la configuration WAKE\_CNT est définie dans [Sub Registre 0x2C:06 – AON\\_CFG0](#) avec un SLEEP\_TIM approprié).

Dans les trois cas de réveil, l'appareil revient par défaut à l'état IDLE , mais des transitions d'état supplémentaires peuvent être automatiquement exécutées par la suite en fonction des configurations.

### 2.4.1.2 Conservation du registre de configuration

Avant d'entrer dans les états SLEEP et DEEPSLEEP et avant de quitter l' état WAKEUP , les configurations principales du DW1000 sont copiées vers et depuis une mémoire Always-On (AON). L'alimentation est maintenue dans la mémoire AON à tout moment, même dans les états SLEEP et DEEPSLEEP . La copie des données de configuration (sauvegarde ou restauration) prend environ 7 µs. Le détail des configurations sauvegardées et restaurées est donné dans [le tableau](#)

**46 : Configurations maintenues dans l'AON.** La restauration des configurations pendant l' état WAKEUP n'est effectuée que si le bit de configuration ONW\_LDC est défini au [7.2.45.1 – Sous-registre 0x2C:00 – AON\\_WCFG](#).

Remarque : Le système hôte doit éviter l'accès SPI aux registres généraux du système ou à la mémoire OTP pendant la période de copie pour éviter tout conflit. L'accès au tampon TX (ou RX) n'est pas restreint pendant cette période.

#### 2.4.1.3 Chargement automatique des données d'étalonnage LDO à partir de l'OTP

Lors du réveil de SLEEP ou DEEPSLEEP , il est nécessaire de charger la valeur [LDOTUNE\\_CAL](#) à partir de l'OTP si elle a été programmée lors de l'étalonnage du test de production IC. Pour confirmer si LDOTUNE\_CAL a été programmé, lisez d'abord l'adresse OTP 0x4. S'il est lu comme non nul (seul le premier octet doit être vérifié), l'appareil a été calibré et le bit ONW\_LLDO dans le [sous-registre 0x2C:00 - AON\\_WCF](#) doit être défini. Cela permettra au paramètre OTP [LDOTUNE\\_CAL](#) d'être automatiquement copié dans le registre requis ([sous-registre 0x28:30 - LDOTUNE](#)) chaque fois que le DW1000 se réveille. Si l'adresse OTP 0x4 est relue comme zéro, le bit ONW\_LLDO ne doit pas être activé.

### 2.4.2 Séquences d'état spécifiques prises en charge par le DW1000

Le DW1000 prend en charge un certain nombre de séquences d'états destinées à minimiser la consommation d'énergie dans certaines applications. Ceux-ci sont: -

Nom du mode	Description des modes
MODE SNIFF	En mode SNIFF , le DW1000 alterne entre les états RX (on) et IDLE (off). De plus amples détails sur ce mode sont donnés dans la section <a href="#">4.5.1 – SNIFF</a> .
FAIBLE SERVICE CYCLE RENIFLAGE MODE	En mode SNIFF à faible rapport cyclique , où le temps d'arrêt est plus long, le DW1000 peut être configuré pour passer ce temps d'arrêt dans l' état INIT qui est moins puissant que l' état IDLE (utilisé pour la période d'arrêt d'un SNIFF). De plus amples détails sur ce mode sont donnés dans la section <a href="#">4.5.2 – SNIFF à faible rapport cyclique</a> .
BATTERIE FAIBLE ÉCOUTE	Le mode d'écoute à faible puissance est un mode spécial dans lequel le récepteur passe le plus clair de son temps dans un état de faible puissance (VEILLE ou SOMMEIL PROFOND) ne se réveillant qu'occasionnellement pour échantillonner l'air pour un message. Cette fonctionnalité est décrite en détail dans la section <a href="#">4.4 – Écoute à faible puissance</a>

### 2.5 Configuration par défaut à la mise sous tension

Le DW1000 est un émetteur-récepteur hautement configurable avec de nombreuses fonctionnalités. Les valeurs de réinitialisation du registre ont été sélectionnées dans le but de minimiser la configuration utilisateur requise. La configuration par défaut peut être résumée comme étant le canal 5, le code de préambule 4 et le mode 2. Les numéros de canal et les codes de préambule sont tels que spécifiés dans la norme, IEEE 802.15.4-2011 [1] et le mode 2 est tel que spécifié dans la fiche technique DW1000 modes et comprend les configurations suivantes :

Tableau 2 : Mode 2 Extrait de la fiche technique du DW1000 Tableau des modes de fonctionnement

Mode	Débit de données	FRP (MHz)	Préambule (Symboles)	Données Longueur (Octets)	Paquet Durée (μs)	Cas d'utilisation typique <small>(Reportez-vous au manuel d'utilisation du DW1000 pour plus d'informations)</small>
Mode 2	6,8 Mbit/s	16	128	12	152	RTLS, schéma TDOA, courte portée, haute densité

Quelques détails supplémentaires sont donnés ci-dessous sur les spécificités de la configuration de l'appareil par défaut. Pour plus de détails, le lecteur peut se référer à la carte des registres où la valeur par défaut de chaque registre est donnée, section 7 - [L'ensemble de registres DW1000](#).

### 2.5.1 Configuration système par défaut

Une grande partie de la configuration du système est configurée dans le registre SYS\_CFG, veuillez consulter la section [Fichier de registre : 0x04 - Configuration du système](#) pour une description complète du contenu du registre et des valeurs par défaut.

Par défaut, la polarité d'interruption est active à l'état haut et toutes les interruptions sont désactivées, voir le registre SYS\_CFG pour la polarité d'interruption et les registres SYS\_MASK et SYS\_STATUS pour la configuration et les informations d'interruption, voir les sections [Fichier de registre : 0x0E - Registre de masque d'événement système](#) et [fichier de registre : 0x0F - Registre d'état des événements système](#).

Les GPIO sont réglés sur le mode 0, leur fonction par défaut comme indiqué dans le tableau 3.

Tableau 3 : Fonctions GPIO par défaut

Broche GPIO	Fonction par défaut
GPIO0/RXOKLED	GPIO0
GPIO1/SFD LED	GPIO1
GPIO2/RX LED	GPIO2
GPIO3/TX LED	GPIO3
GPIO4/EXTPA	GPIO4
GPIO5/EXTTXE/SPIPHA	GPIO5
GPIO6/EXTRXE/SPIPOL	GPIO6
SYNC/GPIO7	SYNCHRONISER
IRQ/GPIO8	IRQ

L'alimentation Smart TX est activée par défaut, voir la section [Fichier de registre : 0x1E - Contrôle de la puissance de transmission](#) et [Contrôle de la puissance de transmission intelligente](#) pour les informations de configuration et de fonctionnement.

Le mode Sniff est désactivé, voir [le fichier de registre : 0x1D - Mode SNIFF](#) pour plus de détails, le délai d'attente de trame (voir le bit de registre SYS\_CFG RXWTOE et le [fichier de registre : 0x0C - Délai d'attente de trame de réception](#)) et le délai de détection du préambule (voir [le sous-registre 0x27:24 - DRX\\_PRETOC](#)) sont désactivés, tandis que le délai de détection SFD (voir [sous-registre 0x27:20 - DRX\\_SFDTOP](#)) est activé.

Les autres paramètres du registre SYS\_CFG tels que la réactivation automatique du récepteur (RXAUTR) et les fonctions MAC telles que le filtrage de trame (FFEN), la double mise en mémoire tampon (DIS\_DRXB) et l'acquittement automatique (AUTOACK) sont tous désactivés par défaut. La génération automatique de CRC est activée et le CRC LFSR est initialisé à 0 (FCS\_INIT2F).

Notez que la génération CRC est sélectionnée dans le cadre d'une commande de transmission, voir [Fichier de registre : 0x0D - Registre de contrôle du système](#).

La synchronisation externe et l'utilisation d'amplificateurs de puissance externes sont désactivés par défaut, voir les sections [6.1 – Synchronisation externe](#) et [6.2 – Amplification de puissance externe](#).

## 2.5.2 Configuration des canaux par défaut

Le canal 5, le code de préambule 4 et le PRF 16 MHz sont définis par défaut dans le registre CHAN\_CTRL, voir [Fichier registre : 0x1F – Contrôle des canaux](#) pour plus d'informations.

Le débit de données de transmission est défini sur 6,8 Mbps dans le registre TX\_FCTRL, voir le champ TXBR dans [le fichier de registre : 0x08 – Transmit Frame Control](#). Le débit de données de réception n'est jamais défini sauf si une réception de 110 kbps est requise. Notez que cela doit être configuré dans le registre SYS\_CFG, champ RXM110K, voir [Fichier registre : 0x04 – Configuration système](#).

La PLL RF et la PLL d'horloge sont configurées pour le fonctionnement du canal 5 par défaut, veuillez vous référer au [fichier de registre : 0x2B - Bloc de contrôle du synthétiseur de fréquence](#) pour les paramètres de configuration de canal pour chaque canal.

## 2.5.3 Configuration par défaut du transmetteur

Les configurations de canal RF de transmission sont définies pour le canal 5 par défaut - voir [le sous-registre 0x28: 0C - RF\\_TXCTRL](#).

La puissance de transmission intelligente est activée par défaut via le bit DIS\_STXP dans le registre SYS\_CFG, reportez-vous au [fichier de registre : 0x04 – Configuration du système](#). Veuillez consulter la section [7.2.31.2 – Contrôle intelligent de la puissance de transmission](#) pour plus d'informations.

La longueur de répétition du symbole de préambule de transmission est de 128 symboles, voir [Fichier de registre : 0x08 – Champs de contrôle de trame de transmission, TXPSR et PE](#) pour les détails de configuration.

## 2.5.4 Configuration du récepteur par défaut

Les configurations de canal RF du récepteur sont définies pour le canal 5 par défaut, voir [le sous-registre 0x28:0B– RF\\_RXCTRLH](#).

Registres d'accord de récepteur numérique ; DRX\_TUNE0b, DRX\_TUNE1a, DRX\_TUNE1b et DRX\_TUNE2 sont configurés par défaut pour 16 MHz PRF, un débit de données de 6,8 Mbps et une répétition de symbole de préambule de longueur 128. Voir le sous-registre 0x27:02 - DRX\_TUNE0b, sous-registre [0x27:04 - DRX\\_TUNE1a](#), sous-registre [0x27:06 - DRX\\_TUNE1b](#) et sous-registre [0x27:08 - DRX\\_TUNE2](#) pour les détails de programmation.

Le bit [LDERUNE](#) est activé par défaut, ce qui signifie que le microcode (l'algorithme LDE) qui a été chargé dans la RAM s'exécutera à chaque réception de trame, ce qui calculera à son tour l'heure d'arrivée précise de la trame. Cependant, le DW1000 doit charger ce microcode à la mise sous tension à partir d'une zone ROM spéciale dans le DW1000. Cela se fait en activant le bit [LDELOAD](#) dans le cadre de l'initialisation du DW1000 (car après la mise sous tension du DW1000 (ou après avoir quitté les états SLEEP ou DEEPSLEEP ), la RAM LDE est vide). Cela doit être fait avant que le récepteur ne soit activé s'il est important d'horodater cette trame reçue. Si le code LDE n'est pas

étant chargé avant que le récepteur ne soit activé, la commande LDERUNE (autorisation d'exécution LDE) dans le [sous-registre 0x36:04 - PMSC\\_CTRL1](#) doit être désactivée (réglée à zéro).

## 2.5.5 Configurations par défaut à modifier

Bien que le DW1000 s'allume dans un mode utilisable pour la configuration par défaut décrite, certaines des valeurs par défaut du registre sont sous-optimales et doivent être écrasées avant de continuer à utiliser l'appareil dans le mode par défaut.

### 2.5.5.1 AGC\_TUNE1

AGC\_TUNE1 est défini sur 0x889B par défaut, ce qui n'est pas la valeur optimale pour le PRF par défaut de 16 MHz. Pour de meilleures performances, l'utilisateur doit définir cette valeur sur 0x8870 avant de continuer à utiliser la configuration de périphérique par défaut. Reportez-vous au [sous-registre 0x23:04 - AGC\\_TUNE1](#).

### 2.5.5.2 AGC\_TUNE2

AGC\_TUNE2 doit être défini comme décrit dans [le sous-registre 0x23: 0C - AGC\\_TUNE2](#) pour un fonctionnement correct de DW1000.

### 2.5.5.3 DRX\_TUNE2

DRX\_TUNE2 est défini sur 0x311E0035 par défaut, ce qui n'est pas la valeur optimale pour le PRF et le PAC par défaut. Pour de meilleures performances, l'utilisateur doit définir cette valeur sur 0x311A002D avant de continuer à utiliser la configuration de périphérique par défaut. Reportez-vous au [sous-registre 0x27:08 - DRX\\_TUNE2](#).

### 2.5.5.4 MNT

NTM est défini sur 0xC par défaut et peut être défini sur 0xD pour de meilleures performances, reportez-vous au [sous-registre 0x2E:0806 - LDE\\_CFG1](#).

### 2.5.5.5 LDE\_CFG2

LDE\_CFG2 est défini sur 0x0000 par défaut et doit être défini sur 0x1607 pour 16 MHz PRF avant de procéder à l'utilisation de la configuration par défaut, reportez-vous au [sous-registre 0x2E:1806 - LDE\\_CFG2](#).

### 2.5.5.6 PUISSANCE\_TX

Le paramètre TX\_POWER est 0x1E080222 par défaut. Cette valeur doit être définie sur 0x0E082848 avant de continuer à utiliser la configuration par défaut. Veuillez consulter la section [7.2.31.2 – Contrôle intelligent de la puissance de transmission](#) pour plus d'informations.

### 2.5.5.7 RF\_TXCTRL

RF\_TXCTRL n'est pas défini sur les valeurs optimales par défaut. Cette valeur doit être définie pour le canal 5 conformément au Tableau 38 avant de procéder à l'utilisation de la configuration par défaut. Veuillez consulter [le sous-registre 0x28:0C - RF\\_TXCTRL](#) pour plus d'informations.

### 2.5.5.8 TC\_PGDELAY

TC\_PGDELAY est défini sur 0xC5 par défaut, qui est la valeur incorrecte pour le canal 5. Cette valeur doit être définie sur 0xB5 avant de continuer à utiliser la configuration par défaut. Veuillez consulter [le sous-registre 0x2A:0B - TC\\_PGDELAY](#) pour plus d'informations.

### 2.5.5.9 FS\_PLLTUNE

FS\_PLLTUNE est défini sur 0x46 par défaut, ce qui n'est pas la valeur optimale pour le canal 5. Cette valeur doit être définie sur 0xBE avant de continuer à utiliser la configuration par défaut. Veuillez consulter [le sous-registre 0x2B: 0B - FS\\_PLLTUNE](#) pour plus d'informations.

### 2.5.5.10 LDELECHARGER

[LDELOAD](#) est remis à 0 par défaut. Cela doit être défini dans le cadre de l'initialisation du DW1000 et avant l'activation du récepteur, s'il est important d'obtenir des informations d'horodatage et de diagnostic à partir des trames reçues. Voir la description du bit [LDELOAD](#) pour plus d'informations. Le tableau ci-dessous décrit les étapes de programmation pour charger le microcode de la ROM dans la RAM.

Tableau 4 : Accès au registre requis pour charger le microcode LDE

Marcher Nombre	Instruction	Enregistrer Adresse	Données Longueur (octets) 2	Données (Écrire lire)
L-1	Écrire le sous-registre 0x36:00 (PMSC_CTRL0)			0x0301
L-2	Écrire le sous-registre 0x2D:06 (OTP_CTRL)		2	0x8000
L-3	Attendre 150 µs			
	Écrire le sous-registre 0x36:00 (PMSC_CTRL0)		2	0x0200

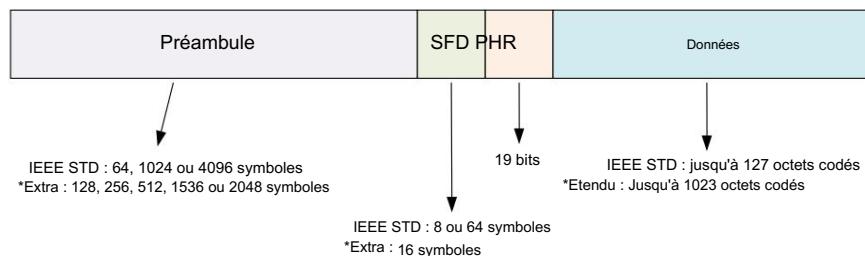
### 2.5.5.11 LDOTUNE

Il est nécessaire de charger la valeur [LDOTUNE\\_CAL](#) à partir de l'OTP si elle a été programmée lors de l'étalonnage du test de production IC. Pour confirmer si LDOTUNE\_CAL a été programmé, lisez d'abord l'adresse OTP 0x4. S'il est lu comme non nul (seul le premier octet doit être vérifié), l'appareil a été calibré. Pour charger cette valeur automatiquement après un réveil depuis SLEEP ou DEEPSLEEP, voir la section sur [le réveil depuis le sommeil](#). Pour utiliser cette valeur immédiatement, elle doit être lue directement à partir d'OTP et écrite dans [le fichier de sous-registre 0x28:30 LDOTUNE](#).

## 3 Transmission de messages

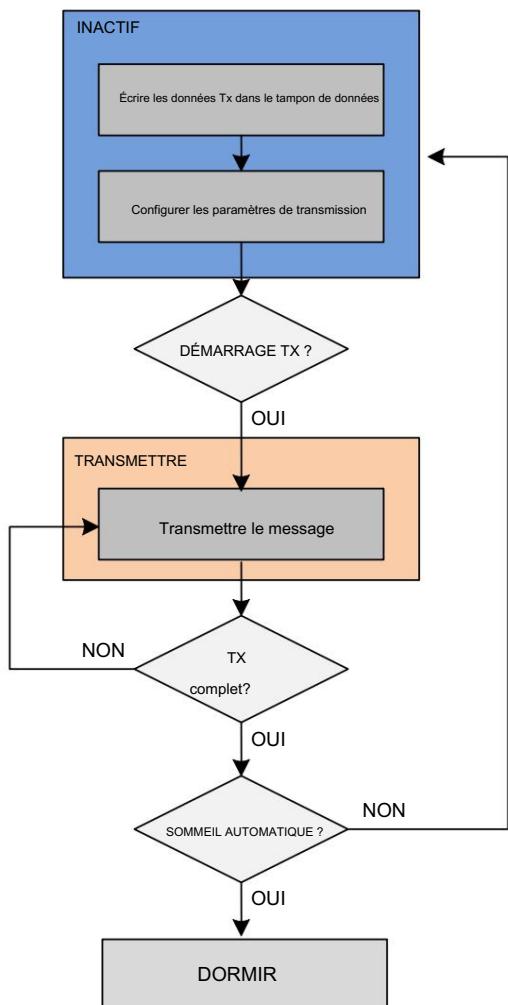
### 3.1 Transmission de base

La transmission de trames de données est l'une des fonctions de base de l'émetteur-récepteur DW1000. La figure 10 montre les éléments de la trame transmise.



\*Les configurations supplémentaires marquées "Extra" ou "Extended" sont la propriété de Decawave ; voir la section 3.4 pour plus de détails sur les trames de données de longueur étendue

Figure 10 : Format de trame de transmission



Les détails de modulation de ces éléments de trame peuvent être trouvés dans la section [10 – ANNEXE 1 : La couche physique IEEE 802.15.4 UWB](#).

La séquence de transmission est illustrée à la Figure 11. Le DW1000 commence à l'état IDLE en attendant l'instruction de l'hôte.

Afin de transmettre, le contrôleur hôte doit écrire les données à transmettre dans [le fichier de registre : 0x09 - Transmit Data Buffer](#). Les sélections souhaitées pour la longueur du préambule, le débit de données et le PRF doivent également être écrites dans [le fichier de registre : 0x08 – Transmit Frame Control](#).

La configuration de l'émetteur est effectuée dans l'état IDLE, mais les configurations de trame peuvent être effectuées pendant la transmission active, comme décrit dans la section [3.5 – Transmission à grande vitesse](#).

En supposant que toutes les autres configurations pertinentes ont déjà été effectuées, le contrôleur hôte lance la transmission en définissant le bit de contrôle TXSTART dans le [fichier de registre : 0x0D - Registre de contrôle du système](#). Une fois la transmission demandée, le DW1000 envoie automatiquement la trame complète ; préambule, SFD, PHR et données. Le FCS (CRC) est automatiquement ajouté au message en tant qu'aide au cadrage de la couche MAC.

La fin de transmission de la trame est signalée à l'hôte via le Bit d'état d'événement TXFRS dans [le fichier de registre : 0x0F - Événement système Status Register](#), et le DW1000 revient en mode IDLE pour attendre de nouvelles instructions.

Figure 11 : Séquence de transmission de base

D'autres fonctions de transmission sont décrites dans les sections suivantes :

- Horodatage du message de transmission – voir section [3.2 – Horodatage de transmission](#). •
- Transmission différée – voir section [3.3 – Transmission différée](#). • Trames de transmission longues – voir section [3.4 – Trames de données de longueur étendue](#). •
- Transmission à grande vitesse – voir section [3.5 – Transmission à grande vitesse](#).

## 3.2 Horodatage de transmission

Lors de la transmission de la trame, le début du PHR (en-tête PHY) est l'événement désigné par la norme IEEE 802.15.4 UWB PHY pour l'horodatage des messages. L'heure à laquelle le premier symbole du PHR est lancé à partir de l'antenne (défini comme le RMARKER) est l'événement désigné comme horodatage de transmission.

Le circuit de transmission numérique du DW1000 prend note du compteur d'horloge système comme horodatage de transmission RAW au moment où il commence à envoyer le PHR. Il y ajoute ensuite le délai d'antenne d'émission (configuré dans le [fichier de registre : 0x18 - Délai d'antenne de l'émetteur](#)) pour obtenir l'horodatage de transmission ajusté de l'antenne qu'il écrit dans le champ TX\_STAMP du [fichier de registre : 0x17 - Horodatage de transmission](#).

Voir également la section [8.3 – Étalonnage IC – Retard d'antenne](#).

## 3.3 Transmission retardée

Pour la transmission différée, le temps de transmission est programmé dans [le fichier de registre : 0x0A - Délai d'envoi ou de réception différé](#), puis la transmission différée est lancée en définissant les commandes TXDLYS et TXSTRT dans le [fichier de registre : 0x0D - Registre de contrôle du système](#).

L'un des objectifs de conception de la transmission différée était que le temps de transmission spécifié soit prévisible et aligné sur l'horodatage de transmission. Ceci a été réalisé en ce que le temps de transmission spécifié est le temps de transmission du RMARKER (sans compter le retard d'antenne TX), c'est-à-dire le temps TX brut, TX\_RAWST dans le [fichier de registre : 0x17 - Horodatage de transmission](#) avant que le retard d'antenne ne soit [ajouté](#). Cela permet de pré-calculer le temps de transmission d'un message et de l'intégrer dans le message en cours transmis.

**REMARQUE :** Les 9 bits de poids faible de la valeur de transmission retardée programmée dans [le fichier de registre : 0x0A – Temps d'envoi ou de réception retardé](#) sont ignorés, ce qui donne une résolution temporelle de 8 ns, ou plus précisément  $4 + (499,2 \times 106)$ . Pour calculer le temps de transmission du RMARKER à l'antenne, les 9 bits inférieurs du temps TX retardé doivent être mis à zéro avant d'ajouter le retard d'antenne TX.

Lors de l'exécution d'une transmission retardée, le DW1000 calcule une heure de début interne indiquant quand commencer à envoyer le préambule pour que l'horodatage brut RMARKER corresponde à l'heure de transmission programmée.

Le DW1000 reste à l'état inactif jusqu'à ce que l'heure du système ([fichier de registre : 0x06 - compteur de temps système](#)) atteigne le point correct pour allumer l'émetteur et commencer le préambule.

L'une des utilisations de la transmission (et de la réception) retardée est la télémétrie bidirectionnelle symétrique (décrite à [l'ANNEXE 3 : télémétrie bidirectionnelle](#)), où il est important de conserver les mêmes temps de réponse aux deux extrémités pour réduire la erreur dans l'estimation de la portée. Minimiser le temps de réponse réduit également cette erreur, et en travaillant

pour minimiser cela, le microprocesseur hôte peut parfois être en retard pour invoquer le TX retardé, c'est-à-dire que l'horloge système a dépassé l'heure de début spécifiée (c'est-à-dire l'heure de début interne mentionnée ci-dessus), puis le CI doit terminer presque toute une période de comptage d'horloge avant que l'heure de début est atteinte. L'indicateur d'état d'événement HPDWARN dans [le fichier de registre : 0x0F - Registre d'état des événements système](#) avertit de cette condition de "retard" afin que, lors du développement de l'application, le retard puisse être choisi suffisamment grand pour éviter généralement ce retard. L'indicateur d'état HPDWARN sert également à faciliter la détection de cette condition d'invocation tardive afin que des mesures de récupération puissent être prises si jamais cela se produisait dans le produit déployé. Pour la transmission retardée, c'est l'heure de début interne mentionnée ci-dessus qui est utilisée pour décider de définir ou non l'événement HPDWARN pour la transmission retardée. Tant que l'heure de début du préambule est proche, l'indicateur d'événement HPDWARN ne sera pas défini. Si un long délai était prévu, l'indicateur HPDWARN peut être ignoré et la transmission commencera à l'heure impartie. Si un long délai n'était pas prévu, la transmission peut être arrêtée en émettant un TRXOFF via le [fichier de registre : 0x0D - Registre de contrôle du système](#).

Dans des circonstances normales, l'émetteur IC a besoin de quelques microsecondes pour alimenter l'émetteur - ce temps est correctement géré pour le positionnement RMARKER, mais n'est pas inclus dans le calcul HPDWARN. Ainsi, si l'initiation d'une transmission retardée est commandée suffisamment tôt pour qu'elle ne génère pas d'événement HPDWARN mais pas suffisamment tôt pour que l'émetteur IC se mette sous tension avant le début du préambule ; alors la transmission de la trame se produira toujours et le RMARKER sera envoyé au bon moment, mais, pendant les premiers symboles du préambule (lorsque l'émetteur est sous tension), le préambule peut ne pas être envoyé correctement. Dans la plupart des cas d'utilisation, cela ne posera pas de problème, car il reste généralement suffisamment de préambule pour une bonne réception. Cependant, pour les séquences de préambule plus courtes, en particulier la séquence de préambule à 64 symboles, la perte de quelques symboles peut avoir un impact sur les performances.

Lors de l'utilisation d'une transmission retardée avec des préambules à 64 symboles, les concepteurs doivent également être conscients que le temps de mise sous tension de l'émetteur n'est pas inclus dans le calcul HPDWARN, ce qui signifie que si l'heure de début du préambule est trop proche, les premiers symboles du préambule (lorsque l'émetteur s'allume) peut ne pas être envoyé correctement. Ceci est signalé dans un état de bit TXPUTE transitoire et compté dans [le sous-registre 0x2F:1A - Compteur d'avertissement de mise sous tension de l'émetteur](#) (en supposant que le comptage est activé par le bit EVC\_EN dans le [sous-registre 0x2F:00 - Contrôle du compteur d'événements](#)). Il est recommandé d'ajouter des vérifications, lors de la validation de la conception, pour s'assurer que l'événement HPDWARN ne se produit pas et aussi (en particulier pour les préambules courts) que l'événement TXPUTE ne se produit pas, et de prendre les mesures appropriées pour les éviter (comme augmenter le délai de réponse temps).

### 3.4 Trames de données de longueur étendue

Les trames UWB standard IEEE 802.15.4-2011 transportent jusqu'à 127 octets de charge utile. Le DW1000 prend en charge un mode de fonctionnement non standard avec des longueurs de trame allant jusqu'à 1023 octets de données. Ce mode de fonctionnement est activé via les bits de sélection PHR\_MODE du [fichier Registre : 0x04 – Configuration système](#).

Dans ce mode propriétaire, l'en-tête PHY (PHR) est redéfini pour transporter les 3 bits supplémentaires de longueur de trame. Afin de communiquer des trames de données de longueur étendue entre deux appareils DW1000, les deux extrémités doivent être définies sur le mode d'en-tête PHY de trame longue via les bits de sélection PHR\_MODE du [fichier de registre : 0x04 - Configuration du système](#). Si le paramètre n'est qu'à une extrémité d'un lien, toute tentative de communication échouera et les erreurs PHR seront signalées. Lorsque le mode trame longue est sélectionné, le DW1000 ne pourra communiquer avec aucun appareil

fonctionnant avec un codage de trame standard car la séquence de contrôle d'erreur SECDED du PHR en mode trame longue est incompatible avec le codage standard.

Notez également que la probabilité qu'une erreur se produise dans une trame augmente à mesure que la longueur de la trame augmente, et en conséquence de cette augmentation, la longueur de la trame peut ou non améliorer le débit du système en fonction de le taux d'erreur de trame et la nécessité de retransmettre les trames en cas d'erreur.

En mode trame longue, seul le bit de poids fort de la valeur TXPSR du [fichier de registre : 0x08 - Transmit Frame Control](#) est envoyé dans le PHR et signalé dans la valeur RXPSR du [fichier de registre : 0x10 - RX Frame Information Register](#).

Le codage PHR pour les trames de données exclusives de longueur étendue est illustré ci-dessous dans la Figure 12 :

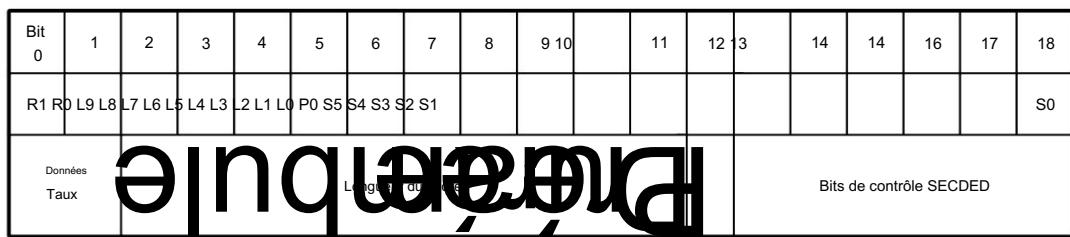


Figure 12 : PHR encodant des trames de données de longueur étendue

Le champ Data Rate a le même codage que celui utilisé pour le PHR IEEE 802.15.4-2011.

Le champ de longueur de trame L9-L0 est un nombre entier non signé de 10 bits qui indique le nombre d'octets dans le PSDU à partir de la sous-couche MAC. Notez que le bit de poids fort de la longueur est transmis en premier dans le temps.

Un seul bit, P0, fournit le champ Durée du préambule, indiquant la longueur de la partie SYNC du SHR indiqué dans le tableau 5.

Tableau 5 : Valeurs du champ Durée du préambule dans la trame de données de longueur étendue PHR

P0	Longueur du préambule pour Mode de modulation BPM-BPSK
0	64 à 1024 symboles
1	1536 à 4096 symboles

Le champ Durée du préambule peut être utilisé par un récepteur pour définir la valeur de la durée du préambule pour un ACK cadre.

Les longueurs de préambule valides sont 64, 128, 256, 512, 1024, 1536, 2048 et 4096 symboles. Étant donné que le champ Durée du préambule dans la trame transmise couvre une plage de longueurs de préambule, un récepteur peut compter le

nombre de symboles de préambule reçus pour informer en outre le choix de la longueur du préambule pour toute réponse cadres.

Le champ SECDED (correction d'erreur simple, détection d'erreur double), S5–S0, est un ensemble de six bits de contrôle de parité qui sont utilisés pour protéger le PHR des erreurs causées par le bruit et les dégradations de canal. Le calcul SECDED est le même que celui défini dans la norme IEEE 802.15.4-2011 sauf que les bits C5–C0 sont inversés pour obtenir S5–S0 comme suit :

S0 = NON (C0)

S1 = NON (C1)

S2 = NON (C2)

S3 = NON (C3)

S4 = NON (C4)

S5 = NON (C5)

## 3.5 Transmission à grande vitesse

Certaines fonctionnalités du DW1000 sont conçues pour prendre en charge une utilisation maximale de l'émetteur. Ces fonctionnalités sont décrites ci-dessous :

### 3.5.1 Indice de décalage du tampon TX

Le champ TXBOFFS (dans [le fichier de registre : 0x08 - Transmit Frame Control](#)) permet d'utiliser le TX\_BUFFER pour contenir plus d'une trame (à condition que les données puissent tenir dans les 1024 octets du tampon). En amorçant une transmission, le contrôleur hôte définira l'index de décalage TXBOFFS sur le premier octet de la trame à transmis et définissez le champ de longueur pour refléter la longueur de la trame à envoyer. Pendant que l'envoi est en cours, le contrôleur hôte peut préparer et écrire une autre trame dans une autre partie du TX\_BUFFER. Après la transmission de la première trame, l'hôte a économisé le temps nécessaire pour écrire la trame de données suivante, et n'a plus qu'à définir le décalage et lancer la transmission de la trame suivante.

Lors d'un flux de données ou d'un transfert de données en masse, le contrôleur hôte peut diviser le TX\_BUFFER en deux zones de 512 octets chacune, en les envoyant alternativement. Pour le transfert de données avec accusé de réception, alors : la réception de l'accusé de réception pour la trame, la trame "A" (disons), peut être utilisée pour déclencher l'envoi de la trame suivante, la trame "B" (disons), qui est déjà en attente dans l'autre moitié du tampon et en même temps signalant que la moitié du tampon qui contenait la trame "A" acquittée peut maintenant, (pendant que la trame "B" est transmise), être remplie avec les données de la trame suivante, la trame "C" ( dire). Lorsque l'accusé de réception de la trame "A" n'est pas reçu, les données correspondantes sont toujours dans le TX\_BUFFER prêtes à être retransmises.

### 3.5.2 Ecriture du tampon TX lors de l'envoi ou de la réception

Pour une rotation rapide, il est possible de lancer l'envoi du préambule avant d'écrire les données de trame dans le TX\_BUFFER ou d'écrire la longueur de trame à la longueur spécifiée dans les champs TFLEN et TFLE du fichier de registre : [0x08 - Transmit Frame Control](#). Ainsi, la transmission du préambule peut commencer avant que les données TX ne soient écrites dans le DW1000. Le microprocesseur hôte a alors le temps de tout délai de réponse fixe, et le temps d'envoi du préambule et du SFD, avant qu'il n'ait besoin d'avoir la longueur de trame définie dans TFLEN et TFLE prêt pour que le DW1000 s'insère dans le PHR, et ensuite le microprocesseur hôte a besoin pour que les octets individuels de données soient écrits dans le TX\_BUFFER avant qu'ils ne soient consommés par l'émetteur DW1000.

De toute évidence, pour ce faire, il faut veiller à ce que la configuration de la longueur de trame soit prête à être incluse dans le PHR et à ce que les données soient écrites dans le TX\_BUFFER avant qu'elles ne soient consommées, et des mécanismes sont nécessaires pour s'assurer que les mauvaises données ne peuvent pas être envoyées comme un bon cadre. Les mécanismes pour y parvenir impliquent l'utilisation de SFCST pour supprimer la transmission FCS jusqu'à ce que toutes les données soient écrites dans le TX\_BUFFER, puis CANSFCS pour annuler cette suppression afin que le FCS soit envoyé. (SFCST et CANSFCS sont tous deux dans [le fichier de registre : 0x0D - Registre de contrôle du système](#)).

Bien que cette technique soit utile pour les réponses rapides, elle pourrait également être utilisée pour le streaming dans les cas où l'utilisation du schéma décrit dans la section [3.5.1 - Indice de décalage du tampon TX](#) n'est pas appropriée, c'est-à-dire lorsque la taille de la trame est entre 513 et 1023 octets.

De même, si DW1000 reçoit activement, des données peuvent être écrites dans le TX\_BUFFER pendant que le récepteur est actif.

Voici les points à noter pour un débit optimal ou une réponse rapide :

(un) La longueur de trame doit être configurée le plus tôt possible :

Pour le streaming, TFLEN, TFLE, TXBOFFS, peuvent être reprogrammés pour la trame suivante dès l'émission du PHR, c'est-à-dire après la signalisation de l'événement TXPHS (Transmit PHY Header Sent).

Pour la transmission d'une réponse, selon l'application, la longueur de la réponse peut être connue avant l'arrivée du message de sollicitation. C'est souvent le cas, par exemple, dans la télémétrie bidirectionnelle.

(b) Initier la transmission le plus tôt possible :

Pour le streaming, c'est dès que la transmission précédente est terminée ou que la réception précédente est terminée (RXDFR a été défini). Ceci est signalé par l'activation du bit d'état d'événement TXFRS (Transmit Frame Sent) défini dans [le fichier de registre : 0x0F - System Event Status Register](#), un événement qui sera généralement capté par un gestionnaire d'interruption dans le système hôte.

Pour la transmission d'une réponse, l'application peut avoir à analyser une partie du message avant de décider si une réponse est requise. Cette analyse pourra peut-être être commencée tôt mais dans tous les cas le déclenchement de la transmission se fera en général le plus tôt possible après l'arrivée du message sollicitant la réponse. L'arrivée du message est signalée par le bit d'état d'événement RXDFR (Receiver Data Frame Ready) dans [le fichier de registre : 0x0F - System Event Status Register](#), un événement également généralement capté par un gestionnaire d'interruption dans le système hôte.

Émettez l'instruction TXSTRT avec SFCST (Démarrage de la transmission avec suppression de la transmission auto-FCS) dans [le fichier de registre : 0x0D - Registre de contrôle du système](#) pour lancer la transmission. Cela lancera la transmission du préambule.

(c) Écrivez les données de trame dans le TX\_BUFFER aussi vite que possible.

Cela peut être fait dans le gestionnaire d'interruptions ou dans une tâche hautement prioritaire planifiée par celui-ci.

(d) Annuler la suppression du FCS dès que possible par la suite.

Cela se fait en émettant l'instruction CANSFCS (Annuler la suppression de la transmission auto-FCS) dans [le fichier de registre : 0x0D - Registre de contrôle du système](#). En supposant que l'hôte a écrit chaque octet de données dans le TX\_BUFFER avant que le DW1000 n'ait besoin de le consommer, cela réussira et le

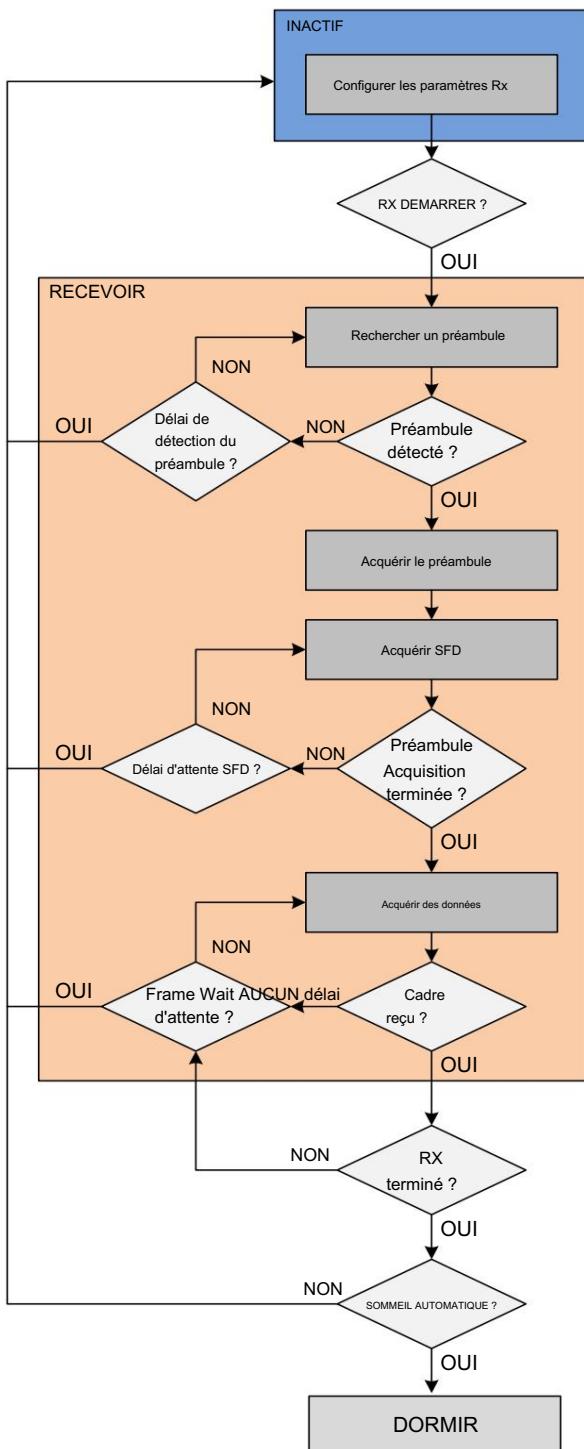
frame sera envoyé avec un bon CRC, et c'est essentiellement la fin de la discussion sur cette technique.

Si le système hôte n'a pas été assez rapide pour écrire les données, la trame sera envoyée avec les mauvaises données mais aussi avec un mauvais CRC. L'émetteur DW1000 comprend un circuit pour détecter le microprocesseur hôte écrivant dans la mémoire tampon entre le TXBOFFS sélectionné et toute adresse à partir de laquelle le CI a déjà consommé les données, ce qui signifie que les données sont écrites trop tard pour être transmises. Cette condition "Erreur de tampon de transmission" amènera le DW1000 à ignorer la commande CANSFCS afin que la trame soit envoyée avec un mauvais CRC. Il est signalé par le bit TXBERR dans [le fichier de registre : 0x0F – Registre d'état des événements système](#). Il s'agit clairement d'une mauvaise condition qui n'aidera pas les performances du système. Il appartient aux concepteurs de système d'éviter cette condition, en la déboguant et en la supprimant pendant la phase de conception, en s'assurant que la réactivité du système est suffisante pour que cela ne se produise jamais, (par exemple en utilisant un processeur plus rapide ou un SPI plus rapide, ou en augmentant la réponse /délai inter-trame ou augmentation de la longueur du préambule).

## 4 Réception des messages

## 4.1 Réception de base

La réception d'une trame est autorisée par une demande de l'hôte ou par une réactivation automatique du récepteur. Le récepteur recherchera continuellement le préambule jusqu'à ce qu'il soit détecté ou acquis, puis une démodulation sera tentée. Une temporisation de détection de préambule peut être définie pour permettre au récepteur d'arrêter la recherche de préambule après une période souhaitée. Une séquence de réception de base est illustrée à la Figure 12.



#### 4.1.1 Détection de préambule

La séquence de préambule est détectée par intercorrélation en blocs qui ont une longueur d'un certain nombre de symboles de préambule.

La taille du bloc utilisé est sélectionnée par la configuration PAC dans le sous-registre 0x27:08 - DRX\_TUNE2.

La taille du PAC doit être sélectionnée en fonction de la taille de préambule attendue. Une plus grande taille de PAC donne de meilleures performances lorsque le préambule est suffisamment long pour le permettre. Mais si le PAC est trop grand pour la longueur du préambule, les performances du récepteur seront altérées ou ne fonctionneront pas aux extrêmes - (par exemple, un PAC de 64 ne recevra jamais de trames avec seulement 64 symboles de préambule). Le tableau 6 donne la configuration de taille de PAC recommandée à utiliser dans le récepteur en fonction de la longueur de préambule utilisée dans l'émetteur.

Tableau 6 : Taille de PAC recommandée

Longueur de préambule attendue des trames reçues	Taille PAC recommandée
64	8
128	8
256	16
512	16
1024	32
1536	64
2048	64
4096	64

Le choix de la longueur du préambule est discuté à la section 9.3 – Choix du débit de données, de la longueur du préambule et de la PRF.

Il est possible d'interrompre la réception si un préambule valide n'est pas détecté dans un délai configuré. Cela se fait en utilisant

Figure 13 : Séquence de réception de base

le timeout de détection de préambule, programmable dans [le sous-registre 0x27:24 – DRX\\_PRETOC](#). Cela peut être utile après l'envoi d'un message où une réponse est attendue. Ici si le préambule n'est pas détecté alors la réponse attendue ne vient pas. La temporisation de détection de préambule peut être utilisée pour abandonner la réception le plus tôt possible, ce qui permet d'économiser de l'énergie.

L'état de détection de préambule a également la possibilité de fonctionner dans un mode appelé mode de détection de préambule pulsé (PPDM), ou mode SNIFF, programmable via [le fichier de registre : 0x1D - Mode SNIFF](#). Il s'agit d'une technique dans laquelle le récepteur échantillonne (« renifle ») l'air périodiquement sur une base temporisée, par exemple 50 % ou 25 % du temps, pour réduire la puissance nécessaire lors de la détection du préambule.

#### 4.1.2 Accumulation de préambule

Une fois la séquence de préambule détectée, le récepteur commence à accumuler des symboles de préambule corrélés, tout en recherchant la séquence SFD (une séquence particulière de symboles de préambule, voir la section [10.3 – Schéma de modulation d'en-tête de synchronisation](#) pour plus de détails). L'accumulation s'arrête lorsque le SFD est détecté, mais peut s'arrêter plus tôt si l'accumulateur grandit rapidement, (comme c'est le cas dans des conditions de visibilité directe par exemple), dans ce cas le récepteur continue à recevoir le préambule, sans accumuler, en recherchant le Séquence SFD.

#### 4.1.3 Détection SFD

La détection de SFD est un événement clé dans la réception d'une trame, car il marque le début de l'en-tête PHY, qui définit le RMARKER horodaté (voir section [4.1.6 – Horodatage du message RX](#) ), et il marque le passage de la démodulation du préambule à la démodulation BPM/BPSK du PHR (et des données par la suite).

Il est possible d'interrompre la réception si le SFD n'est pas détecté dans un certain délai après la détection du préambule. Cette fonctionnalité est configurée via [le sous-registre 0x27:20 - DRX\\_SFTDOC](#). Ce délai de détection SFD protège contre la fausse détection de préambule (qui a une chance finie de se produire) qui pourrait autrement conduire à une période prolongée sans rien recevoir. Par défaut, le délai de détection SFD est de 4161 temps de symbole (c'est-à-dire supérieur au plus grand préambule possible), mais il peut être réglé plus bas si l'on sait que tous les nœuds du réseau utilisent des préambules plus courts. Il est possible de désactiver le délai de détection SFD mais cela n'est pas conseillé.

La séquence SFD est longue de 64 symboles pour un débit de données de 110 kbps et de 8 symboles pour les deux autres débits de données pris en charge de 850 kbps et 6,8 Mbps. Le récepteur doit être configuré pour rechercher soit le SFD court à 8 symboles, soit le SFD long à 64 symboles. Cela se fait via le bit de configuration RXM110K dans [le fichier de registre : 0x04 – Configuration système](#).

Le DW1000 a également la capacité de programmer des séquences SFD non standard qui améliorent les performances, voir [Fichier de registre : 0x21 – Séquence SFD définie par l'utilisateur](#).

#### 4.1.4 Démodulation PHR

Le rôle principal de l'en-tête PHY (PHR) est de transmettre la longueur de la partie données de la trame et d'indiquer le débit de données utilisé pour la démodulation des données. Voir la section [10.4 – En-tête PHY](#) pour plus de détails sur l'en-tête PHY. Pour les débits de données de 850 kbps et 6,8 Mbps, le PHR est modulé / démodulé selon le

Débit de données de 850 kbit/s (notez que le codage Reed Solomon n'étant pas appliqué au PHR, son débit binaire est d'environ 1 Mbps). Si le PHR indique 850 kbps, la démodulation des données se poursuit à ce débit, mais si le PHR indique 6,8 Mbps, la démodulation passe à ce débit à la fin du PHR lorsque la démodulation des données commence.

#### 4.1.5 Démodulation des données

La section [10.2 – Schéma de modulation des données](#) décrit le schéma de modulation. Dans le récepteur un décodeur Viterbi est utilisé pour récupérer les bits de données (ceci est également utilisé pour la réception PHR) qui sont ensuite passés à travers le décodeur Reed Solomon pour appliquer toute autre correction possible. Chaque octet ainsi reçu est passé par un contrôleur CRC qui vérifie la trame par rapport au FCS transmis.

Au fur et à mesure que les octets de données sont reçus, ils peuvent également être analysés par la fonction de filtrage de trame si elle est activée, voir la section [5.2– Filtrage de trame](#) pour plus de détails.

La réception réussie d'une trame est signalée à l'hôte via les bits d'état d'événement RXDFR et RXFCG dans [le fichier de registre : 0x0F - Registre d'état des événements système](#). D'autres bits d'état de ce registre peuvent être utilisés pour signaler la réception d'autres parties de la trame ou des événements indiquant un échec, c'est-à-dire RXPTO (temporisation de détection de préambule), RXSFTDO (temporisation SFD), RXPHE (erreur d'en-tête PHY), RXRFSL (erreur Reed Solomon), RXRFTO (délai d'attente de trame), etc.

Les autres fonctionnalités associées sont : -

- Réception différée – voir section [4.2 – Réception différée](#).
- Trames de réception longues – voir section [3.4–Trames de données de longueur étendue](#).
- Double tampon – voir section [4.3 – Double tampon de réception](#).
- Horodatage du message de réception – voir section [4.1.6 – Horodatage du message RX](#).

#### 4.1.6 Horodatage du message RX

Lors de la réception de la trame, l'événement de détection SFD marquant la fin du préambule et le début du PHR est le point nominal qui est horodaté par le CI. La norme IEEE 802.15.4 UWB désigne l'heure à laquelle ce RMARKER arrive à l'antenne comme événement significatif horodaté.

Le circuit du récepteur numérique DW1000 prend un horodatage grossier du symbole dans lequel l'événement RMARKER se produit et ajoute divers facteurs de correction pour donner une valeur d'horodatage ajustée résultante, qui est l'heure à laquelle le RMARKER est arrivé à l'antenne. Cela inclut la soustraction du retard de l'antenne de réception tel que configuré dans [le sous-registre 0x2E: 1804 - LDE\\_RXANTD](#) et l'ajout du facteur de correction déterminé par l'algorithme de détection du premier chemin (bord d'attaque) intégré dans le DW1000. L'horodatage RX entièrement ajusté résultant est écrit dans [le fichier de registre : 0x15 – Horodatage de réception](#).

Voir également la section [8.3 – Étalonnage IC – Retard d'antenne](#).

Remarque : En raison d'un problème de réinitialisation du récepteur, il est nécessaire d'appliquer une réinitialisation du récepteur après certains événements d'erreur ou de temporisation du récepteur (c'est-à-dire RXPHE (erreur d'en-tête PHY), RXRFSL (erreur Reed Solomon), RXRFTO (attente de trame), délai d'attente), etc.). Cela garantit que la prochaine bonne image aura un horodatage correctement calculé. Il n'est pas nécessaire de le faire dans les cas de RXPTO (Preamble detection Timeout) et

RXSFDTO (temporisation SFD). Pour plus de détails sur la façon d'appliquer une réinitialisation du récepteur uniquement, voir le champ SOFTRESET du [sous-registre 0x36:00 - PMSC\\_CTRL0](#).

## 4.2 Réception différée

En mode de réception retardée, l'heure d'activation du récepteur est programmée dans [le fichier de registre : 0x0A - Heure d'envoi ou de réception](#) retardée, puis la réception retardée est lancée en réglant les commandes RXDLYE et RXENAB dans [le fichier de registre : 0x0D - Registre de contrôle du système](#).

Le DW1000 reste à l'état inactif jusqu'à ce que l'heure du système ([fichier de registre : 0x06 - Compteur de temps système](#)) atteigne la valeur programmée dans [le fichier de registre : 0x0A - Délai d'envoi ou de réception retardé](#), puis le récepteur IC est allumé. Ce point marque l'heure de début de tous les délais d'attente programmés qui s'appliquent au processus de réception, c'est-à-dire le délai de détection de préambule (qui est défini et activé par le [sous-registre 0x27:24 - DRX\\_PRETOC](#)) et le délai d'attente de trame (qui est activé par le RXWTOE bit de configuration dans [le fichier Registre : 0x04 – Configuration système](#), et dont la période est programmée dans [le fichier Registre : 0x0C – Période de temporisation d'attente de trame de réception](#)).

L'avantage de la réception différée est que le récepteur peut être allumé juste au bon moment pour recevoir une réponse attendue, en particulier lorsque cette réponse provient d'un DW1000 utilisant une transmission différée pour envoyer le message de réponse à un moment précis. Cela permet d'économiser de l'énergie car la puissance en mode inactif décomptée jusqu'au temps d'activation RX est nettement inférieure à la puissance requise lors de la réception de la trame.

Une utilisation de la réception retardée, et en particulier de la transmission retardée, est la télémétrie bidirectionnelle symétrique (décrise dans [l'ANNEXE 3 : télémétrie bidirectionnelle](#)), où il est important de garder les mêmes temps de réponse aux deux extrémités pour réduire l'erreur dans l'estimation de la distance. Minimiser le temps de réponse réduit également cette erreur, et ici il est possible que le microprocesseur hôte soit en retard pour invoquer le TX ou le RX retardé, de sorte que l'horloge système est au-delà de l'heure de début spécifiée et que le CI doit terminer presque une horloge entière. période de comptage avant que l'heure de début spécifiée ne soit atteinte. L'indicateur d'état d'événement HPDWARN dans [le fichier de registre : 0x0F - Registre d'état des événements système](#) avertit de cette condition de "retard" afin que, pendant le développement, un retard puisse être choisi suffisamment grand pour éviter généralement ce retard. L'indicateur d'état HPDWARN sert également à faciliter la détection de cette condition d'invocation tardive afin que des mesures de récupération puissent être prises si jamais cela se produisait dans le produit déployé.

## 4.3 Double tampon de réception

Ce DW1000 dispose d'une paire de tampons de réception offrant la possibilité de recevoir dans l'un de la paire pendant que le système hôte lit les données précédemment reçues de l'autre tampon de la paire. Ceci est utile dans un nœud d'ancrage TDOA RTLS où l'on souhaite que le récepteur soit activé autant que possible pour éviter de manquer des messages de clignotement d'étiquette. Un certain nombre de registres auxiliaires (horodatages, indicateurs de qualité et bits d'état) sont également doublement tamponnés. Les registres qui font partie de cet « ensemble oscillant à double tampon RX » sont répertoriés dans le tableau 7.

Remarque : Si des dépassements se produisent (voir section 4.3.5), les données de trame reçues seront corrompues. La double mise en mémoire tampon ne doit pas être utilisée dans les systèmes où les dépassements peuvent être probables ou fréquents et est mieux utilisée dans les systèmes où le traitement par l'hôte des trames reçues est tel que les dépassements ne se produiront jamais.

Tableau 7 : Registres dans le jeu oscillant à double tampon RX

Registres à double tampon RX
Bits LDEDONE, RXDFR, RXFCE et RXFCG dans le fichier de registre : 0x0F - Registre d'état des événements système
Tous les fichiers de registre : 0x10 - Registre d'informations sur la trame RX
Tout le fichier de registre : 0x11 - Tampon de trame RX
Tous les fichiers de registre : 0x12 - Informations sur la qualité de la trame Rx
Tout le fichier de registre : 0x13 - Intervalle de suivi du temps du récepteur
Tout le fichier de registre : 0x14 - Décalage de suivi de l'heure du récepteur
Tous les fichiers de registre : 0x15 - Recevoir l'horodatage

#### 4.3.1 Activation du fonctionnement en double tampon

Par défaut, le DW1000 fonctionne dans un seul mode tampon qui convient à de nombreuses applications. Lors de l'utilisation du mode double tampon, il convient également de configurer le DW1000 pour réactiver automatiquement le récepteur (passant à l'autre tampon de l'ensemble oscillant) dès qu'il a terminé de recevoir une trame précédente. La réception en double tampon est activée en mettant le bit DIS\_DRXB à zéro, (dans le fichier registre : 0x04 – Configuration système). La fonction de réactivation automatique RX est activée en définissant le bit RXAUTR sur 1 (dans le fichier de registre : 0x04 – Configuration système).

Le DW1000 peut fonctionner en mode double tampon sans réactiver automatiquement le récepteur également, ce qui nécessite que l'hôte active manuellement le récepteur pour recevoir la trame suivante. Le récepteur peut être activé avant de traiter la trame précédemment reçue. Cette opération réduira la durée pendant laquelle le récepteur peut écouter activement les trames en ondes, mais empêchera les deux tampons d'être pleins (en même temps) et empêchera les débordements. Cela simplifie le fonctionnement du tampon, voir les sections 4.3.3 et 4.3.5.

Remarque : lors de l'activation ou de la réactivation du récepteur en mode double tampon, il est important d'aligner les récepteurs hôte et IC. C'est-à-dire qu'il est important de s'assurer que l'ensemble de tampons dans lequel le récepteur IC recevra en premier est le même ensemble vers lequel le système hôte pointe et qu'il traitera en premier lorsque la première trame arrivera.

Veuillez vous reporter à la section 4.3.2 ci-dessous pour une discussion à ce sujet et sur la manière d'y parvenir.

#### 4.3.2 Contrôle du tampon auquel on accède

Il existe deux jeux de registres, jeu-de-registres-0 et jeu-de-registres-1, mais l'hôte ne peut accéder qu'à un seul jeu à la fois via les adresses de registre répertoriées dans le tableau 7. Pour permuter entre les jeux, l'hôte émet le HRBPT (Host Side Receive Buffer Pointer Toggle) dans le fichier Register : 0x0D – System Control Register. L'ensemble de registres en cours d'accès est signalé par le bit d'état HSRBP (pointeur de tampon de réception côté hôte) dans le fichier de registre : 0x0F - Registre d'état des événements système. Chaque fois que la commande HRBPT est émise, le bit d'état HSRBP bascule.

Il existe également un index de pointeur de tampon côté IC en lecture seule indiquant quel ensemble de registres le récepteur IC utilise ou utilisera pour la prochaine trame reçue, il s'agit du bit d'état ICRBP (également dans le fichier de registre : 0x0F - System Event

**Registre d'état).** La réception d'une nouvelle trame avec un bon CRC entraînera l'incrémentation (ou la bascule) du bit ICRBP. Dans le cas où une trame reçue est rejetée par filtrage de trame ou mauvais CRC, l'ICRBP n'avancera pas et le tampon sera réutilisé pour la prochaine trame entrante.

Ainsi, comme indiqué dans la section 4.3.1 ci-dessus, avant d'activer le récepteur, il est important d'aligner les récepteurs hôte et IC. Cela se fait en lisant le registre SYS\_STATUS 0x0F pour vérifier que les bits d'état HSRBP et ICRBP sont identiques (c'est-à-dire tous les deux 1 ou les deux 0), et sinon en émettant la commande HRBPT pour basculer HSRBP pour qu'il soit identique à ICRBP.

#### 4.3.3 Fonctionnement du double buffering

En fonctionnement normal, le CI recevra une trame dans le tampon RX (indiqué par ICRBP) et lorsque la trame est terminée, le CI définira le RXFCG interrompant l'hôte et passera à la réception dans l'autre tampon du double tampon oscillant. ensemble. Suite à cela, le système hôte doit voir cette interruption et la traiter en lisant les données reçues du tampon avec tous les autres registres auxiliaires qu'il souhaite, puis émettre la commande HRBPT pour se déplacer pour pointer vers l'autre tampon. Cette commande HRBPT sert également de mécanisme pour indiquer à l'IC que l'hôte a terminé le traitement de ce tampon reçu (et passe au suivant), permettant essentiellement à l'IC de le réutiliser pour suivre les trames. La figure 14 ci-dessous est un organigramme montrant l'utilisation de la double mise en mémoire tampon dans le récepteur.

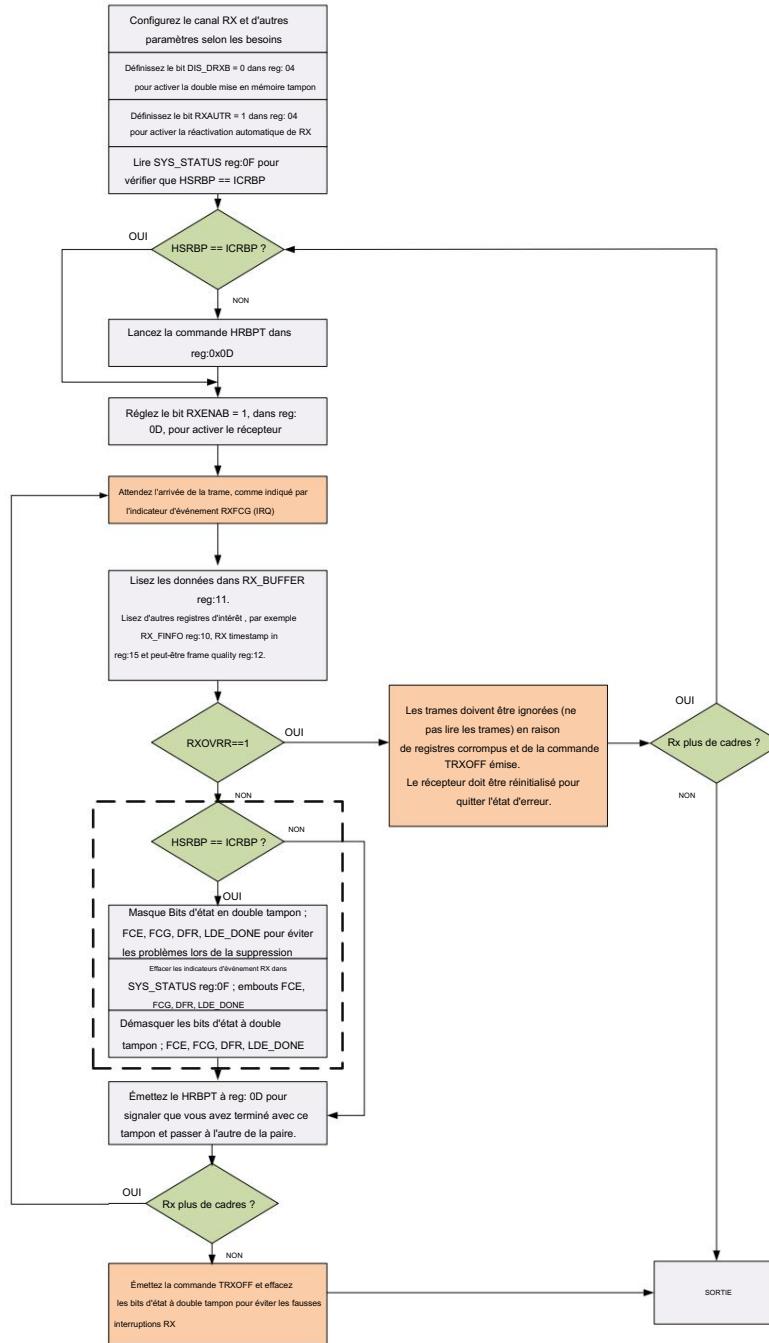


Figure 14 : Organigramme pour l'utilisation de la double mémoire tampon RX

Sur la figure 14, la section marquée par la ligne noire en pointillés peut être omise si le système hôte est capable de desservir les tampons avec une vitesse suffisante pour que les deux tampons ne soient jamais pleins en même temps. Si cela peut être garanti, alors un dépassement (RXOVRR) ne peut jamais se produire et ne peut donc pas corrompre les bonnes trames, voir section 4.3.5. Dans ce cas, la gestion des tampons est simplifiée.

#### 4.3.4 TRXOFF lors de l'utilisation du double tampon

Pour éviter les fausses interruptions et pour un comportement prévisible, TXRXOFF doit être appliqué comme indiqué ci-dessous.

Les bits d'état à double tampon doivent être effacés après l'application de TRXOFF et les interruptions sur les bits d'état à double tampon doivent être masquées pendant que les bits sont effacés.

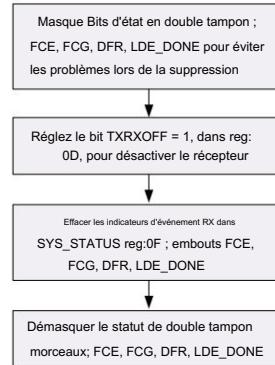


Figure 15 : TRXOFF en mode double tampon

#### 4.3.5 Dépassemment

Une condition de dépassemment peut se produire dans le récepteur IC si le côté hôte ne suit pas le rythme d'arrivée des trames. Ainsi, par exemple, disons que le CI reçoit une trame dans le premier tampon, passe à l'autre tampon et y place également une trame de réception. Le CI reviendra ensuite pour pointer à nouveau vers le premier tampon. Si l'hôte n'a pas terminé la lecture des données de ce premier tampon (c'est-à-dire qu'il n'a pas encore émis le HRBPT), le CI n'écrasera pas ce tampon avec une nouvelle trame si une nouvelle trame arrive. Si une nouvelle trame arrive et que le CI est incapable d'écrire des données dans la mémoire tampon (parce que l'hôte n'a pas émis le HRBPT), cela donne lieu à une condition de dépassemment. La condition de dépassemment se produit au moment où le récepteur termine le traitement d'un bon en-tête PHY et doit écrire le premier octet de données dans le tampon RX. Cet événement est détecté par le CI et signalé dans le bit d'état RXOVRR du [fichier de registre : 0x0F – Registre d'état des événements système](#).

Lorsqu'un dépassemment du récepteur se produit, la réception de la trame en cours sera interrompue et, en supposant que la réactivation automatique RX est activée (par RXAUTR), le récepteur recommencera à rechercher le préambule. La condition de dépassemment et le bit d'état RXOVRR seront effacés dès que l'hôte émettra la commande HRBPT. Débordement du récepteur

les événements sont également comptés dans [le sous-registre 0x2F:0E – Compteur d'erreurs de dépassemment de réception](#), en supposant que le comptage est activé par le bit EVC\_EN dans le [sous-registre 0x2F:00 – Contrôle du compteur d'événements](#).

La condition de dépassemment entraîne la corruption des bonnes trames précédemment reçues. Les registres RX\_FINFO, RX\_TIME et RX\_FQUAL sont concernés. Les trames reçues doivent être ignorées en raison d'une corruption si un dépassemment (RXOVRR) se produit. Une réinitialisation du récepteur uniquement doit être appliquée à l'appareil récepteur pour effacer l'état erroné qui peut persister, voir Figure 14. Voir le champ SOFTRESET du [sous-registre 0x36:00 - PMSC\\_CTRL0](#) pour plus de détails sur la façon d'appliquer la réinitialisation du récepteur uniquement.

L'impact de la corruption par dépassemment des trames précédemment reçues doit être évalué avec soin dans l'application prévue. Par exemple, si des dépassesments peuvent se produire, le système ne doit pas utiliser les acquittements automatiques (voir AUTOACK dans SYS\_CFG), car une trame corrompue sera acquittée mais ensuite rejetée.

## 4.4 Écoute à faible puissance

L'écoute à faible puissance est une fonction dans laquelle le DW1000 est principalement en état de veille mais se réveille périodiquement pendant une très courte période pour échantillonner l'air pour une séquence de préambule. Si aucun préambule n'est vu, le DW1000 revient automatiquement en mode SOMMEIL pour une autre période, cependant si le préambule est vu, le DW1000 ne

ne retourne pas en veille mais continue à recevoir le préambule et la trame de données, et après une réception réussie peut générer une interruption de trame de réception pour réveiller le microprocesseur hôte afin de traiter la trame.

Un exemple typique serait d'utiliser un temps de sommeil de 1 seconde et une période de réveil de 2 intervalles PAC, où le courant moyen pour écouter brièvement et se rendormir est très faible. Pour réveiller un appareil fonctionnant dans ce mode récepteur d'écoute à faible puissance, un appareil émetteur doit envoyer suffisamment de données pour s'assurer qu'il est entendu par l'auditeur. Essentiellement, l'émetteur doit alors envoyer > 1 seconde de message pour s'assurer qu'il croise la courte période d'écoute de l'appareil récepteur. En pratique, cela se fait en envoyant le même message à plusieurs reprises. En faisant cela, il y a une chance finie que l'auditeur écoute à un moment où le préambule transmis n'est pas présent. Pour éviter cela et donner un réveil plus performant, le DW1000 inclut la possibilité d'effectuer une écoute en deux phases. Celui-ci comporte une longue période de sommeil suivie d'un prélèvement d'air, suivi d'une courte période de sommeil puis d'un autre prélèvement d'air. La courte période de veille est définie pour garantir que si la première écoute rencontre un message (absence du préambule), la prochaine écoute verra le préambule. La figure 16 ci-dessous montre l'écoute périodique du préambule et une séquence de réveil où la première période d'écoute croise le PHR ou DATA, mais où la seconde période d'écoute permet une réception réussie.

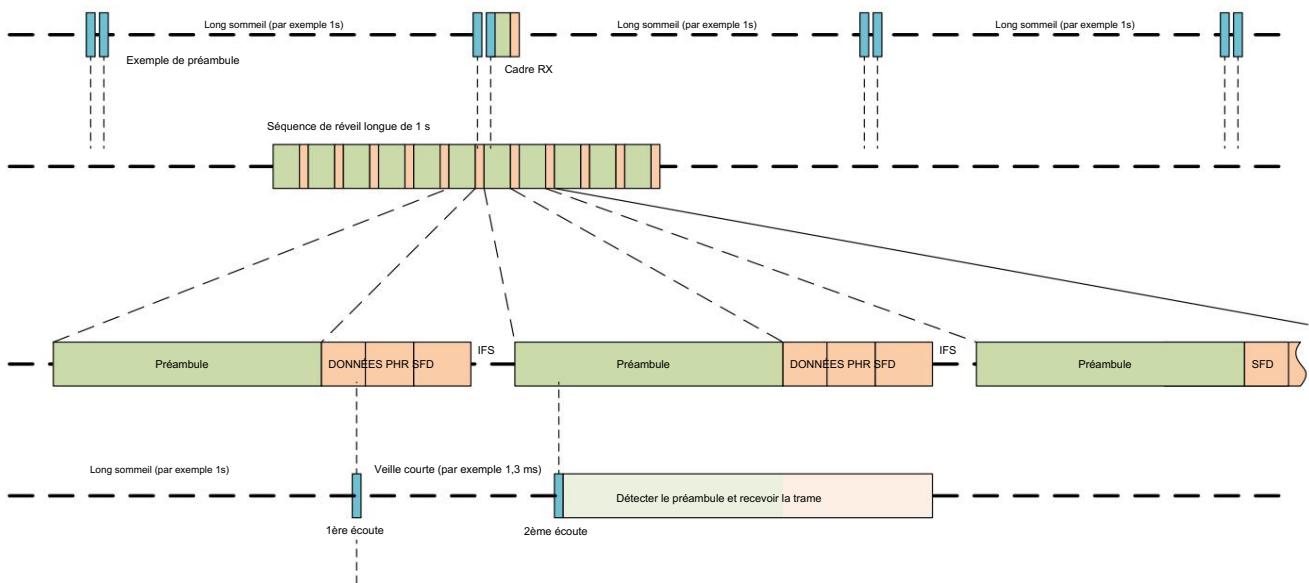


Figure 16 Écoute à faible puissance avec deux temps de veille

**REMARQUE :** L'écoute à faible puissance fonctionne mieux pour les réveils peu fréquents sur une population de nœuds d'écoute. La raison en est que chaque noeud d'écoute verra le préambule et se réveillera et consommera de l'énergie en recevant le paquet (même si le paquet ne lui est pas adressé).

Dans la figure 16, il y a une longue période dans SLEEP (ou DEEPSLEEP) suivie d'un réveil à l'état RX (on) pour détecter le préambule, suivi (en supposant qu'aucun préambule n'est détecté) d'une courte période dans l'état SNOOZE, suivi de la seconde état RX (activé) pour rechercher un préambule, et (en supposant à nouveau qu'aucun préambule n'est détecté) un retour à SLEEP (ou DEEPSLEEP). La figure 17 montre le profil de puissance associé à l'écoute à faible puissance. Si un préambule est détecté dans l'une des deux fenêtres de réception, la trame sera démodulée et une interruption sera définie (si elle est configurée pour cela).

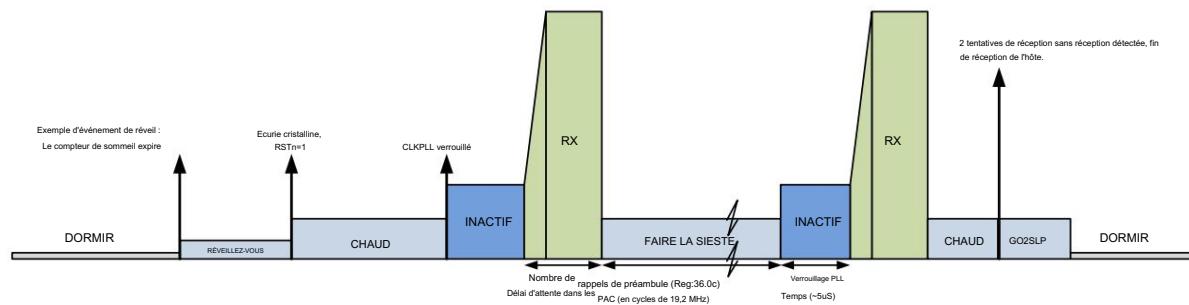


Figure 17 Profil de puissance pour le mode d'écoute à faible puissance où aucune trame n'est reçue

#### 4.4.1 Configuration de l'écoute à faible puissance

Configurez les paramètres du récepteur pour le canal, le débit de données, le PRF, le code de préambule, etc. selon les besoins pour un fonctionnement de réception normal. Ensuite, activez et configurez la fonctionnalité Low-Power Listening comme suit :

- Définissez le bit ARXSLP (après la mise en veille automatique de la réception) dans [le sous-registre 0x36:04 – PMSC\\_CTRL1](#).
- Définissez le délai de détection du préambule (temps RX ON) dans [le sous-registre 0x27:24 – DRX\\_PRETOC](#).
- Définissez le champ SNOZ\_TIM (heure de répétition) du [sous-registre 0x36:0C – PMSC\\_SNOZT](#).
- Définissez le bit SNOZE (activation de la répétition) dans [le sous-registre 0x36:04 – PMSC\\_CTRL1](#).
- Définissez le champ SLEEP\_TIM (période de veille) dans [le sous-registre 0x2C:06 – AON\\_CFG0](#).
- Définissez le champ WAKE\_CNT (réveil lorsque le compteur de sommeil s'est écoulé) dans [le sous-registre 0x2C:06 – AON\\_CFG0](#).
- Définissez le bit ONW\_RX (à la mise sous tension du récepteur) dans [le sous-registre 0x2C:00 – AON\\_WCFG](#).
- Définissez le bit ONW\_LDC (sur les configurations de charge de réveil) dans [le sous-registre 0x2C:00 – AON\\_WCFG](#).
- Définir le bit PRES\_SLEEP (préserver la veille) dans [le sous-registre 0x2C:00 – AON\\_WCFG](#).
- Définissez uniquement le bit MRXFCG dans [le fichier de registre : 0x0E – Registre de masque d'événement système](#).
- Définissez le bit RXENAB dans [le fichier de registre : 0x0D – Registre de contrôle du système](#).

Le DW1000 commencera alors l'écoute à faible puissance et ne générera une interruption qu'à la réception d'une trame. Le filtrage de trame peut être activé pour limiter davantage l'interruption à générer uniquement lorsqu'une trame correctement adressée est reçue. Pour économiser de l'énergie dans un tel système, le microprocesseur hôte (s'il est suffisamment capable) peut entrer dans un état de faible puissance en attendant l'interruption DW1000 pour le réveiller lorsqu'une trame arrive.

Lorsqu'une trame est reçue, l'écoute à faible puissance doit être désactivée en supprimant le bit ARXSLP avant que l'interruption RXFCG ne soit supprimée. Ceci est nécessaire pour s'assurer que le DW1000 ne se remette pas en veille dès que l'interruption est effacée, ce qui empêcherait l'utilisateur de lire correctement les données de la trame. Une fois la trame reçue traitée, le mode d'écoute basse consommation peut être réactivé en réinitialisant le bit ARXSLP et en remettant le DW1000 en mode réception ou veille.

#### 4.5 Mode SNIFF basse consommation

Le mode SNIFF basse consommation est un mode de recherche de préambule à faible puissance, également connu sous le nom de mode de détection de préambule pulsé (PPDM), où le récepteur (RF et numérique) est séquencé sous et hors tension plutôt que d'être allumé tout le temps. Ces heures d'activation et de désactivation sont configurables dans [le fichier de registre : 0x1D - Mode SNIFF](#), et ont des valeurs par défaut de zéro,

désactiver la fonction. L'utilisation du mode SNIFF entraîne une réduction de la sensibilité en fonction du rapport et des durées des périodes d'activation et de désactivation.

Il existe deux variantes du mode SNIFF basse consommation ; ceux-ci sont appelés SNIFF et SNIFF à faible rapport cyclique décrites dans les sous-sections ci-dessous. La différence entre les deux modes est qu'en mode SNIFF le DW1000 alterne entre l'état RX (on) et l'état IDLE (off), tandis qu'en mode SNIFF à faible rapport cyclique, le circuit intégré passe le temps d'arrêt à l'état INIT, ne passant que brièvement à l'état IDLE lors de l'entrée dans l'état RX. Le choix du mode a des implications sur le calcul du temps de détection, qui est décrit ci-dessous. Le mode SNIFF à faible rapport cyclique consomme moins d'énergie que le mode SNIFF pendant la période d'arrêt, mais les deux consomment la même puissance pendant la période d'activation. La figure 18 montre une vue simplifiée des transitions d'état pendant le mode SNIFF.

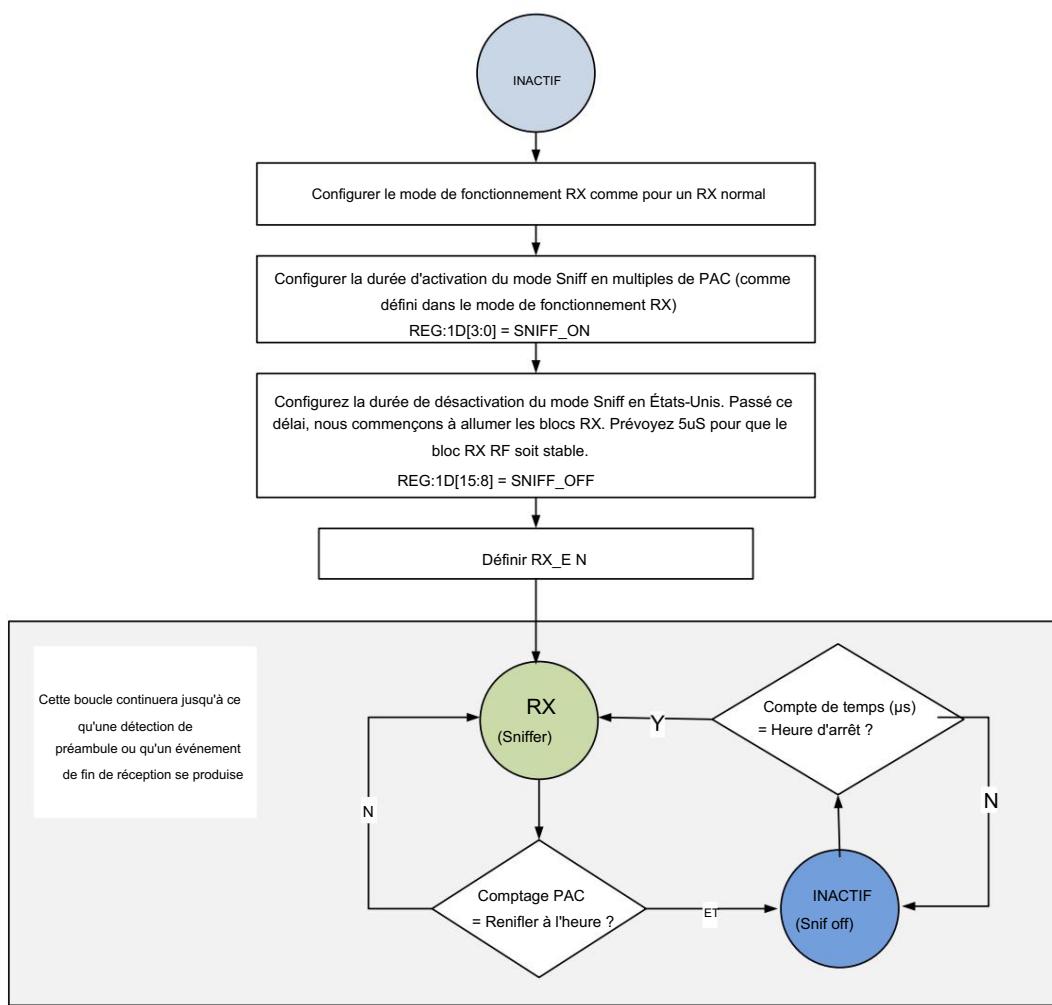


Figure 18 : Transitions d'état en mode SNIFF

#### 4.5.1 Mode SNIFF

En mode SNIFF, le DW1000 alterne entre les états RX (on) et IDLE (off). Pour activer le mode SNIFF, deux paramètres SNIFF\_ONT (sniff on time) et SNIFF\_OFFT (the off time) doivent être configurés dans le [fichier Register : 0x1D – SNIFF Mode](#). La durée d'activation est programmée en unités de PAC (elles sont décrites dans la section [4.1.1 – Détection de préambule](#)) et doit être réglée sur une valeur minimale de 2 pour une détection de préambule fonctionnelle.

Le compteur SNIFF\_ONT ajoute automatiquement 1 unité PAC au nombre total de PAC de sorte que la valeur programmée

doit toujours être inférieur de 1 au total souhaité. La durée d'arrêt est programmée en unités de 1  $\mu$ s. Lorsque les durées d'activation et de désactivation sont programmées avec des valeurs non nulles, le SNIFF sera opérationnel à partir de la prochaine activation de RX.

Par exemple, si la taille du PAC est de 8 symboles (c'est-à-dire environ 8  $\mu$ s) et que nous voulons avoir un rapport cyclique de 50:50, nous pourrions alors régler SNIFF\_ONT à son minimum de 2 intervalles PAC (en programmant le compteur avec une valeur de 1) et le SNIFF\_OFFT à une valeur de 16  $\mu$ s.

La figure 19 ci-dessous montre le profil de puissance associé au mode SNIFF où le circuit intégré se réveille de SLEEP et progresse dans le rapport cyclique répété IDLE-RX-IDLE-RX... du mode de détection de préambule pulsé. Une température met fin à cela et le DW1000 revient en mode SOMMEIL.

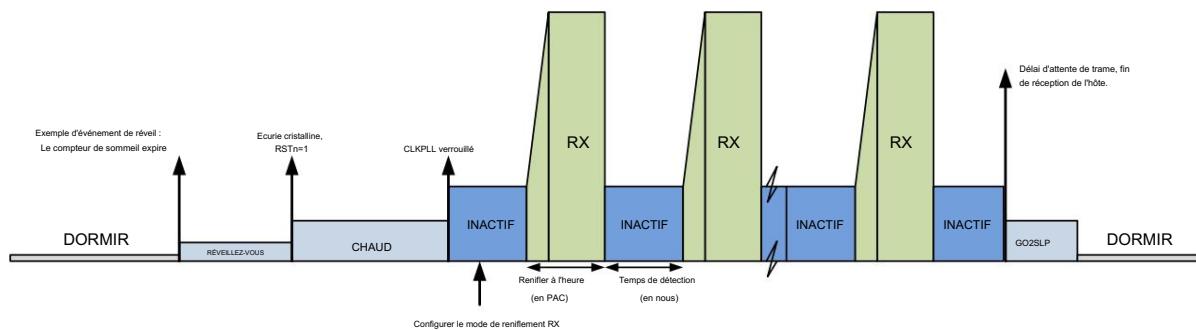


Figure 19 Profil de puissance pour SNIFF lorsqu'une trame n'est pas reçue

La figure 20 ci-dessous montre un profil de puissance pour le mode SNIFF, similaire à la figure 19 sauf que dans ce cas, le préambule est détecté sur la deuxième période d'échantillonnage RX, et le DW1000 termine la réception d'une trame.

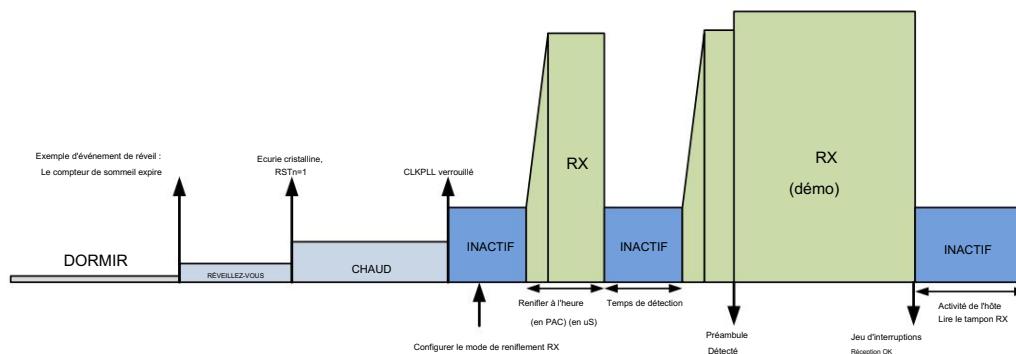


Figure 20 Profil de puissance pour SNIFF où une trame est reçue

#### 4.5.2 Mode SNIFF à faible rapport cyclique En mode

SNIFF à faible rapport cyclique, où le temps d'arrêt est plus long, le DW1000 peut être configuré pour passer ce temps d'arrêt dans l'état INIT qui est plus faible que l'état IDLE (utilisé pour la période d'arrêt d'un SNIFF). Ceci est activé en définissant le bit ARX2INIT dans le sous-registre 0x36:04 - PMSC\_CTRL1, en plus de configurer les heures d'activation et de désactivation, SNIFF\_ONT et SNIFF\_OFFT, dans le fichier de registre : 0x1D - Mode SNIFF. Cela indique au récepteur de passer à l'état INIT pendant la période d'arrêt du mode SNIFF à faible puissance.

**REMARQUE :** Dans l' état INIT , l'horloge PLL numérique de 125 MHz ne fonctionne pas, mais le système est cadencé à la fréquence d'horloge XT1 brute de 19,2 MHz . Ainsi, en mode SNIFF à faible rapport cyclique, la période d'arrêt configurée dans SNIFF\_OFFSET est en multiples de 6,6 µs (au lieu des unités de 1 µs qui s'appliquent en mode SNIFF).

L'économie d'énergie du mode SNIFF à faible rapport cyclique n'est réalisée que lorsque la période d'arrêt est supérieure à 1 (c'est-à-dire > 6,6 µs). En effet, après l'expiration de la minuterie, le DW1000 entrera dans l' état IDLE lorsque la PLL est activée et se verrouille (cela prend environ 5 µs) avant de passer à l' état RX .

La figure 21 montre le profil de puissance associé au mode SNIFF à faible rapport cyclique où le circuit intégré se réveille de la veille et progresse dans les cycles répétés INIT-(IDLE)-RX-INIT-(IDLE)-RX du mode de détection de préambule pulsé. Une température met fin à cela et le DW1000 revient en mode SOMMEIL.

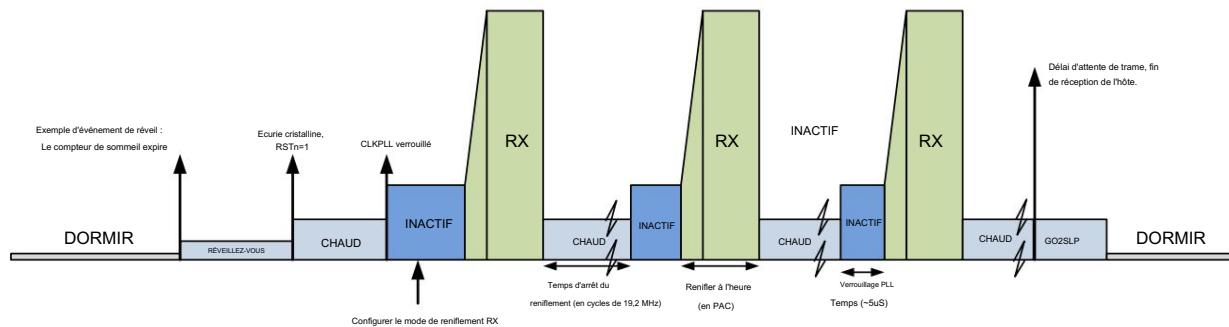


Figure 21 : Profil de puissance pour un SNIFF à faible rapport cyclique lorsqu'une trame n'est pas reçue

## 4.6 Diagnostic

Le DW1000 comprend les aides au diagnostic suivantes : -

- La possibilité de piloter des LED pour afficher l'activité TX et RX, ce qui peut être utile pendant le produit développement et dans les appareils non alimentés par batterie. La fonction de commande de LED est une option sur les lignes GPIO et est configurable via [le sous-registre 0x26:00 - GPIO\\_MODE](#). Veuillez vous référer à la description du registre pour plus de détails sur les fonctionnalités prises en charge.
- Accès à l'accumulateur – utile lors des diagnostics de développement de produits. Ceci est fourni via [le registre fichier : 0x25](#) - Mémoire CIR de l'accumulateur. Veuillez vous référer à sa description pour plus de détails.
- Indications de qualité de trame RX - utiles à la fois pour le diagnostic de développement de produits et pour le travail diagnostics, par exemple pour la gestion du réseau ou pour décider du niveau de confiance pour un RTLS ou une mesure de télémétrie. Ceux-ci sont disponibles via [le fichier de registre : 0x12 – Rx Frame Quality Information](#). Veuillez vous référer à sa description pour plus de détails, et à la section [4.7 - Évaluation de la qualité de réception et de l'horodatage RX](#)

## 4.7 Évaluation de la qualité de réception et de l'horodatage RX

Le récepteur DW1000 est capable de recevoir des messages dans de nombreuses conditions différentes. Dans certaines circonstances, il peut être utile d'évaluer la qualité des signaux reçus et de toute donnée d'horodatage basée sur ceux-ci.

Dans un réseau, il peut être utile d'évaluer la qualité de la réception des messages à partir d'un nœud particulier afin de modifier le routage du réseau ou les configurations liées à ce nœud pour améliorer la fiabilité des communications. Par exemple, pour améliorer la fiabilité des communications, la longueur de la trame peut être raccourcie, ou le débit de données peut être réduit, ou la longueur du préambule peut être augmentée. Dans d'autres situations avec de bonnes communications constantes, la longueur du préambule peut être raccourcie pour réduire le temps de transmission, économiser de l'énergie et laisser plus de temps d'antenne libre pour que d'autres nœuds puissent communiquer.

Dans un système TDOA RTLS où la transmission d'une étiquette particulière est reçue à plusieurs ancrès, la qualité de réception et plus particulièrement la qualité des informations d'horodatage RX peuvent être utilisées pour sélectionner les horodatages de message RX des ancrès à alimenter dans le moteur de localisation.

Les informations suivantes détaillent les éléments de l'état de réception signalés par le DW1000 qui peuvent être utilisés pour évaluer la qualité d'un message reçu et tout horodatage associé.

- La valeur de bruit CIRE ( Standard Deviation of Channel Impulse Response Estimate ), rapportée dans Champ STD\_NOISE du [fichier de registre : 0x12 – Les informations sur la qualité de la trame Rx](#) peuvent être utilisées pour donner une mesure du bruit associé à celle-ci et à la mesure de l'horodatage de la trame reçue. Le STD\_NOISE peut être utilisé comme valeur absolue ou il peut être comparé à la valeur d'amplitude du premier chemin - dans ce dernier cas, il est recommandé que la valeur d'amplitude utilisée pour la comparaison soit la valeur rapportée dans le champ FP\_AMPL2 du [fichier de registre : 0x12 - Rx Frame Informations de qualité](#).

Avec un chiffre de bruit CIRE absolu plus élevé, il est plus probable que la qualité de l'horodatage de réception soit moins bonne. Un bruit élevé peut signifier que le vrai premier chemin est irrémédiablement enfoui dans le bruit. La comparaison du bruit avec l' amplitude du premier trajet peut donner des indications supplémentaires sur la qualité de la mesure du premier trajet. Lorsque l' amplitude du premier chemin a une grande marge sur le bruit, l'horodatage de la trame reçue est susceptible d'avoir été déterminé plus précisément que lorsque l' amplitude du premier chemin est plus proche du niveau de bruit.

- Il est possible de calculer un chiffre de puissance de réception estimé (en utilisant l'équation et les détails donnés dans la section [4.7.2 – Estimation de la puissance du signal de réception](#)) – pour les besoins de cette discussion, cela sera appelé RX\_POWER. Il est également possible de calculer une puissance estimée uniquement pour le signal du premier chemin (en utilisant l'équation et les détails donnés dans la section [4.7.1 - Estimation de la puissance du signal dans le premier chemin](#)) - pour les besoins de cette discussion, cela sera appelé FP\_POWER. En utilisant ces deux calculs, il peut être possible de dire si le canal est un signal en visibilité directe (LOS) ou non en visibilité directe (NLOS). En règle générale, si la différence entre RX\_POWER et FP\_POWER, c'est-à-dire RX\_POWER - FP\_POWER, est inférieure à 6 dB, le canal est susceptible d'être LOS, tandis que si la différence est supérieure à 10 dB, le canal est susceptible d'être NLOS.

Lorsque l'horodatage RX se rapporte à une trame qui est reçue en présence d'une puissance de bruit CIRE plus élevée, ou se rapporte à un trajet sans visibilité directe avec un premier trajet atténué, alors cet horodatage de réception est naturellement susceptible d'être de qualité inférieure supérieure à celui déterminé à partir d'un signal de premier trajet en ligne de mire nette qui est bien au-dessus du bruit de fond.

Lorsqu'un système de localisation dispose d'un nombre excessif d'horodatages de réception parmi lesquels choisir, une estimation de la qualité relative à chaque horodatage peut être utilisée pour pondérer les horodatages ou pour choisir l'ensemble de qualité le plus élevé pour alimenter la fonction de multilatération du moteur de localisation.

#### 4.7.1 Estimation de la puissance du signal dans le premier chemin

Une estimation de la puissance dans le signal du premier trajet peut être calculée (en dBm) à l'aide de la formule :

$$= 10 \times \log_{10} \left( \frac{2 + \frac{2+2}{3}}{1^2} \right) -$$

Où:

F1 = la valeur d'amplitude du premier chemin (point 1) signalée dans le champ FP\_AMPL1 du [registre fichier : 0x15 – Horodatage de réception](#),

F2 = la valeur d'amplitude du premier chemin (point 2) signalée dans le champ FP\_AMPL2 du [registre fichier : 0x12 – Informations sur la qualité de la trame Rx](#),

F3 = la valeur d'amplitude du premier chemin (point 3) signalée dans le champ FP\_AMPL3 du [registre fichier : 0x12 – Rx Frame Quality Information](#),

A= est la constante 113,77 pour une PRF de 16 MHz, ou la constante 121,74 pour une PRF de 64 MHz, et N = la valeur Preamble Accumulation Count reportée dans le champ RXPACC du [fichier Register : 0x10 – Registre d'information de trame RX](#). Notez que RXPACC peut devoir être ajusté pour supprimer le nombre de symboles SFD avant utilisation, voir la description du champ de registre dans le [fichier de registre : 0x10 - Registre d'informations de trame RX](#).

Le niveau de puissance du premier chemin résultant (en dBm) peut être comparé à la puissance de réception estimée calculée conformément à la section [4.7.2 – Estimation de la puissance du signal de réception](#).

#### 4.7.2 Estimation de la puissance du signal de réception

Il est possible de calculer une estimation du niveau de puissance de réception (en dBm) à l'aide de la formule :

17

$$= 10 \times \log_{10} \left( \frac{C}{N^2} \right) -$$

Où:

C = la valeur de puissance de réponse impulsionale du canal signalée dans le champ CIR\_PWR du [fichier de registre : 0x12 – Rx Frame Quality Information](#), A=

est la constante 113,77 pour une PRF de 16 MHz, ou la constante 121,74 pour une PRF de 64 MHz, et N = la valeur Preamble Accumulation Count signalée dans le champ RXPACC du [fichier Register : 0x10 – Registre d'informations de trame RX](#). Notez que RXPACC peut devoir être ajusté pour supprimer le nombre de symboles SFD avant utilisation, voir la description du champ de registre dans le [fichier de registre : 0x10 - Registre d'informations de trame RX](#).

Cette estimation de puissance de réception résultante est très proche de la puissance de réception réelle à des niveaux de réception inférieurs, mais est inférieure au niveau de puissance de réception réel à des niveaux supérieurs. La figure 22 ci-dessous montre la relation entre la puissance de réception réelle et la puissance estimée par cette technique.

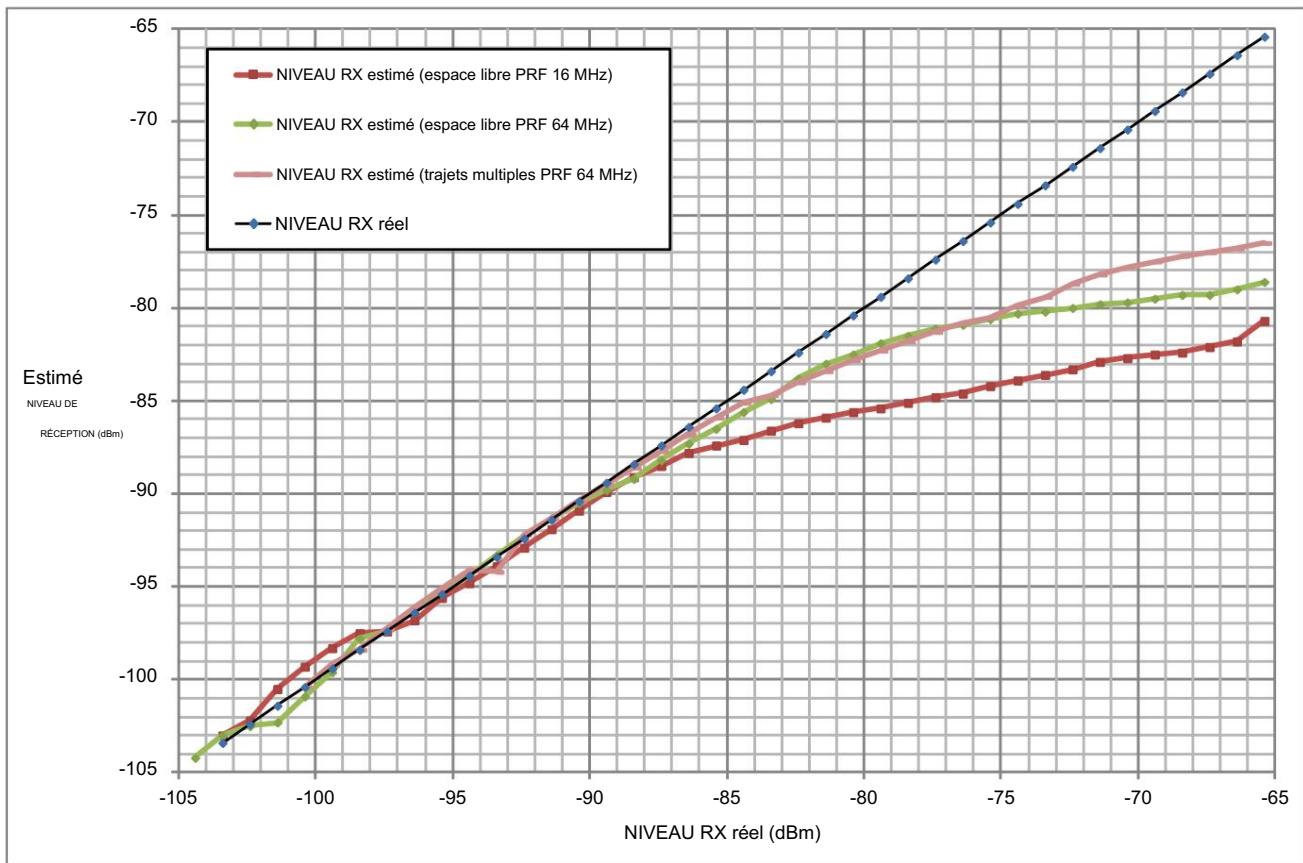


Figure 22 : Niveau RX estimé par rapport au niveau RX réel

## 5 Caractéristiques matérielles du contrôle d'accès au support (MAC)

Cette section décrit les fonctions de contrôle d'accès au support (MAC) qui ont été implémentées dans le DW1000.

### 5.1 Contrôle de redondance cyclique

Le DW1000 comprend une fonction de génération de CRC capable de calculer et d'ajouter automatiquement la séquence de contrôle de trame CRC (FCS) 16 bits à la fin de chaque trame transmise.

Le DW1000 comprend également une fonction de vérification CRC capable de calculer automatiquement la séquence de vérification de trame CRC (FCS) 16 bits lors de la réception de la trame et de comparer ce CRC calculé avec les deux derniers octets de la trame reçue pour vérifier que le CRC calculé correspond au CRC transmis. par l'auteur du cadre.

Une discordance entre le CRC reçu et calculé indique généralement que la trame reçue contient des erreurs (généralement traitées en rejetant la trame reçue). A la fin de la réception de la trame signalée via le bit d'état d'événement RXDFR, le résultat de la comparaison CRC est signalé par le bit d'état RXFCG ou RXFCE mis à 1, c'est-à-dire selon que les CRC correspondent ou non. Ces trois bits d'état se trouvent dans [le fichier de registre : 0x0F – Registre d'état des événements système](#).

Lorsqu'un CRC n'est pas requis, il est possible de supprimer la transmission CRC en utilisant le bit SFCST (supprimer la transmission FCS) dans le [fichier de registre : 0x0D - Registre de contrôle du système](#). Cela peut être fait lors de l'utilisation d'un protocole de couche MAC différent. Ce contrôle SFCST est également utilisé lors d'une technique de maximisation du débit (minimisation du temps de réponse), comme décrit dans la section [3.5.2 - Écriture du tampon TX lors de l'envoi](#).

### 5.2 Filtrage des trames

Le filtrage de trame est une fonctionnalité du CI DW1000 qui peut analyser les données reçues d'une trame conforme au codage MAC défini dans la norme IEEE 802.15.4–2011, en identifiant le type de trame et ses champs d'adresse de destination, en les comparant aux champs du CI. propres informations d'adresse et n'acceptent que les trames qui passent les règles de filtrage. Voir section [11 – ANNEXE 2 : La couche MAC IEEE 802.15.4](#) pour une introduction au format de message défini dans la norme.

La fonctionnalité de filtrage de trame permet au CI d'être placé en mode de réception et d'interrompre le processeur hôte uniquement lorsqu'une trame arrive qui passe les critères de filtrage de trame. Lorsque le filtrage de trame est désactivé, toutes les trames avec un bon CRC sont acceptées, généralement pour interrompre l'hôte avec un état d'événement indiquant qu'une trame a été reçue avec un bon CRC (c'est-à-dire que les bits d'état d'événement RXDFR et RXFCG sont définis dans le fichier de registre : 0x0F - État de l'événement [système Enregistrer](#)). Lorsque le filtrage de trame est activé, les règles de filtrage de trame doivent être transmises avant que ces bits d'état d'événement (interruption) ne soient définis. Voir la section [4.1 - Réception de base](#) pour les détails généraux de la réception.

Le filtrage de trame est activé par le bit de configuration FFEN dans le [fichier de registre : 0x04 – Configuration système](#). Ce registre contient sept bits de configuration supplémentaires (FFAB, FFAD, FFAA, FFAM, FFAR, FFA4 et FFA5) pour le contrôle fin du filtrage des types de trame.

#### 5.2.1 Règles de filtrage des trames

Si le filtrage des trames est activé, les trames seront acceptées ou rejetées selon les règles suivantes :

- Le type de trame doit être autorisé pour la réception :

o Le bit de configuration FFAB doit être défini pour permettre la réception d'une trame Beacon. o Le bit de configuration FFAD doit être défini pour permettre la réception d'une trame de données. o Le bit de configuration FFAA doit être défini pour permettre la réception d'une trame d'accusé de réception. o Le bit de configuration FFAM doit être défini pour permettre la réception d'une trame de commande MAC. o Le bit de configuration FFAR permet de recevoir les types réservés IEEE 802.15.4, 4 à 7, à l'exclusion de ceux rejetés en raison du contrôle de longueur de trame décrit ci-dessous. o Le bit de configuration FFA4 permet de recevoir des trames de type 4 réservées IEEE 802.15.4, à l'exclusion de celles rejetées en raison du contrôle de longueur de trame décrit ci-dessous. o Le bit de configuration FFA5 permet de recevoir des trames de type 5 réservées IEEE 802.15.4, à l'exclusion de celles rejetées en raison du contrôle de longueur de trame décrit ci-dessous.

NB : Pour les trames réservées de type 4 à 7, si elles sont autorisées ici c'est la fin du filtrage des trames.

Les autres règles ci-dessous ne s'appliquent qu'aux types de trame standard 0 à 3. Cependant, l'en-tête de trame sera interprété comme pour les types de trame 0 à 3 pour déterminer la taille de la trame reçue et la rejeter si elle est plus courte que prévu. Cela peut rendre problématique l'utilisation des types de trame 4, 5, 6 et 7 et il peut être nécessaire d'effectuer un filtrage de trame dans le logiciel si l'on utilise des trames de type 4, 5, 6 ou 7 avec des codages différents pour les bits de contrôle de trame affectant la longueur de l'en-tête est prévue. Les bits de contrôle de trame concernés sont les champs de mode d'adressage et le champ de compression PID.

- Le champ de version de trame doit être 0x00 ou 0x01

- L'ID PAN de destination, s'il est présent, doit :

o Être le PAN ID de diffusion (0xFFFF) o Ou correspondre au PAN\_ID programmé dans [le fichier de registre : 0x03 - Identifiant PAN et adresse courte](#)

- L'adresse de destination, si présente, doit : o être

l'adresse de diffusion (courte de 16 bits) (0xFFFF) o ou être une adresse courte (16 bits) correspondant à la SHORT\_ADDR programmée dans le fichier de registre : [0x03 - Identifiant PAN et adresse courte](#)

o Soit une adresse longue (64 bits) correspondant au [fichier de registre : 0x01 – Identifiant unique étendu](#) .

- Si la trame est une trame balise, l'ID PAN source doit correspondre au PAN\_ID programmé dans

[Fichier de registre : 0x03 - Identifiant PAN et adresse courte](#), (ou être 0xFFFF)

Si seule l'adresse source est présente, dans une trame de données ou de commande MAC, alors la trame ne sera acceptée que si le CI est configuré pour être un coordinateur, (via le bit de configuration FFBC dans le fichier Registre : [0x04 - Configuration système](#)) et le L'ID PAN source correspond au PAN\_ID programmé dans [le fichier de registre : 0x03 - Identifiant PAN et adresse courte](#).

- Le FCS (CRC) doit être correct pour que la trame soit acceptée.

### 5.2.2 Remarques sur le filtrage des trames

Le filtrage des trames ne tient pas compte du champ Sécurité activée, dans le contrôle des trames, il appartient donc au logiciel hôte de décoder toute information de sécurité et d'accepter/rejeter la trame s'il le juge bon. Voir la section [11.2.2 – Champ de sécurité activée](#) pour plus de détails.

Les décisions sur le rejet/l'acceptation de la trame en ce qui concerne les octets de contrôle de trame illégaux sont prises après le décodage des deux premiers octets de données et à la fin de la réception des champs d'adresse (comme spécifié par les octets de contrôle de trame) pour les règles d'adressage pertinentes. . Lorsqu'une trame est rejetée, la réception est immédiatement interrompue et le rejet est signalé par le bit d'événement AFFREJ dans le [fichier de registre : 0x0F - System Event Status Register](#).

Alors que le filtrage de trame peut économiser du travail de la part du système hôte, une écoute prolongée avec le récepteur DW1000 allumé est une activité relativement gourmande en énergie, mieux utilisée uniquement sur un équipement avec une source alimentée par le secteur.

Tous les bits de configuration liés au filtrage des trames se trouvent dans [le fichier Registre : 0x04 – Configuration système](#).

## 5.3 Acquittement automatique

La fonctionnalité d'accusé de réception automatique du DW1000 permet au CI d'envoyer automatiquement des trames d'accusé de réception lorsqu'une trame est reçue et validée qui inclut une demande d'accusé de réception. La fonctionnalité d'acquittement automatique ne fonctionne que lorsque le filtrage de trame est activé et que l'acquittement automatique est activé.

Pour que l'acquittement automatique fonctionne :

- Le filtrage de trame doit être activé et les données reçues ou la trame de commande MAC doivent être correctement adressées et passer par le filtrage des trames de réception, (voir section [5.2 - Filtrage des trames](#) pour le détail de la configuration du filtrage des trames).
- Le bit de demande ACK dans le champ de contrôle de trame de la trame reçue doit être activé.
- L'acquittement automatique doit être activé par la configuration AUTOACK dans [le fichier de registre : 0x04 – Configuration du système](#).

Lorsque ces conditions sont remplies, le DW1000 passera automatiquement à la fin de la réception en mode émission pour envoyer la trame d'accusé de réception MAC de 5 octets comme défini par IEEE 802.15.4-2011.

Si l'acquittement automatique et la double mise en mémoire tampon sont destinés à être utilisés ensemble, le système doit être conçu de manière à ce que les débordements ne puissent pas se produire ou, s'ils peuvent se produire, à ce que le système puisse traiter l'acquittement des trames qui sont par la suite corrompues, voir la section 4.3.5.

### 5.3.1 Longueur du préambule et SFD dans la trame d'accusé de réception automatique

#### 5.3.1.1 Longueur du préambule

La longueur du préambule de la trame demandant un accusé de réception (ACK) est codée dans le PHR de cette trame (voir section [10.4 – En-tête PHY](#)) et décodée dans le récepteur DW1000 (et signalée dans le champ RXPSR du [fichier de registre : 0x10 – RX Frame registre d'information](#)). Cela ne couvre que les longueurs de préambule définies dans la norme IEEE 802.14.4, mais le DW1000 prend en charge d'autres longueurs de préambule. Pour y faire face, le DW1000 sélectionne

longueur de préambule indiquée dans le champ RXPSR, mais utilise également la valeur de comptage d'accumulation de préambule indiquée dans le champ RXPACC du fichier de registre : 0x10 - Registre d'informations de trame RX. Le tableau 8 présente la longueur de préambule résultante utilisée pour la trame ACK en fonction des champs RXPSR et RXPACC.

Tableau 8 : Longueur du préambule Auto-ACK en fonction de RXPSR et RXPACC

PSR transporté en PHR & rapporté dans RXPSR	PSR accumulé et rapporté dans la valeur RXPACC	Préambule résultant
		Durée de l'accusé de réception automatique
64	Moins de 65	64
	Entre 65 et 128	128
	Entre 129 et 256	256
	Supérieur à 256	512
1024	Moins de 1025	1024
	Entre 1025 et 1536	1536
	Supérieur à 1536	2048
4096	De n'importe quelle valeur	4096

Le tableau 8 concerne les cadres standards. En mode de trame de longueur étendue (comme décrit dans la section [3.4 - Trames de données de longueur étendue](#)), seule la valeur Preamble Accumulation Count (rapportée dans le champ RXPACC du [fichier de registre : 0x10 - RX Frame Information Register](#)) est utilisée pour déterminer la longueur du préambule de le ACK. Le tableau 9 présente les longueurs de préambule utilisées pour la trame ACK en mode trame étendue en fonction de la Champ RXPACC.

Tableau 9 : Sélection de la longueur du préambule Auto-ACK en mode trames de longueur étendue

PSR accumulé et rapporté dans la valeur RXPACC	Préambule résultant	Durée de l'accusé de réception automatique
		*
Moins de 17	16	*
Entre 17 et 32	32	*
Entre 33 et 64	64	
Entre 65 et 128	128	
Entre 129 et 256	256	
Entre 257 et 512	512	
Entre 513 et 1024	1024	
Entre 1025 et 1536	1536	
Entre 1537 et 2048	2048	
Supérieur à 2048	4096	

REMARQUE \* : ces courtes longueurs de préambule (astérisques) ne seront pas reçues par le DW1000. Les cas d'utilisation où cela est susceptible de se produire fréquemment doivent être évités par l'une des stratégies suivantes : (a) utiliser un préambule plus long pour la retransmission lorsqu'aucun ACK n'est reçu, (b) ne pas utiliser le mode de trames de longueur étendue, ou, (c) en utilisant le microprocesseur hôte pour générer l'ACK à la place de la fonction d'auto-ACK du DW1000.

REMARQUE 1 : Il est possible que la valeur Preamble Accumulation Count (rapportée dans le champ RXPACC du [fichier de registre : 0x10 – RX Frame Information Register](#)) soit nettement plus courte que la longueur de préambule transmise,

car l'accumulation s'arrête lorsqu'une valeur de prise devient un nombre de 16 bits. C'est généralement lorsque l'appareil émetteur est proche du récepteur, mais dans tous les cas, le nombre signalé a été suffisant pour une réception correcte de la trame en cours d'accusé de réception, donc même si cela se traduit par un préambule plus court pour la trame auto-ACK, ce préambule doit ont encore une longueur suffisante pour une réception correcte.

**REMARQUE 2 :** Il est également possible que le compteur d'accumulation de préambule (rapporté dans RXPACC) soit un peu plus grand que la longueur de préambule transmise. Cela peut se produire avec une détection précoce du préambule et parce que le comptage d'accumulation peut inclure une accumulation qui continue à travers le SFD (jusqu'à ce que le SFD soit détecté). Si cela se produit, la trame d'accusé de réception automatique peut être envoyée avec un préambule plus long que la trame sollicitant l'ACK. Dans le pire des cas, ce sera une taille plus grande. Il convient de tenir compte de ce fait lors de la programmation d'un délai d'attente de détection SFD plus court que par défaut dans le [sous-registre 0x27:20 - DRX\\_SFDTOC](#), par exemple, définissez un délai d'attente cohérent avec la taille de préambule immédiatement supérieure. Et de même, si vous définissez un délai très court pour le délai d'attente de la trame RX (dans le [fichier de registre : 0x0C - Période de temporisation d'attente de trame de réception](#)), il convient de tenir compte de la durée supplémentaire possible de la séquence de préambule.

### 5.3.1.2 SFD Initialisation

La séquence SFD à inclure dans la trame Auto ACK doit être initialisée avant l'envoi de la première trame Auto ACK. La séquence SFD n'est initialisée que sur une demande TX de l'utilisateur qui n'aura pas eu lieu si la trame Auto ACK est la première trame transmise après le démarrage ou la reconfiguration des paramètres du canal.

Le moyen le plus efficace de s'assurer que la séquence SFD est correctement initialisée est de lancer et d'interrompre simultanément une transmission, forçant ainsi l'initialisation du SFD. Cela peut être fait en écrivant dans le [fichier de registre du registre de contrôle du système : 0x0D - Registre de contrôle du système](#) avec le bit de démarrage de transmission TXSTART et le bit d'arrêt de l'émetteur-récepteur TRXOFF définis en même temps. Aucun signal ne sera effectivement transmis à la suite de cette opération. Cette opération doit être effectuée chaque fois que les paramètres de communication sont configurés ou reconfigurés car cela peut modifier la séquence SFD que le DW1000 utilisera pour la prochaine transmission.

### 5.3.2 Réactivation automatique du récepteur

L'acquittement automatique peut également fonctionner correctement lorsque la fonction de réactivation automatique RX est activée (par le bit RXAUTR dans le [fichier de registre : 0x04 - Configuration système](#)), comme cela peut être le cas en mode double tampon (voir section [4.3 - Double tampon de réception](#)). Ici, lorsque le filtrage de trame et les accusés de réception automatiques sont activés, le DW1000 passera automatiquement du mode réception au mode émission pour envoyer la trame d'accusé de réception et lorsque la transmission est terminée, le DW1000 reviendra automatiquement en mode mode réception pour attendre la trame suivante.

### 5.3.3 Délai d'exécution de l'accusé de réception automatique

La norme IEEE 802.15.4 spécifie un temps de rotation de 12 symboles +/- 0,5 symboles pour la transmission ACK. Dans le DW1000, cette période est configurable via le paramètre ACK\_TIM dans [le fichier de registre : 0x1A – Temps d'acquittement et temps de réponse](#).

### 5.3.4 Bit de trame en attente

La norme IEEE 802.15.4-2011 MAC inclut un bit de trame en attente dans le contrôle de trame au début de chaque trame (voir section [11.2.3 – Champ de trame en attente](#)). Ce bit peut être défini pour indiquer que davantage de données arrivent ou, dans le cas de la trame ACK, pour indiquer que le nœud qui répond a des données à envoyer au nœud sollicitant l'ACK.

Veuillez vous référer à la norme [1] pour plus de détails à ce sujet. Le DW1000 ne détermine pas automatiquement le bit de trame en attente inséré dans les trames ACK générées automatiquement. Au lieu de cela, il copie la valeur du bit de configuration AACKPEND (du [fichier de registre : 0x04 - Configuration système](#)), qui est zéro par défaut.

### 5.3.5 Notification de l'hôte

Le bit d'état AAT ([fichier registre : 0x0F – registre d'état des événements système](#)) indique qu'un accusé de réception a été demandé.

Le bit AAT est activé en même temps que l'état de l'événement RXFCG (indiquant un bon CRC en fin de réception de trame). Veuillez noter cependant que dans un système interrogé lisant le registre d'état à la recherche d'événements RXFCG et AAT, il est possible que la lecture SPI se chevauche avec cet événement de sorte que AAT dans le premier octet du registre SYS\_STATUS est clair lors de l'accès, tandis que RXFCG (et AAT) sont tous deux définis lorsque le deuxième octet du registre SYS\_STATUS contenant RXFCG est accédé. Ainsi, il peut sembler que RXFCG est défini sans qu'aucun événement AAT ne soit indiqué. Un système interrogé voyant alors RXFCG défini peut vérifier si AAT est défini dans la même lecture de SYS\_STATUS, mais trouver AAT clair, doit relire et vérifier à nouveau l'état AAT juste au cas où cette condition de concurrence se serait produite.

Si l'acquittement automatique est activé, le bit AAT peut être utilisé pendant le traitement de l'interruption de réception pour détecter que l'acquittement est en cours et ainsi éviter toute action tant que la transmission de l'acquittement n'est pas terminée et signalée par l'événement TXFRS (Transmit Frame Sent).

Remarque : si l'acquittement automatique n'est pas activé, le bit d'état AAT doit être ignoré.

Remarque : il existe une situation qui peut entraîner la définition du bit AAT pour la trame actuelle à la suite d'une trame précédente qui a été reçue et rejetée en raison du filtrage de trame. Ceci malgré le fait que la trame actuelle ne demande pas d'acquittement automatique. Dans ce cas, un accusé de réception automatique n'est pas réellement transmis, mais le fait que l'AAT soit activé peut amener l'utilisateur à attendre qu'un processus d'accusé de réception automatique inexistant se termine.

Dans cette situation, lorsque l'acquittement automatique est activé et que le bit AAT est observé comme activé, pour éviter d'attendre que le processus d'acquittement se termine et que TXFRS soit activé, la demande d'accusé de réception champ dans la section de commande de trame de l'en-tête MAC de la trame reçue comme décrit au paragraphe 11.2.4 doit être cochée pour confirmer que la trame actuelle a bien demandé un acquittement automatique. Si le champ de demande d'accusé de réception est effacé, l'utilisateur doit effacer le bit AAT dans le [fichier de registre du registre d'état : 0x0F - Registre d'état des événements système](#) (ainsi que dans toute copie du registre d'état qui est renvoyée au rappel de l'utilisateur lors de l'utilisation d'interruptions ).

### 5.3.6 Corruption de la trame ACK

Les données de la trame Auto ACK peuvent être corrompues si un accès en lecture est effectué sur TX\_FCTRL ou TX\_BUFFER pendant la transmission de la trame Auto ACK.

## 5.4 Transmettre et attendre automatiquement la réponse

Le DW1000 a la capacité d'allumer automatiquement son récepteur après la fin d'une transmission afin de recevoir une réponse. Cela peut également inclure une configuration de délai facultatif entre la fin de la transmission et l'activation du récepteur. Ceci est contrôlé par le bit WAIT4RESP dans [le fichier de registre : 0x0D – Registre de contrôle du système](#) et le paramètre W4R\_TIM dans le [fichier de registre : 0x1A – Temps d'accusé de réception et temps de réponse](#).

Remarque : Si la réponse reçue est une trame demandant une trame d'accusé de réception, le DW1000 transmettra l'ACK si l'accusé de réception automatique est activé, mais le récepteur le réactivera après la transmission de l'ACK. En fonction des temps de réponse de l'hôte, cela peut permettre d'écraser la trame de demande d'accusé de réception ou d'autres comportements tels que les délais d'attente du récepteur résultant du fait que le périphérique est à l'état RX plutôt qu'à l'état IDLE.

## 6 Autres caractéristiques du DW1000

### 6.1 Synchronisation externe

Cette fonction est utilisée pour synchroniser le DW1000 avec des horloges ou des événements externes ou avec d'autres DW1000. Par exemple, cela serait nécessaire dans un système TDOA RTLS utilisant une synchronisation d'horloge câblée des nœuds d'ancre.

Les fonctions de synchronisation externe du DW1000 permettent les fonctions suivantes :

- a) La possibilité de réinitialiser le compteur système interne de manière déterministe par rapport à l'assertion de la broche d'entrée SYNC, et une horloge externe de 38,4 MHz fournie sur la broche EXTCLK.
- b) La possibilité d'initier la transmission d'une trame de manière déterministe par rapport à l'assertion de la broche d'entrée SYNC et une horloge externe de 38,4 MHz fournie sur la broche EXTCLK.
- c) La possibilité de synchroniser l'horodatage de réception avec un compteur externe

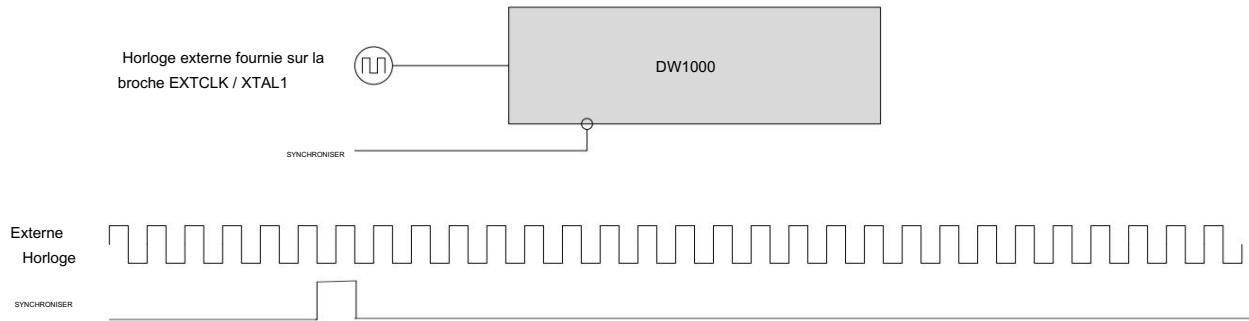


Figure 23 : Interface de synchronisation externe DW1000

La broche d'entrée SYNC doit être source synchrone avec une horloge de référence externe de 38,4 MHz fournie sur la broche EXTCLK. La broche d'entrée SYNC est échantillonnée sur le front montant de EXTCLK. Reportez-vous à la fiche technique DW1000 pour les temps de configuration et de maintien de la broche SYNC. L'entrée SYNC fournit un point de référence commun dans le temps pour synchroniser le DW1000 avec la précision nécessaire pour obtenir une localisation haute résolution estimation.

#### 6.1.1 Mode de réinitialisation de la base de temps unique (OSTR)

Le mode One Shot Timebase Reset (OSTR) permet d'appliquer une réinitialisation au compteur de base de temps utilisé pour l'horodatage dans DW1000 à une heure déterministe et prévisible par rapport à un événement de synchronisation. Tout appareil donné réinitialisera le compteur à une heure reproductible à moins de 300ps (généralement moins de 100ps) variation. La variation de processus entre les pièces introduit une erreur déterministe qui peut être étalonnée dans le cadre du processus d'étalonnage nécessaire pour compenser les retards de transmission par câble dans un système de synchronisation filaire. Lorsque plusieurs DW1000 sont pilotés par la même horloge de référence et le même signal SYNC externe, leurs bases de temps internes peuvent être synchronisées de manière très précise (en tenant compte des retards déterministes associés au réseau de distribution pour l'horloge de référence et le signal SYNC).

Pour configurer DW1000 pour le mode OSTR, le bit OSTRM dans le registre EC\_CTRL est défini et la valeur WAIT est définie sur la valeur de retard souhaitée. Lorsqu'un compteur fonctionnant sur l'horloge externe de 38,4 MHz et lancé sur le front montant du signal SYNC est égal à la valeur programmée WAIT, le compteur de la base de temps du DW1000 est réinitialisé. Voir [Fichier de registre : 0x24 – Contrôle de synchronisation externe](#) pour les détails du registre.

Au moment où le signal SYNC est affirmé, les diviseurs d'horloge PLL générant l'horloge système DW1000 125 MHz sont réinitialisés, pour garantir qu'une relation de phase déterministe existe entre l'horloge système et l'horloge externe asynchrone 38,4 MHz. Pour cette raison, la valeur WAIT programmée dictera la relation de phase et doit être choisie pour donner la relation de phase souhaitée, telle que donnée par WAIT modulo 4. Une valeur WAIT de 33 décimal est recommandée, mais si une valeur différente est choisie, elle doit être choisi pour que WAIT modulo 4 soit égal à 1, soit 29, 37, etc.

### 6.1.2 Mode de synchronisation de transmission en une seule fois (OSTS)

Le DW1000 permet la transmission d'une trame à un moment déterministe après l'affirmation du signal SYNC, en utilisant le mode One Shot Transmit Synchronization (OSTS). Le mode OSTS prévoit la transmission d'une trame à un instant bien défini par rapport à l'assertion de l'entrée SYNC DW1000. Ce temps variera légèrement par pièce, généralement 12 ps, mais peut varier jusqu'à 3 ns à travers le processus pour toutes les pièces.

Cette fonction sera utilisée lorsqu'un dispositif de localisation maître local utilise le DW1000 comme esclave pour fournir des données de localisation supplémentaires. L'étalonnage peut être utilisé par l'appareil maître pour régler le décalage constant dû à la trace SYNC et à la variation du processus et, dans ce cas, la variation du retard sur toutes les pièces sera inférieure à 100 ps.

Notez que le mode OSTS fonctionne de manière identique à OSTR à tous égards, à l'exception de l'action finale effectuée, par exemple pour réinitialiser la base de temps ou lancer une transmission.

Pour configurer le mode OSTST, le bit OSTSM doit être défini dans le registre EC\_CTRL et la valeur WAIT définie sur la valeur de délai souhaitée, voir [Fichier de registre : 0x24 - Contrôle de synchronisation externe](#). Une valeur de 33 est recommandée ; voir [6.1.1 – Mode de réinitialisation de la base de temps en une seule fois \(OSTR\)](#). Lorsqu'un compteur fonctionnant sur l'horloge externe de 38,4 MHz et lancé sur le front montant du signal SYNC est égal à la valeur programmée WAIT, le DW1000 lancera une transmission en émettant un signal TX START du circuit de synchronisation externe dans l'horloge PLL vers le émetteur. Le front montant du signal TX START est synchronisé sur le domaine d'horloge système 125 MHz avant d'être utilisé pour activer la transmission.

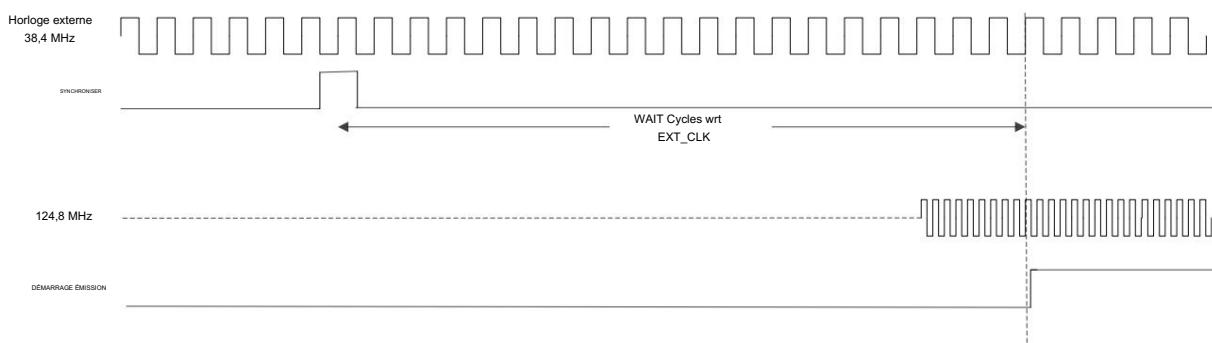


Figure 24 : Transmission synchronisée

### 6.1.3 Mode de synchronisation de réception en une seule fois (OSRS)

Le mode One Shot Receive Synchronization (OSRS) fournit une deuxième base de temps dans le DW1000 qui peut être synchronisée sur une base de temps externe et utilisée pour horodater les événements de réception. Cela permet à un utilisateur d'avoir une base de temps en dehors du DW1000 et de recevoir des informations de synchronisation sur les événements de réception dans cette base de temps. Le mode OSRS est configuré en définissant le bit OSRSM dans le registre EC\_CTRL, voir [Fichier de registre : 0x24 – Contrôle de synchronisation externe](#). Une horloge à 1 GHz pour un compteur d'offset, EC\_GOLP, doit également être activée dans ce mode, en positionnant le champ PLLSYN (bit 15) dans le registre PMSC\_CTRL1, voir [Sous-registre 0x36:04 – PMSC\\_CTRL1](#).

En fonctionnement normal, un horodatage de télémétrie est calculé sur la base de temps interne du DW1000 ; voir section [4.1.6 – Horodatage du message RX](#). Le compteur de base de temps est capturé lors de l'événement de réception, RMARKER, et un certain nombre de valeurs de décalage sont combinées avec cette valeur de capture pour donner l'horodatage de télémétrie.

Lors de l'horodatage de l'événement de réception par rapport à une base de temps externe, la procédure est similaire à la méthode normale, sauf qu'un décalage est introduit pour compenser l'erreur introduite par l'utilisation de l'horloge interne de 125 MHz pour capturer une valeur sur l'horloge externe de 38,4 MHz. Comme en fonctionnement normal, ces décalages et valeurs capturées sont combinés pour donner l'horodatage de télémétrie.

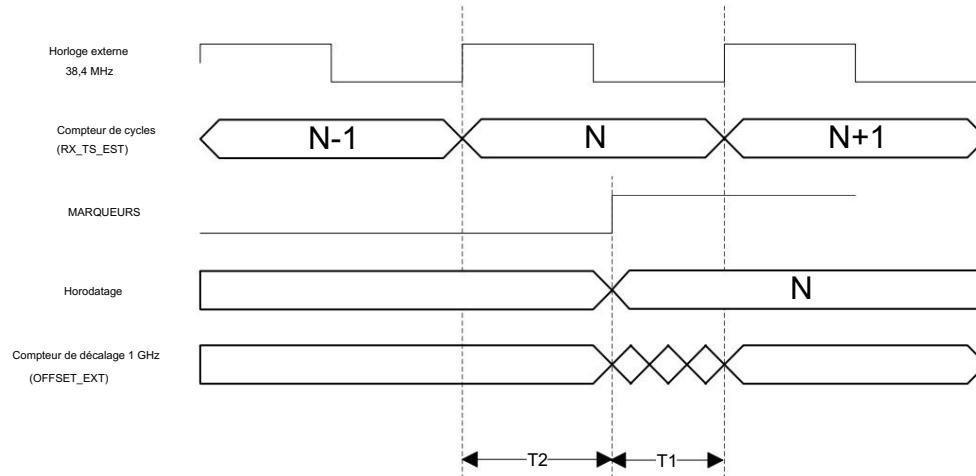


Figure 25 : Synchronisation de la base de temps de réception en mode OSRS

Maintenant, l'horodatage dans la base de temps externe peut être calculé comme :

$$Trx = N \times T_{externe} + T2 + T3.$$

$$= (N+1) \times T_{externe} - T1 + T3.$$

Où:

- N est le nombre de cycles d'horloge externe depuis le signal SYNC capturé dans l'horodatage et peut être lu depuis EC\_RXTC dans le champ RS\_TS\_EST, voir le [sous-registre 0x24:04 EC\\_RXTC](#).
- TExternal est la période de l'horloge externe. • T2 est le temps entre le front montant de l'horloge externe et le RMARKER. • T1 est le temps en ns rapporté par EC\_GOLP dans le champ OFFSET\_EXT, voir le [sous-registre 0x24:08 EC\\_GOLP](#).

- T3 le retard du chemin principal, calculé en soustrayant l'horodatage de réception brut de l'horodatage de réception, la différence entre ceux-ci donnera le retard du chemin principal, voir [Fichier de registre : 0x15 – Horodatage de réception](#).

$$T3 = RX\_STAMP - RX\_RAWST$$

## 6.2 Amplification de puissance externe

Dans certaines régions géographiques pour certaines situations (par exemple pour l'utilisation des premiers intervenants d'urgence dans les réglementations ETSI UWB pour l'UE), il est permis d'envoyer à +20 dB au-dessus des niveaux de réglementation UWB normaux. Pour y parvenir avec le DW1000, il est nécessaire d'employer une amplification externe du signal transmis. Le DW1000 fournit des signaux (en utilisant les lignes GPIO dans un mode spécial) pour contrôler la mise sous tension de l'amplificateur de puissance et pour contrôler la commutation analogique des chemins de signal de l'émetteur et du récepteur de manière appropriée. Ce mode de fonctionnement utilise les broches DW1000 EXTPA, EXTTXE et EXTRXE configurées via les champs MSGP4, MSGP5 et MSGP6 dans le [sous-registre 0x26:00 - GPIO\\_MODE](#).

Des précautions doivent être prises lors de l'utilisation de cette fonction pour s'assurer que les exigences réglementaires nécessaires ont été remplies.

Il existe une note d'application séparée donnant des détails sur l'amplification de puissance externe. Cela inclut le schéma de circuit, les détails de la configuration et diverses considérations de conception qui s'appliquent. Veuillez consulter l'équipe de support des applications de Decawave pour plus de détails.

## 6.3 Utilisation de la mémoire OTP sur puce

Le DW1000 dispose d'une petite quantité de mémoire programmable une seule fois (OTP) destinée aux données de configuration ou d'étalonnage spécifiques à l'appareil. Certaines zones de la mémoire OTP sont utilisées pour enregistrer les valeurs d'étalonnage de l'appareil déterminées lors des tests DW1000, tandis que d'autres emplacements de mémoire OTP sont destinés à être définis par le client lors de la fabrication et du test du module.

Par exemple, une zone de mémoire OTP est réservée aux clients pour programmer l'EUI qui est chargé dans le [fichier de registre : 0x01 - Identifiant unique étendu lorsque l'IC sort de la réinitialisation](#) (voir [Fichier de registre : 0x01 - Identifiant unique étendu](#) pour plus de détails sur la fonctionnalité EUI).

Cette section répertorie les zones de mémoire OTP définissant leur fonctionnalité et décrit l'algorithme de programmation des valeurs dans la mémoire OTP, et comment lire les valeurs de la mémoire OTP. L'accès à la mémoire OTP est réalisé à l'aide [du fichier de registre : 0x2D - Interface de mémoire OTP](#).

### 6.3.1 Carte mémoire OTP

Les emplacements de mémoire OTP sont tels que définis dans le Tableau 10. Les emplacements de mémoire OTP ont chacun une largeur de 32 bits, les adresses OTP sont des adresses de mot, de sorte que chaque incrément d'adresse spécifie un mot de 32 bits différent.

Tableau 10 : Carte mémoire OTP

OTP Adresse	Taille (Utilisé Octets)	Octet [3]	Octet [2]	Octet [1]	Octet [0]	Programmé Par
0x000	4	EUID 64 bits (Ces 64 bits sont automatiquement copiés pour voir le fichier de registre : 0x01 - Identificateur unique étendu à chaque réinitialisation.)				
0x001	4	Client				
0x002	4	EUID 64 bits alternatif				
0x003	4	Client				
0x004	4	LDOTUNE_CAL 40 bits (Ces 40 bits peuvent être automatiquement copiés dans le fichier de sous-registre 0x28:30 LDOTUNE au réveil)				
0x005	1	Test Decawave				
0x006	4	PART ID / CHIP ID (32bits) (Voir Annexe 4)				
0x007	4	ID DE LOT (32 bits)				
0x008	2	-	-	Vmes à 3,7 V	Vmes à 3,3 V	DecawaveTest
0x009	1 / 1	-	-	Tmeas @ Ant Cal	Tmes @ 23 °C	Client / Déca Essai de vague
0x00A	0	-				
0x00B	4	-				
0x00C	2	-				
0x00D	4	-				
0x00E	4	-				
0x00F	4	-				
0x010	4	Niveau de puissance d'émission CH1 PRF 16				
0x011	4	Niveau de puissance d'émission CH1 PRF 64				
0x012	4	Niveau de puissance d'émission CH2 PRF 16				
0x013	4	Niveau de puissance d'émission CH2 PRF 64				
0x014	4	Niveau de puissance d'émission CH3 PRF 16				
0x015	4	Niveau de puissance d'émission CH3 PRF 64				
0x016	4	Niveau de puissance d'émission CH4 PRF 16				
0x017	4	Niveau de puissance d'émission CH4 PRF 64				
0x018	4	Niveau de puissance d'émission CH5 PRF 16				
0x019	4	Niveau de puissance d'émission CH5 PRF 64				
0x01A	4	Niveau de puissance d'émission CH7 PRF 16				
0x01B	4	Niveau de puissance d'émission CH7 PRF 64				
0x01C	4	Délai d'antenne TX/RX - PRF 64	Délai d'antenne TX/RX - PRF 16			Client
0x01D	0	-	-	-	-	Client
0x01E	2	-	-	Révision OTP	XTAL_Trim[4:0]	Client
0x01F	0	-	-	-	-	Client
:	:	:	:	:	:	Réservé
0x400	4	SR (paramètre OTP en mode SPI).				

Le SR ("Special Register") est un segment 32 bits d'OTP qui est directement lisible via l'interface du registre lors de la mise sous tension. Pour programmer le registre SR, suivez la méthode de programmation OTP normale mais définissez l'adresse OTP sur 0x400. La valeur du registre SR peut être relue directement à l'adresse [Register file : 0x2D – OTP Memory Interface](#).

Tableau 11 : Registre OTP\_SRDATA

Bit	Fonction
31:5	Réserve. Par défaut, tous les "0". Si vous programmez le registre OTP_SRDATA, ces bits doivent être définis sur "0"
4:3	SPI_SR_FR[1:0]. Réglez sur « 01 » pour permettre l'utilisation des bits [1:0] à la place de GPIO[6:5]. S'il est défini, cela désactivera la sélection externe du mode SPI via GPIO6 et 5.
2	Réserve. La valeur par défaut est "0". Si vous programmez le registre OTP_SRDATA, ces bits doivent être définis sur "0"
1	SPI_SR_PH. Réglez le mode de phase SPI sur cette valeur si les bits [4:3] sont réglés sur "01"
0	SPI_SR_POL. Réglez le mode de polarité SPI sur cette valeur si les bits [4:3] sont réglés sur "01"

### 6.3.2 Programmation d'une valeur dans la mémoire OTP

La programmation de l'OTP nécessite l'exécution séquentielle d'un certain nombre d'étapes de configuration. Une programmation optimale nécessite que la broche VDDIO soit pilotée à 3,8 V (ou la broche VDDIOA si l'accès à VDDIO n'est pas disponible). Le tableau ci-dessous décrit les étapes de programmation pour placer l'OTP dans son état de programmation et pour programmer un emplacement unique.

Tableau 12 : Accès au registre requis pour programmer l'OTP

Marcher Nombre	Instruction	Enregistrer Adresse	Données Longueur (Octets)	Données (Écrire lire)
<b>Configurez OTP pour la programmation - Étape 1 :</b>				
C-1	Écrire le sous-registre 0x36:00 (PMSC_CTRL0)		1	0x01
C-2	Écrire le sous-registre 0x2D:07 (OTP_CTRL+1)		1	0x03
C-3	Écrire le sous-registre 0x2D:00 (OTP_WDAT)		2	0x9220
C-4	Écrire le sous-registre 0x2D:06 (OTP_CTRL)		1	0x08
	Attendez 1 ms			
C-5	Écrire le sous-registre 0x2D:07 (OTP_CTRL+1)		1	0x02
C-6	Écrire le sous-registre 0x2D:06 (OTP_CTRL)		1	0x88
C-7	Écrire le sous-registre 0x2D:06 (OTP_CTRL)		1	0x80
C-8	Écrire le sous-registre 0x2D:06 (OTP_CTRL)		1	0x00
<b>Configurez OTP pour la programmation - Étape 2 :</b>				
C-9	Écrire le sous-registre 0x2D:07 (OTP_CTRL+1)		1	0x05
C-10	Écrire le sous-registre 0x2D:00 (OTP_WDAT)		2	0x000E
C-11	Écrire le sous-registre 0x2D:06 (OTP_CTRL)		1	0x08
	Attendez 1 ms			
C-12	Écrire le sous-registre 0x2D:07 (OTP_CTRL+1)		1	0x04
C-13	Écrire le sous-registre 0x2D:06 (OTP_CTRL)		1	0x88
C-14	Écrire le sous-registre 0x2D:06 (OTP_CTRL)		1	0x80
C-15	Écrire le sous-registre 0x2D:06 (OTP_CTRL)		1	0x00
<b>Configurez OTP pour la programmation - Étape 3 :</b>				
C-16	Écrire le sous-registre 0x2D:07 (OTP_CTRL+1)		1	0x01
C-17	Écrire le sous-registre 0x2D:00 (OTP_WDAT)		2	0x1024
C-18	Écrire le sous-registre 0x2D:06 (OTP_CTRL)		1	0x08

Marcher Nombre	Instruction	Enregistrer Adresse	Données Longueur (Octets)	Données (Écrire lire)
Attendre				
C-19	1ms Ecrire le sous-registre 0x2D.07 (OTP_CTRL+1)		1	0x00
Programmation d'un seul mot de 32 bits <DATA> à l'adresse <ADDR> :				
P-1	Écrire le sous-registre 0x2D:06 (OTP_CTRL)		1	0x00
P-2	Écrire le sous-registre 0x2D:00 (OTP_WDAT)		4	<DONNÉES[31:0]>
P-3	Écrire le sous-registre 0x2D:04 (OTP_ADR)		2	<ADDR[10:0]>
P-4	Écrire le sous-registre 0x2D:06 (OTP_CTRL)		1	0x40
P-5	Écrire le sous-registre 0x2D:06 (OTP_CTRL)		1	0x00
Attendre 1 ms avant de relire pour vérifier				

Après avoir programmé un mot OTP, il doit être lu en utilisant la procédure de [6.3.3 - Lecture d'une valeur de la mémoire OTP](#) et vérifié pour son exactitude. Si elle ne correspond pas à la valeur attendue, les étapes P-4 à P-5 doivent être répétées jusqu'à un maximum de 10 fois (les valeurs d'adresse et de données dans les registres seront toujours valides et ne nécessitent donc pas de re- la programmation). Pendant les étapes de programmation, l'OTP est configuré pour solliciter les circuits de relecture à leurs limites. Cela peut entraîner des échecs de lecture-vérification continus. Dans le cas où 10 tentatives ont été faites pour programmer un emplacement, une dernière lecture-vérification est recommandée après une réinitialisation complète du CI, cela réinitialisera la configuration OTP au fonctionnement de lecture normal.

Lorsque toute la programmation OTP est terminée, il est recommandé de réinitialiser le CI pour revenir aux paramètres par défaut.

### 6.3.3 Lecture d'une valeur de la mémoire OTP

La mémoire OTP peut être lue en suivant les étapes indiquées dans le Tableau 13.

Tableau 13 : Exemple d'accès au registre requis pour lire à partir d'OTP

Marcher Nombre	Instruction	Enregistrer Adresse	Données Longueur (octets)	Données (Écrire lire)
1	Registre d'écriture 0x2D:04 (OTP_ADDR)		2	Adresse OTP
2	Écrire le sous-registre 0x2D:06 (OTP_CTRL)		1	0x03
3	Écrire le sous-registre 0x2D:06 (OTP_CTRL)		1	0x00
4	Lire le registre 0x2D:0A (OTP_RDAT)		4	Valeur de lecture OTP

## 6.4 Mesure de la température et de la tension du circuit intégré

Le DW1000 est équipé d'un convertisseur A/N SAR 8 bits à faible vitesse qui peut être configuré pour échantillonner les valeurs d'un capteur de température IC interne et également d'un moniteur de tension de batterie sur l'entrée d'alimentation VDDAON. Ces lectures peuvent être exécutées manuellement sous le contrôle de l'hôte, ou elles peuvent être configurées pour être exécutées automatiquement chaque fois que le DW1000 entre dans l' état WAKEUP . Ce mode automatique permet de lire la température et la tension lorsque l'appareil est dans un état de faible puissance, ce qui donnera la température ambiante et la tension de la batterie déchargée.

Le mode automatique est contrôlé par le bit ONW\_RADC dans [le sous-registre 0x2C:00 – AON\\_WCFG](#). Lorsque cela est utilisé, les lectures de température et de tension sont disponibles dans [le sous-registre 0x2A: 06 - TC\\_SARW](#) dès que le CI atteint l' état IDLE .

La procédure de lecture initiée par l'hôte du capteur de température (ou de la tension de la batterie) est la suivante :

Tableau 14 : Un exemple d'accès au registre pour effectuer une lecture des capteurs de température et de tension

Marcher Nombre	Instruction	Enregistrer Adresse	Longueur des données (octets)	Données (Écrire lire)
1	Écrire un sous-registre	28:11	1	0x80
2	Écrire un sous-registre	28:12	1	0x0A
3	Écrire un sous-registre	28:12	1	0x0F
4	Registre d'écriture	2A:00	1	0x01
5	Registre d'écriture	2A:00	1	0x00
6	Lire le registre	2A:03	1	Lecture de tension 8 bits
7	Lire le registre	2A:04	1	Lecture de température 8 bits

Lorsque l'ADC est configuré pour un fonctionnement automatique sur [le registre de réveil : 2C - ONWAKE\\_RUN\\_SAR](#), les valeurs ADC pour les capteurs de tension et de température seront prêtes à être lues dès que l' état IDLE est entré. Ces valeurs peuvent être lues en effectuant les étapes 6 et 7 du tableau ci-dessus.

En mode automatique, il est possible de configurer une interruption pour affirmer si les dernières lectures de température ou de tension diffèrent des valeurs précédemment enregistrées d'une valeur de 0x0A. Ceci est approximativement égal à 60 mV pour la lecture de la tension et à 10 ° C pour la lecture de la température.

Les valeurs précédentes sont également disponibles pour l'hôte à lire à :

[Registre : 2A – SAR\\_LAST\\_VBAT](#),

[Registre : 2A – SAR\\_LAST\\_TEMP](#)

## 7 Le jeu de registres DW1000

Le DW1000 est contrôlé par un système de microcontrôleur hôte associé utilisant l'interface SPI pour accéder à une série de registres dans l'appareil. L'ensemble de registres DW1000 comprend des registres de configuration, des registres d'état, des registres de contrôle, des registres de tampon de données et des registres de diagnostic. Section [2.2 – L'interface SPI](#) décrit l'interface SPI et les transactions de bas niveau pour la lecture et l'écriture des paramètres du DW1000. Cette section commence par [7.1– Vue d'ensemble de la carte des registres](#), puis [7.2– Description détaillée des registres](#), où chaque paramètre individuel est décrit en détail.

### 7.1 Vue d'ensemble de la carte des registres

La vue d'ensemble de la carte des registres est donnée dans le tableau 15. Celui-ci répertorie les registres dans l'ordre des adresses, par ID de fichier de registre, donnant la longueur du fichier de registre en octets, son type (RO = lecture seule, RW = lecture et écriture, SRW = lecture spéciale Écrire – voir les descriptions de chaque registre pour plus de détails sur la façon dont l'accès en lecture/écriture est spécial), et une brève description de haut niveau du registre. La section 7.2 donne une description détaillée de chaque registre.

Remarque : Lors de l'écriture dans l'un des registres du DW1000, il faut veiller à ne pas écrire au-delà de la longueur publiée du registre sélectionné et à ne pas écrire dans l'un des emplacements de registre réservés. Cela pourrait causer l'appareil à un dysfonctionnement.

Tableau 15 : Vue d'ensemble de la carte des registres

IDENTIFIANT	Longueur (octets)	Type Mnémonique	Description
0x00	4	RO <a href="#">DEV_ID</a>	Identificateur de périphérique - inclut le type de périphérique et les informations de révision
0x01	8	RW <a href="#">je</a>	Identificateur unique étendu
0x02	-	-	Réservé
0x03	4	RW <a href="#">PANADR</a>	Identifiant PAN et adresse courte
0x04	4	RW <a href="#">SYS_CFG</a>	Bitmap de configuration du système
0x05	-	-	Réservé
0x06	5	RO <a href="#">SYS_TIME</a>	Compteur de temps système (40 bits)
0x07	-	-	Réservé
0x08	5	RW <a href="#">TX_FCTRL</a>	Contrôle de trame de transmission
0x09 1024 WO <a href="#">TX_BUFFER</a>			Tampon de données de transmission
0x0A	5	RW <a href="#">DX_TIME</a>	Délai d'envoi ou de réception différé (40 bits)
0x0B	-	-	Réservé
0x0C	2	RW <a href="#">RX_FWTO</a>	Délai d'attente de trame de réception
0x0D	4	SRW <a href="#">SYS_CTRL</a>	Registre de contrôle du système
0x0E	4	RW <a href="#">SYS_MASK</a>	Registre de masque d'événement système
0x0F	5	SRW <a href="#">SYS_STATUS</a>	Registre d'état des événements système
0x10	4	BARRE <a href="#">RX_INFO</a>	Informations sur la trame RX (dans le jeu de tampons doubles)
0x11 1024 BARRE <a href="#">RX_BUFFER</a> 0x12			Recevoir des données (dans le jeu de tampons doubles)
	8	TIGE <a href="#">RX_FQUAL</a>	Informations sur la qualité de la trame Rx (dans le jeu de tampons doubles)
0x13	4	GENRE <a href="#">RX_TTCKI</a>	Intervalle de suivi du temps du récepteur (dans le jeu de tampons doubles)
0x14	5	TIGE <a href="#">RX_TTCKO</a>	Décalage de suivi du temps du récepteur (dans le jeu de tampons doubles)

Identifiant	Longueur (octets)	Type Mnémonique	Description
0x15	14	ROD RX_TIME	Recevoir le message Heure d'arrivée (dans le jeu de tampons doubles)
0x16	-	-	Réserve
0x17	dix	RO TX_TIME	Temps de transmission du message d'envoi
0x18	2	RW TX_ANND	Délai de 16 bits de la transmission à l'antenne
0x19	5	RO SYS_STATE	Informations sur l'état du système
0x1A	4	RW ACK_RESP_T	Temps d'accusé de réception et temps de réponse
0x1B	-	-	Réserve
0x1C	-	-	Réserve
0x1D	4	RW RX_SNIFF	Configuration de réception de préambule pulsé
0x1E	4	RW TX_POWER	Contrôle de la puissance d'émission
0x1F	4	RW CHAN_CTRL	Contrôle des canaux
0x20	-	-	Réserve
0x21	41 RW USR_SFD		Séquences SFD TX/RX courtes/longues spécifiées par l'utilisateur
0x22	-	-	Réserve
0x23	33 LE AGC_CTRL		Configuration du contrôle de gain automatique
0x24	12 LE EXT_SYNC		Contrôle de synchronisation externe.
0x25	40 LS ACC_MEM		Accès en lecture aux données de l'accumulateur
0x26	44 LE GPIO_CTRL		Accès registre périphérique bus 1 – contrôle GPIO
0x27	44 LE DRX_CONF		Configuration du récepteur numérique
0x28	58 LE RF_CONF		Configuration RF analogique
0x29	-	-	Réserve
0x2A	52 LE TX_CAL		Bloc d'étalonnage du transmetteur
0x2B	21 LE FS_CTRL		Bloc de contrôle du synthétiseur de fréquence
0x2C	12 RW AON		Ensemble de registres toujours activés
0x2D	18 LE OTP_IF		Interface de mémoire programmable une seule fois
0x2E	-	RW LDE_CTRL	Bloc de contrôle de détection de front montant
0x2F	41 LE DIG_DIAG		Interface de diagnostic numérique
0x30 pour 0x35	-	-	Réserve
0x36	48 RW PMSC		Bloc de contrôle du système de gestion de l'alimentation
0x37 pour 0x3F	-	-	Réserve

IDENTIFIANT	Longueur (octets)	Type Mnémonique	Description
Notez que le mnémonique « Type » dans le tableau ci-dessus a la signification suivante : • RO –			
Lecture seule, • WO –			
Écriture seule, • RW –			
Lecture et écriture, • SRW – Type			
spécial de lecture et d'écriture, reportez-vous à la description de chaque registre pour détails, • ROD – partie en lecture seule de RX Ensemble oscillant à double tampon d'informations relatives à la trame RX, • RWD – partie lecture et écriture de RX Ensemble oscillant à double tampon d'informations relatives à la trame RX.			

## 7.2 Description détaillée du registre

### 7.2.1 Terminologie

La section 7.1 donne un aperçu de l'ensemble de registres DW1000 présentant toutes les adresses d>ID de fichier de registre de niveau supérieur dans le tableau 15. Cette section décrit en détail le contenu et la fonctionnalité de ces fichiers de registre dans des sous-sections distinctes. Dans chaque cas, la ligne du tableau 15 est reproduite avec l'ID de fichier de registre hexadécimal, sa longueur, son type, son mnémonique et une description de ligne comme suit :

IDENTIFIANT	Longueur (octets)	Type Mnémonique	Description

Ceci est suivi d'une description des paramètres dans ce fichier de registre. Tous les paramètres sont présentés au format REG:RR:SS, où RR est l'ID du fichier de registre et SS est la sous-adresse. Lorsqu'un registre est composé de bits individuels ou de champs de bits, ceux-ci sont identifiés par des valeurs mnémomiques et par défaut comme suit :

REG:RR:SS – Mnémonique – description en une ligne 31 30																														
29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
<bits ou champs de bits identifiés par un mnémonique entre guillemets> <les valeurs																														
par défaut de réinitialisation à la mise sous tension sont entre guillemets sous forme de bits ou de valeurs>																														

Ensuite, les champs ou bits identifiés sont décrits individuellement en détail.

Étant donné que de nombreux paramètres ont une longueur de 4 octets, la présentation par défaut des valeurs de registre est une valeur de 32 bits. Cela peut être subdivisé en champs de différentes largeurs de bits jusqu'à des valeurs de bit unique. Il convient de noter que lors de la lecture de ces valeurs via l'interface SPI, les octets sont émis en premier l'octet le moins significatif. Il convient également de noter que les modes d'adressage indexés permettent d'accéder à des octets individuels - une technique qui peut être utilisée pour réduire le trafic SPI lorsqu'une partie seulement d'un registre doit être lue ou écrite.

Remarque : les registres inutilisés ou réservés renvoient 0xDEADDEAD lorsqu'ils sont lus. Les champs de bits/bits inutilisés ou réservés dans les registres renvoient les champs de bits/bits appropriés à partir de 0xDEADDEAD.

Chaque fichier de registre est décrit ci-dessous :

### 7.2.2 Fichier de registre : 0x00 – Identificateur de périphérique

Identifiant	Longueur (octets)	Type Mnémonique	Description
0x00	4	RO DEV_ID	Identificateur de périphérique – inclut le type de périphérique et les informations de révision

Le fichier [de registre de carte](#) de registre 0x00 est l'identifiant de l'appareil. Ceci est codé en dur dans le silicium. La valeur de ce registre est en lecture seule et ne peut pas être écrasée par le système hôte. L'ID de l'appareil sera modifié pour toute mise à jour du silicium. Le registre d'ID de périphérique est idéal à utiliser dans le µP hôte pour valider que l'interface SPI est opérationnelle. Il est prévu que le système hôte valide que l'ID de périphérique est la valeur attendue, prise en charge par son logiciel, avant de procéder à l'utilisation du CI.

Le registre Device Identifier contient les sous-champs suivants :

REG:00:00 – DEV_ID – Identificateur de périphérique 31																															
30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
RIDTAG																MODÈLE								VOIR				TOUR			
1	1	0	1	1	1	0	1	1	0	0	1	0	1	0	0	0	0	0	0	1	0	0	1	0	0	0	0	0	0	0	

Définition des sous champs de REG:00:00 – DEV\_ID : Device Identifier :

Champ	Description des champs dans le fichier de registre : 0x00 – Device Identifier
TOUR	Révision : ce numéro sera mis à jour pour les corrections mineures et les changements de fonctionnement
reg:00:00 bits:3–0	
VOIR	Version : Ce numéro sera mis à jour si une nouvelle version est produite qui présente des différences significatives par rapport à la version précédente.
reg:00:00 bits:7–4	
MODÈLE	Le MODÈLE identifie l'appareil. Le DW1000 est de type d'appareil 0x01.
reg:00:00 bits:15–8	
RIDTAG	Enregistrez l'étiquette d'identification. Il est prévu que cela reste constant pour toutes les pièces Decawave. La valeur est 0xDECA en hexadécimal.
reg:00:00 bits:31–16	

Pour le DW1000 de production, l'ID de périphérique est défini sur 0xDECA0130. Les descriptions de registre dans ce manuel d'utilisation se rapportent à cet appareil DW1000 et ne sont pas valables pour les pièces d'échantillon antérieures.

### 7.2.3 Fichier de registre : 0x01 – Identifiant unique étendu

Identifiant	Longueur (octets)	Type Mnémonique	Description
0x01	8	RW je	Identificateur unique étendu - l'adresse de périphérique IEEE 64 bits

Le fichier de registre [de carte de registre](#) 0x01 est le registre d'identifiant unique étendu. Pour la conformité IEEE 802.15.4, chaque périphérique doit avoir un identifiant de périphérique 64 bits unique. Les 24 bits de poids fort de l'EUI sont un identifiant d'entreprise attribué par l'autorité d'enregistrement IEEE (voir <http://standards.ieee.org/develop/regauth/oui/>), au fabricant. Les 40 bits inférieurs de l'EUI sont l' identifiant d'extension choisi de manière unique par le fabricant pour chaque appareil fabriqué et jamais répété. L'EUI qui en résulte est un identifiant unique au monde. On s'attend à ce que les fabricants qui doivent se conformer à cette exigence s'enregistrent auprès de l'autorité d'enregistrement IEEE et génèrent et maintiennent leur propre espace de numérotation d'identifiant d'extension EUI pour garantir son unicité pour chaque appareil fabriqué.

Les fabricants peuvent stocker l'EUI à l'extérieur du DW1000 ou, comme alternative, le DW1000 dispose d'une zone de mémoire programmable unique qui peut être programmée avec l'EUI pendant la fabrication du produit. Veuillez vous reporter à la section [6.3 – Utilisation de la mémoire OTP sur puce](#) pour plus de détails sur la programmation des valeurs dans OTP. [Tableau 47 : Fichier de registre : 0x2D – Vue d'ensemble de l'interface mémoire OTP](#) donne une vue d'ensemble du contenu et des adresses OTP.

Lors de l'initialisation du DW1000 ou lors de la sortie du mode veille, le [fichier de registre : 0x01 - Valeur de registre d'identifiant unique étendu](#) est chargé à partir de sa zone de mémoire OTP. Après cela, la valeur du registre EUI peut être écrasée par le système hôte si nécessaire.

Certaines trames définies IEEE 802.15.4 utilisent une adresse source 64 bits. Le logiciel (MAC) générant de telles trames doit insérer l'EUI dans la trame avant que la trame ne soit écrite dans la transmission du DW1000. amortir.

Le registre EUI est utilisé par la fonction Receive Frame Filtering, voir section 5.2 détails. Lorsque le filtrage de trame est opérationnel, le DW1000 décode chaque trame reçue conformément aux règles MAC IEEE 802.15.4 et toute adresse de destination 64 bits présente doit correspondre au registre EUI avant que la trame ne soit acceptée.

Les 8 octets de l'identifiant unique étendu sont accessibles en tant qu'accès unique de 8 octets au fichier de registre EUI à partir de l'index 0. Les octets de l'EUI sont émis/entrés dans l'ordre suivant :

REG: 01: 00 - EUI - Identifiant unique étendu									
7	6	5	4	3	2	1	0	Index d'octets	Description
0xHH							0	Bits 7 à 0 de l'identifiant d'extension	
0xHH							1	Bits 15 à 8 de l'identifiant d'extension	
0xHH							2	Bits 23 à 16 de l'identifiant d'extension	
0xHH							3	Bits 31 à 24 de l'identifiant d'extension	
0xHH							4	Bits 39 à 32 de l'identifiant d'extension	
0xNN							5	Bits 7 à 0 de l'OUI (ID de l'entreprise du fabricant)	
0xNN							6	Bits 15 à 8 de l'OUI (ID de l'entreprise du fabricant)	
0xNN							7	Bits 23 à 16 de l'OUI (ID de l'entreprise du fabricant)	

L'ordre des octets lus à partir du registre Extended Unique Identifier est conçu pour être directement compatible avec l'ordre des octets des champs d'adresse source 64 bits des trames MAC standard IEEE 802.15.4, ce qui facilite la tâche de l'insérer dans une trame pour la transmission.

#### 7.2.4 Fichier registre : 0x02 – Réservé

IDENTIFIANT	Longueur (octets)	Type Mnémonique	Description	
0x02	-	-	-	Réservé – ce fichier de registre est réservé

Le fichier de registre [de carte de registre](#) 0x02 est réservé pour une utilisation future. Veillez à ne pas écrire dans ce registre car cela pourrait entraîner un dysfonctionnement du DW1000.

#### 7.2.5 Fichier de registre : 0x03 – Identifiant PAN et adresse courte

IDENTIFIANT	Longueur (octets)	Type Mnémonique	Description	
0x03	4	RW PANADR	Identifiant PAN et adresse courte	

Le fichier de [registre de carte de registre](#) 0x03 contient deux paramètres de 16 bits, l' identifiant PAN et l' adresse courte.

Lorsque le DW1000 est mis sous tension ou réinitialisé, l'identifiant PAN et l'adresse courte de ce registre sont réinitialisés à la valeur 0xFFFF.

Le logiciel hôte (MAC) doit programmer les valeurs appropriées dans ce registre s'il souhaite utiliser le filtrage de trame de réception du

DW1000 ou la génération automatique d'accusé de réception.

les fonctions.

Dans un réseau personnel (PAN) IEEE 802.15.4, le nœud coordinateur PAN détermine l'identifiant PAN pour le réseau et l'attribue ainsi que des adresses courtes de 16 bits aux dispositifs (nœuds) associés au PAN. Les nœuds du PAN doivent alors (au niveau de la couche MAC) utiliser leur adresse courte attribuée comme adresse source et l'inclure avec l'identifiant PAN dans les trames qu'ils transmettent. Lorsqu'un nœud reçoit une trame, il ne doit traiter que celles dont l'adresse de destination et l'identifiant PAN correspondent à l'adresse de nœud et à l'ID de réseau qui leur sont attribués.

Lorsque la fonctionnalité de filtrage de trame de réception et d'accusé de réception automatique est opérationnelle, le DW1000 décode chaque trame reçue conformément à la spécification MAC IEEE 802.15.4 et lorsqu'il détermine qu'une adresse de destination de 16 bits est présente dans la trame, le DW1000 compare l'adresse de destination avec la valeur d'adresse courte programmée dans ce registre avant d'accepter/d'accuser réception de la trame, et n'acceptera de même que les trames reçues lorsque l'identifiant PAN dans la trame correspond à l'identifiant PAN programmé dans ce registre. Voir les sections 5.2 et 5.3 pour plus de détails sur le filtrage des trames et la fonctionnalité d'acquittement automatique.

Le registre d'identifiant PAN et d'adresse courte contient les sous-champs suivants :

REG: 03: 00 - PANADR - Identifiant PAN et adresse courte															
31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0															
PAN_ID								SHORT_ADDR							
0xFFFF								0xFFFF							

Le logiciel hôte (MAC) n'a besoin de programmer ce registre que s'il utilise les fonctions de filtrage de trame de réception et de génération d'accusé de réception automatique du DW1000. Les sous-champs sont :

Champ	Description des champs dans le fichier de registre : 0x03 - Identifiant PAN et adresse courte
SHORT_ADDR reg:03:00 bits:15–0	Adresse courte. Le logiciel hôte doit programmer ce registre s'il utilise la fonctionnalité de filtrage des trames de réception du DW1000, avec ou sans la fonction de génération d'accusé de réception automatique. L'adresse courte est généralement attribuée à un nœud par la fonction de coordinateur au niveau de la couche MAC (ou supérieure) dans le cadre de l'association de réseau. La valeur peut en variante être prédéfinie dans un réseau fermé où la phase d'association de réseau est ignorée.
PAN_ID reg:03:00 bits:31–16	Identifiant PAN. Le logiciel hôte doit programmer ce registre s'il utilise la fonctionnalité de filtrage des trames de réception du DW1000, avec ou sans la fonction de génération d'accusé de réception automatique. L'ID PAN est généralement attribué dans le cadre de l'association réseau. Un ID PAN prédéfini peut être utilisé dans un réseau fermé où la phase d'association réseau est ignorée.

### 7.2.6 Fichier de registre : 0x04 – Configuration du système

Champ	Longueur (octets)	Type Mnémonique	Description
0x04	4	RW SYS_CFG	Bitmap de configuration du système

Le fichier de registre [de carte de registre](#) 0x04 est le registre de configuration du système. Il s'agit d'un registre bitmap. Chaque champ de bits est identifié et décrit séparément ci-dessous. Le registre de configuration système contient les sous-champs bitmap suivants :

REG:04:00 – SYS_CFG – Bitmap de configuration du système 31_30																														
29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
REGISTRY	ICNOLY	ALMNOIS	SOLOMOON	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Définition des champs de bits dans REG:04:00 – SYS\_CFG : Bitmap de configuration système : -

Champ	Description des champs dans le fichier de registre : 0x04 - Configuration du système
MARAI reg:04:00 bit:0	Activer le filtrage de trame. Ce bit active la fonctionnalité de filtrage de trame dans le récepteur DW1000. Le filtrage des trames est conçu pour suivre les règles définies dans la norme IEEE 802.15.4-2011. Lorsque le filtrage de trame est activé, les trames de réception doivent passer les règles de filtrage de trame avant d'être considérées comme une bonne trame. Cela inclut l'adresse de destination correspondant au PAN_ID et au SHORT_ADDR tels que définis dans <a href="#">le fichier de registre : 0x03 - Identifiant PAN et adresse courte</a> , ou le long 64 bits défini par <a href="#">le fichier de registre : 0x01 - Identifiant unique étendu</a> . Ces adresses et les autres bits de contrôle de filtrage de trame du <a href="#">fichier de registre : 0x04 – La configuration du système</a> doit être configuré correctement avant d'activer le filtrage de trame avec ce bit FFEN. La section 5.2 décrit le filtrage de trame plus en détail

Champ	Description des champs dans le fichier de registre : 0x04 – Filtrage des trames de
FFBC reg:04:00 bit:1	configuration du système Se comporter comme un coordinateur. FFEN doit être défini pour activer cette opération de filtrage de trame. Un coordinateur acceptera une trame sans adresse de destination si l'adresse source a le PAN_ID correspondant au PAN_ID du coordinateur. Pour un nœud ordinaire (non coordinateur), l'adresse de destination (si présente) doit correspondre à la propre adresse du nœud, sinon la trame ne sera pas acceptée. Lorsque FFBC est réglé sur 1, le DW1000 se comporte comme un coordinateur. Lorsque FFBC est vide, le DW1000 se comporte comme un nœud normal ordinaire. La section 5.2 décrit le filtrage de trame plus en détail.
FAB reg:04:00 bit:2	Filtrage des trames Autoriser la réception des trames Beacon. Les trames IEEE 802.15.4-2011 commencent par trois bits, indiquant le type de trame pour les trames balises, il s'agit de 000 binaire. Lorsque FFAB est défini sur 1, les trames balises seront acceptées (en supposant que toutes les autres règles de filtrage des trames sont passées) et lorsque FFAB est clair les trames balises seront ignorées. La section 5.2 décrit le filtrage de trame en détail.
LONG reg:04:00 bit:3	Filtrage des trames Autoriser la réception des trames de données. Les trames IEEE 802.15.4-2011 commencent par trois bits, indiquant le type de trame, b3 à b0, pour les trames de données, il s'agit de 001 binaire. Lorsque FFAD est défini sur 1, les trames de données seront acceptées (en supposant que toutes les autres règles de filtrage de trame sont passées) et lorsque FFAD est clair, les trames de données seront ignorées. La section 5.2 décrit le filtrage de trame plus en détail.
FFAA reg:04:00 bit:4	Filtrage des trames Autoriser la réception des trames d'accusé de réception. Les trames IEEE 802.15.4-2011 commencent par trois bits de type de trame, b3 à b0, pour les trames d'accusé de réception, il s'agit du binaire 010. Lorsque FFAA est défini sur 1, les trames d'accusé de réception sont acceptées (en supposant que toutes les autres règles de filtrage de trame sont respectées) et lorsque FFAA est clair, les trames d'accusé de réception sont ignorées. La section 5.2 décrit le filtrage de trame plus en détail.
FAM reg:04:00 bit:5	Filtrage de trame Autoriser la réception de trame de commande MAC. Les trames IEEE 802.15.4-2011 commencent par trois bits de type de trame, b3 à b0, pour les trames de commande MAC, il s'agit du binaire 011. Lorsque FFAM est défini sur 1, les trames de commande MAC seront acceptées (en supposant que toutes les autres règles de filtrage de trame sont passées) et lorsque FFAM est clair, les trames de commande MAC seront ignorées. La section 5.2 décrit le filtrage de trame plus en détail.
LOIN reg:04:00 bit:6	Filtrage des trames Autoriser les types de trame réservés. Les trames IEEE 802.15.4-2011 commencent par trois bits de type de trame, b3 à b0. Les valeurs binaires de 100 à 111 (4 à 7) ne sont pas définies dans IEEE 802.15.4-2011 et seraient normalement rejetées. Lorsque FFAR est à 0 ces trames peuvent être ignorées (en fonction aussi de FFA4 et FFA5 qui modifient ce comportement). Lorsque FFAR est défini sur 1, ces trames sont acceptées. Comme ces types de trames sont inconnus, aucun autre décodage de trame n'est effectué (par exemple, aucune correspondance d'adresse, etc.) et le logiciel sera donc responsable de la validation et de l'interprétation de ces trames. La section 5.2 décrit le filtrage de trame plus en détail.  Notez que le filtre de trame décode les champs de contrôle de trame pour déterminer la longueur minimale de la trame attendue et rejette la trame si elle est trop courte, voir la section 5.2.
FFA4 reg:04:00 bit:7	Filtrage des trames Autorise les trames avec un champ de type de trame de 4, (binaire 100). Les trames IEEE 802.15.4-2011 commencent par trois bits de type de trame, b3 à b0. La valeur du binaire 100 n'est pas définie dans IEEE 802.15.4-2011. Lorsque FFA4 est défini sur 1, les trames de type 4 seront acceptées, mais aucun autre décodage de trame n'est effectué (par exemple, aucune correspondance d'adresse, etc.), le logiciel sera donc responsable de la validation et de l'interprétation de ces trames. Lorsque FFA4 est défini sur 0, les trames de type 4 seront ignorées à moins que FFAR ne soit défini. La section 5.2 décrit le filtrage de trame plus en détail.  Notez que le filtre de trame décode les champs de contrôle de trame pour déterminer la longueur minimale de la trame attendue et rejette la trame si elle est trop courte, voir la section 5.2.

Champ	Description des champs dans le fichier de registre : 0x04 – Filtrage de trame de configuration du
FFA5 reg:04:00 bit:8	<p>système Autoriser les trames avec un champ de type de trame de 5, (binaire 101). Les trames IEEE 802.15.4-2011 commencent par trois bits de type de trame, b3 à b0. La valeur du binaire 100 n'est pas définie dans IEEE 802.15.4-2011. Lorsque FFA5 est défini sur 1, les trames de type 5 seront acceptées, mais aucun autre décodage de trame n'est effectué (par exemple, aucune correspondance d'adresse, etc.), le logiciel sera donc responsable de la validation et de l'interprétation de ces trames.</p> <p>Lorsque FFA5 est défini sur 0, les trames de type 5 seront ignorées à moins que FFAR ne soit défini. La section 5.2 décrit le filtrage de trame plus en détail.</p> <p>Notez que le filtre de trame décode les champs de contrôle de trame pour déterminer la longueur minimale de la trame attendue et rejetera la trame si elle est trop courte, voir section 5.2.</p>
IRQ_POL reg:04:00 bit:9	<p>Polarité d'interruption de l'hôte. Ce bit permet à l'intégrateur système de contrôler la polarité de la ligne IRQ du DW1000. Lorsque IRQ_POL est à 1, la ligne de sortie IRQ du DW1000 est active au niveau haut et, lorsque IRQ_POL est à 0, la ligne de sortie IRQ du DW1000 est active au niveau bas.</p> <p>Le fonctionnement actif élevé est recommandé pour les applications à faible puissance afin que l'interruption soit dans son état inactif logique 0 V lorsque le DW1000 est dans les états SLEEP ou DEEPSLEEP .</p>
SPI_EDGE reg:04:00 bit:10	<p>Bord de lancement de données SPI. Ce bit permet à l'intégrateur système de contrôler le bord de lancement utilisé pour les données SPI du DW1000 sur la ligne de sortie de données MISO SPI. Cela peut être utilisé pour sélectionner l'opération de sortie MISO la plus adaptée au système cible.</p> <p>Lorsque SPI_EDGE est 0, le DW1000 utilise le front d'échantillonnage pour lancer les données MISO. Ce réglage devrait donner le fonctionnement le plus rapide. Lorsque SPI_EDGE vaut 1, le DW1000 utilise les bords opposés pour lancer les données. Ce réglage peut donner un fonctionnement plus robuste.</p>
DIS_FCE reg:04:00 bit:11	Désactiver la gestion des erreurs de vérification de trame. Cela peut être utile pour les protocoles utilisant un schéma de codage différent pour la gestion des erreurs non basé sur la norme IEEE 802.15.4-2011, mais pour un fonctionnement IEEE 802.15.4-2011 normal, ce bit doit être défini sur 0. La définition de ce bit sur un rend le DW1000 traite la trame comme valide, en ignorant les erreurs, de sorte qu'en mode double tampon (par exemple), elle passera au tampon suivant. En fonctionnement normal (lorsque DIS_FCE est 0) avec une double mise en mémoire tampon, une erreur CRC entraîne le rejet de la trame RX actuelle et la réutilisation de la mémoire tampon pour la réception de la trame suivante.
DIS_DRXB reg:04:00 bit:12	Désactivez le tampon double réception. Le DW1000 dispose d'un récepteur à double tampon permettant à la réception d'une nouvelle trame de se poursuivre dans un tampon pendant que le processeur hôte est en train de décharger la dernière trame reçue dans l'autre tampon de la paire de tampons. La double mise en mémoire tampon est activée lorsque DIS_DRXB est défini sur 0 et désactivé lorsque DIS_DRXB est défini sur 1.
	Plus de détails sur le fonctionnement de la double mise en mémoire tampon sont donnés dans la section 4.3.
DIS_PHE reg:04:00 bit:13	<p>Désactiver l'abandon du récepteur en cas d'erreur PHR. Lorsque DIS_PHE est 0 (recommandé), le récepteur interrompt la réception lorsqu'il détecte une erreur non corrigible dans l'en-tête PHY, voir la section 10.4 – En-tête PHY pour plus de détails sur le codage PHR et la correction d'erreur. L'erreur PHR est signalée par le bit d'état d'événement RXPHE dans le fichier de registre : 0x0F - Registre d'état des événements système.</p> <p>Ce bit est uniquement destiné au débogage et ne doit jamais être défini dans une application car il peut sérieusement nuire aux performances du récepteur lorsqu'il est défini.</p>

Champ	Description des champs dans le fichier de registre : 0x04 – Configuration du système
DIS_RSDE reg:04:00 bit:14	Désactiver l'abandon du récepteur en cas d'erreur RSD. Pendant la réception normale (c'est-à-dire avec le bit DIS_RSDE effacé à sa valeur zéro par défaut recommandée) lorsque le décodeur Reed Solomon détecte une erreur non corrigible, la réception de la trame est interrompue et le récepteur est désactivé (à moins que le bit de contrôle RXAUTR ne soit défini dans lequel cas, le récepteur se réactivera automatiquement et recommencera la recherche de préambule). L'erreur du décodeur Reed Solomon est générée lorsqu'une erreur est trouvée qui ne peut pas être corrigée à l'aide des données Reed Solomon FEC (forward error correction). L'erreur du décodeur Reed Solomon est signalée dans le bit d'état d'événement RXRFSL du <a href="#">fichier de registre : 0x0F - Registre d'état des événements système</a> . Lorsque le bit DIS_RSDE est activé, le récepteur n'interrompt pas la réception lorsque l'erreur Reed Solomon se produit, mais continue à démoduler les données jusqu'à la fin de la trame (c'est-à-dire pendant la longueur spécifiée dans l'en-tête PHY). Généralement, l'erreur Reed Solomon non corrigible signifie que la trame est corrompue et que le CRC ne sera pas correct.
FCS_INIT2F rég:04:00 bit:15	Ce bit permet de sélectionner la valeur de départ initiale pour la fonction de génération et de vérification FCS qui est définie au début de chaque émission et réception de trame. Par défaut, le bit FCS_INIT2F est 0, sélectionnant l'initialisation de génération/vérification FCS sur zéro (0x0000) - il s'agit du paramètre standard requis pour la conformité IEEE 802.15.4. Lorsque le bit FCS_INIT2F est à 1, la valeur d'initialisation de la génération/vérification FCS sera uniquement à un (0xFFFF).
PHR_MODE reg:04:00 bits:17,16	Cette configuration permet de choisir le type de PHR parmi deux options. Le paramètre par défaut donne le codage PHR standard IEEE et une charge utile de données maximale de 127 octets. L'autre option active le mode de trames longues propriétaire qui permet une charge utile de données allant jusqu'à 1023 octets. Dans ce mode, le codage PHR ne suit pas la norme IEEE. Pour des communications réussies entre deux nœuds, les deux doivent être configurés pour le même mode PHR. Les configurations PHR_MODE prises en charge sont : 00 – Mode de trame standard. Utilisez ce paramètre pour la conformité IEEE 802.15.4. 11 – Mode trames longues. Encodage PHR propriétaire. Longueur de trame 0-1023.
DIS_STXP reg:04:00 bit:18	Désactivez le contrôle de la puissance Smart TX.  Le contrôle de puissance Smart TX s'applique au débit de données de 6,8 Mbps. Lors de l'envoi de trames de données courtes à ce débit (et à condition que le débit de transmission de trame soit < 1 trame par milliseconde), il est possible d'augmenter la puissance de transmission tout en restant dans les limites de puissance réglementaires qui sont généralement spécifiées comme puissance moyenne par milliseconde.  Lorsque DIS_STXP est 0, l'émetteur définit automatiquement les niveaux de puissance de l'émetteur lors de l'envoi d'une trame au débit de données de 6,8 Mbps, en fonction de la longueur de trame spécifiée dans le champ TFLEN du fichier de registre : 0x08 - Transmit Frame Control .  Les niveaux de puissance réels utilisés sont sélectionnés par les valeurs configurées dans <a href="#">le fichier de registre : 0x1E – Transmit Power Control</a> , décrit dans la section 7.2.31.  NB : Il appartient au système externe de maintenir la fréquence d'images en dessous de 1 image par milliseconde pour s'assurer que l'augmentation de puissance n'enfreint pas la réglementation.  Lorsque DIS_STXP est 1, la fonction de contrôle intelligent de la puissance TX est désactivée et la puissance TX ne dépend pas du débit de données et de la longueur de trame. Dans ce cas, les valeurs configurées dans <a href="#">le fichier de registre : 0x1E – Transmit Power Control</a> sont utilisées pour spécifier séparément la puissance dans les différentes phases de la trame TX, voir section 7.2.31.

Champ	Description des champs dans le fichier Registre : 0x04 – Configuration du système Ces bits sont
- reg:04:00 bits:21-19	réservés et doivent toujours être mis à zéro pour éviter tout dysfonctionnement de l'appareil.
RXM110K  reg:04:00 bit:22	Mode récepteur Débit de données de 110 kbps. Cette configuration, lorsqu'elle est définie sur 1, oblige le récepteur à rechercher un SFD long et à traiter l'en-tête PHY et les données RX selon le mode de trame à 110 kbps. Lorsque cette configuration est 0 (valeur par défaut), le récepteur cherchera un SFD court et déterminera le débit de données RX à partir de l'en-tête PHY à 850 kbps ou 6,8 Mbps.
-  reg:04:00 bits:27-23	Ces bits sont réservés et doivent toujours être mis à zéro pour éviter tout dysfonctionnement de l'appareil.
RXWTOE  reg:04:00 bit:28	Recevoir l'activation du délai d'attente. Lorsqu'il est défini, RX Enable initialise un décompte RX_FWTO qui désactive le récepteur si aucune trame valide n'est reçue avant l'expiration du délai. La période de temporisation est définie dans <a href="#">le fichier de registre : 0x0C - Période de temporisation d'attente de trame de réception</a> . L'occurrence de la temporisation est signalée par le bit d'état d'événement RXRFTO dans <a href="#">le fichier de registre : 0x0F – Registre d'état des événements système</a> .
RXAUTR  reg:04:00 bit:29	Réactivation automatique du récepteur. Ce bit est utilisé pour provoquer la réactivation automatique du récepteur. Son fonctionnement change selon que le CI fonctionne en mode simple ou double tampon. La valeur par défaut est 0. Avec ce paramètre, le CI ne réactivera pas automatiquement le récepteur mais arrêtera la réception et reviendra en mode inactif chaque fois que des événements de réception se produiront. Cela inclut la réception d'une trame mais également l'échec de la réception d'une trame en raison d'une condition d'erreur, par exemple une erreur dans l'en-tête PHY (comme indiqué par le bit d'état d'événement RXPHE dans le fichier de registre : 0x0F - Registre d'état des événements système) . Dans de tels cas, si l'hôte souhaite réactiver le récepteur, il doit le faire explicitement, en utilisant le bit RXENAB dans le <a href="#">fichier de registre : 0x0D - Registre de contrôle du système</a> . Le fonctionnement lorsque RXAUTR = 1 est le suivant :  (a) Mode double tampon : après un événement ou un échec de réception de trame (à l'exception d'un délai d'attente de trame), le récepteur se réactivera pour recevoir une autre trame. (b) Mode à tampon unique : après un échec de réception de trame (à l'exception d'un délai d'attente de trame), le récepteur se réactivera pour retenter la réception. Pour plus d'informations sur la réception des trames, reportez-vous à la section 4 – <a href="#">Réception des messages</a> . Remarque : En mode double tampon, lorsque l'acquittement automatique de trame est activé (par le bit AUTOACK ci-dessous), le récepteur sera réactivé après la transmission de la trame ACK.
AUTOACK  rég:04:00 bit:30	Activation de l'accusé de réception automatique. Valeur par défaut 0. Il s'agit de l'activation de la fonction d'acquittement automatique. Voir la section <a href="#">5.3 – Accusé de réception automatique</a> pour plus de détails sur le fonctionnement de l'accusé de réception automatique.
AACKPEND  reg:04:00 bit:31	Contrôle de bit d'attente d'accusé de réception automatique. Valeur par défaut 0. La valeur du bit AACKPEND est copiée dans le bit Frame Pending du champ Frame Control de la trame ACK générée automatiquement par le DW1000. Voir la section <a href="#">5.2 – Filtrage de trame</a> pour plus de détails sur le fonctionnement du filtrage de trame.

## 7.2.7 Fichier registre : 0x05 – Réservé

IDÉMÉTHON	Longueur (octets)	Type Mnémonique		Description
0x05	-	-	-	Réservé – ce fichier de registre est réservé

Le fichier de registre [de carte de registre](#) 0x05 est réservé pour une utilisation future. Veillez à ne pas écrire dans ce registre car cela pourrait entraîner un dysfonctionnement du DW1000.

### 7.2.8 Fichier de registre : 0x06 – Compteur de temps système

IDENTIFIANT	Longueur (octets)	Type Mnémonique	Description
0x06	5	RO SYS_TIME	Compteur de temps système (40 bits)

Le fichier de registre [de carte de registre](#) 0x06 est le registre du compteur de temps système. L'heure système et les horodatages sont conçus pour être basés sur les unités de temps qui sont nominalement à 64 GHz, ou plus précisément  $499,2 \text{ MHz} \times 128$ , soit 63,8976 GHz. Conformément à cela, lorsque le DW1000 est en mode inactif avec la PLL numérique activée, le compteur de temps système est incrémenté à un taux de 125 MHz par unités de 512. Les neuf bits de poids faible de ce registre sont donc toujours nuls. La période de bouclage du compteur de l'horloge vaut alors :  $2^{40} \div (128 \times 499,2 \text{ e6}) = 17.2074$  secondes.

Remarques (a) À la mise sous tension, avant que la PLL numérique ne soit activée, les incrémentations du compteur de temps système sont toujours en unités de 512, mais le taux d'incrément est la moitié de la fréquence du cristal externe (par exemple à 19,2 MHz pour le cristal à 38,4 MHz). La période de bouclage du compteur est alors :  $231 \div 19,2 \text{ e6} = 111.8481$  secondes.

(b) En mode veille, le compteur horaire du système est désactivé et ce registre n'est pas mis à jour.

### 7.2.9 Fichier registre : 0x07 – Réservé

IDENTIFIANT	Longueur (octets)	Type Mnémonique	Description
0x07	-	-	Réservé – ce fichier de registre est réservé

Le fichier de registre [de carte de registre](#) 0x07 est réservé pour une utilisation future. Veillez à ne pas écrire dans ce registre car cela pourrait entraîner un dysfonctionnement du DW1000.

### 7.2.10 Fichier de registre : 0x08 – Transmit Frame Control

IDENTIFIANT	Longueur (octets)	Type Mnémonique	Description
0x08	5	RW TX_FCTRL	Contrôle de trame de transmission

Le fichier de [registre de carte de registre](#) 0x08, le registre de contrôle de trame de transmission, contient un certain nombre de champs de contrôle TX. Chaque champ est identifié séparément et décrit ci-dessous. (Pour une discussion générale sur la transmission, veuillez vous reporter à la section 3 – [Transmission de messages](#).

REG: 08: 00 - TX_FCTRL - Contrôle de trame de transmission (octets 0 à 3, 32 bits)																										
26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TXBOFFS						PE	TXPSR	TXPFRF	TR	TXBR							R	TFLE						TFLEN		
0	0	0	0	0	0	0	0	0	1	0	1	0	1	0	0	0	0	0	0	1	1	0	0			

REG: 08: 04 - TX_FCTRL - Contrôle de trame de transmission (octet 4, 8 bits) 31																														
30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
IFSDELAY																														
0 0																														

Les champs du registre TX\_FCTRL identifiés ci-dessus sont décrits individuellement ci-dessous :

Champ	Description des champs dans le fichier de registre : 0x08 – Transmit Frame Control															
TFLEN rég:08:00 bits : 6–0	Longueur de trame de transmission. Les trames UWB standard IEEE 802.15.4 peuvent avoir jusqu'à 127 octets de long. La valeur spécifiée ici détermine la longueur de la partie données de la trame transmise. Cette longueur inclut le CRC de deux octets ajouté automatiquement à la fin de la trame, à moins que SFCST (dans le <a href="#">fichier de registre : 0x0D - System Control Register</a> ) ne soit utilisé pour supprimer le FCS. La longueur de trame est également copiée dans l'en-tête PHY de la trame TX afin que l'appareil récepteur sache combien de données décoder.															
TFLE rég:08:00 bits : 9–7	Extension de longueur de trame de transmission. Le DW1000 prend en charge un mode de fonctionnement non standard avec des longueurs de trame de données allant jusqu'à 1023 octets. Ce mode de fonctionnement est activé via les bits de sélection PHR_MODE du <a href="#">fichier Registre : 0x04 – Configuration système</a> . Dans ce mode de trame longue, TFLE ajoute trois bits de poids fort à TFLEN pour étendre la longueur de trame à 10 bits, permettant d'envoyer une longueur de trame de 0 à 1023 octets. Veuillez vous référer à la section <a href="#">3.4 – Trames de données de longueur étendue</a> pour plus de détails sur ce mode non standard.															
R	Réservé. Les bits 12, 11 et 10 sont réservés pour une extension future. Ils doivent être mis à zéro.															
TXBR reg:08:00 bits:14,13	Débit binaire de transmission. Cela définit le débit binaire utilisateur pour la partie données de la trame comme suit :															
	<table border="1" style="margin-left: auto; margin-right: auto;"> <thead> <tr> <th>Bit 14</th><th>Bit 13</th><th>Débit binaire</th></tr> </thead> <tbody> <tr> <td>0</td><td>0</td><td>110 kbit/s</td></tr> <tr> <td>0</td><td>1</td><td>850 kbit/s</td></tr> <tr> <td>1</td><td>0</td><td>6,8 Mbit/s</td></tr> <tr> <td>1</td><td>1</td><td>réservé</td></tr> </tbody> </table>	Bit 14	Bit 13	Débit binaire	0	0	110 kbit/s	0	1	850 kbit/s	1	0	6,8 Mbit/s	1	1	réservé
Bit 14	Bit 13	Débit binaire														
0	0	110 kbit/s														
0	1	850 kbit/s														
1	0	6,8 Mbit/s														
1	1	réservé														
TR rég:08:00 peu : 15	Activation de la plage de transmission. Ce bit n'a aucun effet opérationnel sur le DW1000 ; cependant, il est copié dans le bit de télémetrie de l'en-tête PHY (PHR) de la trame transmise, identifiant la trame comme une trame de télémetrie. Dans certaines mises en œuvre de récepteur, cela peut être utilisé pour activer le matériel ou le logiciel associé à l'horodatage de la trame. Dans le récepteur DW1000, l'horodatage de la trame de réception ne dépend pas ou n'utilise pas le bit de télémetrie dans le PHR reçu.															

Champ	Description des champs dans le fichier de registre : 0x08 – Transmit Frame Control															
TXPRF rég:08:00 embouts : 17, 16	<p>Transmettre la fréquence de répétition des impulsions. Cela définit la fréquence de répétition des impulsions (PRF) moyenne utilisée dans l'émetteur :</p> <table border="1" data-bbox="698 336 1126 571"> <thead> <tr> <th>Bit 17</th> <th>Bit 16</th> <th>PRF nominale</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>4 MHz</td> </tr> <tr> <td>0</td> <td>1</td> <td>16 MHz</td> </tr> <tr> <td>1</td> <td>0</td> <td>64 MHz</td> </tr> <tr> <td>1</td> <td>1</td> <td>réservé</td> </tr> </tbody> </table> <p>Remarque : (a) Pour une réception réussie d'une trame, la PRF du récepteur doit être configuré pour être le même que le PRF utilisé pour transmettre la trame.  (b) Le choix du code de préambule doit également être approprié à la PRF configurée et doit être le même à la fois pour l'émission et la réception pour une communication réussie - veuillez utiliser le Tableau 61 pour sélectionner le code de préambule approprié.</p> <p>! Le récepteur DW1000 ne prend pas en charge la PRF 4 MHz.</p>	Bit 17	Bit 16	PRF nominale	0	0	4 MHz	0	1	16 MHz	1	0	64 MHz	1	1	réservé
Bit 17	Bit 16	PRF nominale														
0	0	4 MHz														
0	1	16 MHz														
1	0	64 MHz														
1	1	réservé														
TXPSR reg:08:00 bits:19,18	Transmission de répétitions de symboles de préambule (PSR). Cela définit la longueur de la séquence de préambule transmise en symboles. Chaque symbole de préambule a une durée d'environ 1 $\mu$ s <sup>1</sup> . Les deux bits TXPSR sont copiés dans l'en-tête PHY. L'extrémité réceptrice est ainsi informée de la quantité de préambule qui a été envoyée. Cela pourrait informer son choix de la longueur du préambule dans tout message de réponse. Il existe quatre longueurs de préambule standard définies pour le 802.15.4 UWB PHY - ce sont 16, 64, 1024 et 4096 symboles. Le DW1000 a la possibilité via la configuration PE (extension de préambule) d'envoyer des préambules de longueurs intermédiaires supplémentaires (non standard). Le tableau 16 ci-dessous répertorie les longueurs de préambule sélectionnables.															

<sup>1</sup> La durée des symboles de préambule est de 993,59 ns avec le réglage PRF 16 MHz et de 1017,63 ns avec le réglage PRF 64 MHz.

Champ	Description des champs dans le fichier de registre : 0x08 – Transmit Frame Control																																																		
SUR rég:08:00 bits : 21,20	<p>Prolongation du préambule. Ce champ permet de spécifier un nombre non standard de répétitions de symboles de préambule, étendant ainsi l'ensemble de longueurs de préambule disponibles pour optimiser les performances du système. Les longueurs de préambule résultantes dépendent du réglage de PE et TXPSR ci-dessus. Le tableau 16 ci-dessous répertorie les longueurs de préambule utiles pouvant être sélectionnées.</p> <p style="text-align: center;">Tableau 16 : Sélection de la longueur du préambule</p> <table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th style="background-color: #d9e1f2;">Bits 19</th> <th style="background-color: #d9e1f2;">Bits 18 Bits</th> <th style="background-color: #d9e1f2;">21 Bits 20</th> <th style="background-color: #d9e1f2;"></th> <th></th> </tr> <tr> <th colspan="2" style="background-color: #d9e1f2;">TXPSR</th> <th colspan="2" style="background-color: #d9e1f2;">SUR</th> <th style="background-color: #d9e1f2;">Longueur du préambule</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>1</td> <td>0</td> <td>0</td> <td>64</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>1</td> <td>128</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>0</td> <td>256</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>1</td> <td>512</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>0</td> <td>1024</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>1</td> <td>1536</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> <td>0</td> <td>2048</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> <td>0</td> <td>4096</td> </tr> </tbody> </table> <p>Les numéros de bit cités ci-dessus sont les numéros de bit dans le registre TX_FCTRL.</p> <p>Le choix de la longueur du préambule a une incidence sur la plage de fonctionnement et les performances du système, une discussion des facteurs affectant le choix de la longueur du préambule (et d'autres paramètres) peut être trouvée dans la section 9.3 ci-dessous.</p>	Bits 19	Bits 18 Bits	21 Bits 20			TXPSR		SUR		Longueur du préambule	0	1	0	0	64	0	1	0	1	128	0	1	1	0	256	0	1	1	1	512	1	0	0	0	1024	1	0	0	1	1536	1	0	1	0	2048	1	1	0	0	4096
Bits 19	Bits 18 Bits	21 Bits 20																																																	
TXPSR		SUR		Longueur du préambule																																															
0	1	0	0	64																																															
0	1	0	1	128																																															
0	1	1	0	256																																															
0	1	1	1	512																																															
1	0	0	0	1024																																															
1	0	0	1	1536																																															
1	0	1	0	2048																																															
1	1	0	0	4096																																															
TXBOFFS rég:08:00 bits : 31–22	Décalage de l'index du tampon de transmission. Ce champ de 10 bits est utilisé pour spécifier un index dans le tampon de transmission du premier octet à transmettre. La trame TX commence par l'octet à l'index TXBOFFS et continue pour le nombre d'octets spécifié par la longueur de trame (TFLEN et TFLE) moins 2 pour le CRC. Il faut veiller à ce que le TXBOFFS plus la longueur de trame ne s'étendent pas au-delà de la fin du TX_BUFFER. Certaines utilisations de TXBOFFS sont décrites dans la section 3.5.1.																																																		
IFSDELAY rég:08:04 bits : 7–0	Espacement inter-cadres. Ce retard dans les temps de symbole de préambule sera appliqué entre les trames transmises successives. Une utilisation de l'IFSDELAY est de laisser au récepteur le temps de décharger et traiter la trame avant qu'une autre trame ne lui soit envoyée. Pour cette raison, IFSDELAY est logiquement considéré comme un post-amble de la trame transmise, et il commence à décompter après l'envoi du dernier symbole de données. Lorsque l'émetteur est activé pour commencer une nouvelle trame, le DW1000 s'assure que les temps de symbole IFSDELAY se sont écoulés. Une nouvelle valeur de IFSDELAY pour la trame suivante ne doit pas être définie tant que l'événement de fin de trame TXFRS (Transmit Frame Sent) ne s'est pas produit. L'IFSDELAY définit un temps minimum entre les trames imposé par le DW1000, en supposant que l'hôte a lancé une nouvelle transmission. Remarque : En raison des retards internes du circuit intégré, l'intervalle entre la fin de l'image précédente et le début de la nouvelle est en fait 6 fois plus grand que celui spécifié ici, par exemple, un réglage IFSDELAY de 34 entraînera un intervalle à l'antenne. de 40 symboles de préambule.																																																		

### 7.2.11 Fichier de registre : 0x09 – Tampon de données de transmission

	Longueur (octets)	Type Mn émonique	Description
0x09	1024	WO TX_BUFFER	Tampon de données de transmission

Le fichier de registre [de carte de registre](#) 0x09 est le tampon de données de transmission. Les données du tampon de transmission sont transmises pendant la partie de charge utile de données de la trame transmise. Section 3 – [Transmission de message](#) traite des bases de la transmission de trame et détaille les différentes parties de la trame TX.

La procédure générale consiste à écrire la trame de données à transmettre dans le TX\_BUFFER, à définir la longueur de la trame et d'autres détails dans le registre TX\_FCTRL et à lancer la transmission à l'aide du bit de contrôle TXSTRT dans le fichier de registre : 0x0D – [Registre de contrôle du système](#).

Notez que les opérations de lecture à partir du tampon de données de transmission ne sont PAS prises en charge. La lecture du tampon de données de transmission pendant une transmission active peut corrompre les données transmises. Une lecture du registre TX\_FCTRL lira également le tampon de données de transmission de sorte que le registre TX\_FCTRL ne doit pas être lu pendant une opération de transmission active.

### 7.2.12 Fichier de registre : 0x0A – Heure d'envoi ou de réception retardée

	Longueur (octets)	Type Mn émonique	Description
0x0A	5	RW DX TIME	Délai d'envoi ou de réception différé (40 bits)

Le fichier de [registre de carte de registre](#) 0x0A, l'heure d'envoi ou de réception retardée, est utilisé pour spécifier une heure future pour allumer le récepteur pour être prêt à recevoir une trame, ou pour allumer l'émetteur et envoyer une trame.

Les 9 bits de poids faible de ce registre sont ignorés. L'envoi retardé est initié par le bit de contrôle TXDLYS dans [le fichier de registre : 0x0D – Registre de contrôle du système](#). La réception retardée est initiée par le bit RXDLYE. [Fichier de registre : 0x0D - Registre de contrôle du système](#). Pour plus d'informations, reportez-vous à la section [3.3 – Transmission différée](#) et à la section [4.2 – Réception différée](#).

Reportez-vous au champ TX\_PSTM du [sous-registre 0x2F:24 - Contrôle du mode de test des diagnostics numériques](#) pour plus de détails sur la façon de programmer ce registre pour une utilisation en mode de test du spectre de puissance de transmission et notez que seuls les bits 31:0 sont utilisés dans ce mode, tandis que les 9 bits les moins significatifs sont ignorés dans les modes fonctionnels.

### 7.2.13 Fichier registre : 0x0B – Réservé

	Longueur (octets)	Type Mn emonique	Description
0x0B	-	-	Réservé – ce fichier de registre est réservé

Le fichier de registre [de carte de registre](#) 0x0B est réservé pour une utilisation future. Veillez à ne pas écrire dans ce registre car cela pourrait entraîner un dysfonctionnement du DW1000.

#### 7.2.14 Fichier de registre : 0x0C - Période de temporisation d'attente de trame de réception

IDENTIFIANT	Longueur (octets)	Type Mnémonique	Description
0x0C	2	RW RX_FWTO	Délai d'attente de trame de réception

Le fichier de registre [de carte de registre](#) 0x0C est la période de temporisation d'attente de trame de réception. La fonction de délai d'attente de trame de réception est fournie pour permettre au microprocesseur externe d'entrer dans un état de faible puissance en attendant une trame de réception valide et d'être réveillé par le DW1000 lorsqu'une trame est reçue ou que le délai programmé s'est écoulé. Alors que de nombreux microcontrôleurs ont des temporiseurs qui pourraient être utilisés à cette fin, l'inclusion de cette fonctionnalité de temporisation RX dans le DW1000 offre une flexibilité supplémentaire au concepteur du système dans la sélection du microprocesseur pour optimiser la solution. Le délai d'attente de trame est activé par le bit RXWTOE dans [le fichier de registre : 0x04 - Configuration du système](#).

Lorsque le récepteur est activé (et commence à rechercher la séquence de préambule) et que RXWTOE est activé, le compteur de temporisation d'attente de trame commence à compter la période de temporisation programmée. Par la suite, en supposant qu'aucune action n'est entreprise pour modifier l'opération, l'une des deux choses suivantes devrait se produire :

- a) La période de temporisation d'attente de trame de réception s'est écoulée. Cela désactive le récepteur et définit le bit RXRFTO (Receiver Frame Wait Timeout) dans le registre d'état (et réinitialise le compteur).
- b) Une trame de réception valide arrive et positionne les bits RXDFR et RXFCG dans le registre d'état. Cela arrête le recevoir le compteur de minuterie d'attente de trame afin que RXRFTO ne soit pas défini.

Le récepteur ne se réactivera pas immédiatement après un RXRFTO (Receiver Frame Wait Timeout) indépendamment du fait que l'appareil utilise le double tampon de réception, voir section 4.3, ou la réactivation automatique du récepteur, voir section 5.3.2.

La période de temporisation ne doit être programmée que lorsque l'appareil est au repos. La programmation de la valeur de temporisation à d'autres moments n'est pas empêchée mais peut entraîner un comportement imprévisible.

Les bits de masque MRXFCG et MRXRFTO dans le registre SYS\_MASK peuvent être configurés (avant d'activer le récepteur) pour générer des interruptions vers le microprocesseur de commande. Si RXWTOE est effacé pendant que le compte à rebours est en cours, le compte à rebours sera désactivé et RXRFTO ne sera pas défini.

Lorsque le filtrage de trame est utilisé, toutes les trames rejetées arrêtent la réception, le DW1000 passe en mode IDLE après l'événement de rejet de trame, le délai d'attente ne se [déclenche pas](#). [Le fichier de registre : 0x0C - Période de temporisation d'attente de trame de réception](#) contient les champs suivants :

REG:0C:00 – RX_FWTO – Délai d'attente de trame de réception 31 30 29 28																												
27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
....				-	-	...			-	-	...				-													
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Les sous-champs individuels sont décrits ci-dessous :

Champ	Description des champs dans le fichier de registre : 0x0C – Période de temporisation d'attente de trame de réception
RXFWTO reg:0C:00 bits:15–0	trame de réception La période de temporisation d'attente de trame de réception est un champ de 16 bits. Les unités de ce paramètre sont d'environ 1 µs (l'unité exacte est 512 comptes de l'horloge UWB fondamentale à 499,2 MHz, soit 1,026 µs). Lors de l'utilisation du délai d'attente de trame, RXFWTO doit être défini sur une valeur supérieure à la durée de trame RX attendue et inclure une tolérance pour toute incertitude liée à l'heure de début de transmission attendue de la trame attendue. La fonction Receive Frame Wait Timeout est activée par le RXWTOE dans <a href="#">le fichier Register : 0x04 – System Configuration</a> . Lorsque RXWTOE est défini, chaque fois que le récepteur est activé, un temporisateur est démarré avec la période spécifiée par RXFWTO, et si aucune donnée n'est reçue avant l'expiration de ce temporisateur de délai d'attente de trame RX, le récepteur revient à son état inactif et le délai est signalé. par le bit d'état d'événement RXRFTO dans <a href="#">le fichier de registre : 0x0F - Registre d'état d'événement système</a> .
- reg:0C:00 bits:31–16	Ces bits sont réservés et doivent toujours être écrits comme zéro.

Remarque : Le délai d'attente de trame peut également être utilisé avec une double mise en mémoire tampon, où après la réception d'une trame, le DW1000 réactive automatiquement le récepteur (passant à la réception potentielle d'une nouvelle trame dans la mémoire tampon suivante). Ici, lorsque RXWTOE est défini, le compte à rebours sera redémarré lorsque le récepteur se réactive pour recevoir dans le tampon suivant. Voir la section [4.3 Double tampon de réception](#) pour plus d'informations sur le double tampon.

#### 7.2.15 Fichier de registre : 0x0D - Registre de contrôle du système

ÉLÉMENT	Longueur (octets)	Type Mnémonique	Description
0x0D	4 SRW	SYS_CTRL	Registre de contrôle du système

Le fichier de registre [de carte de registre](#) 0x0D est le registre de contrôle du système et contient un certain nombre de champs de contrôle TX. Chaque champ est identifié séparément et décrit ci-dessous. Pour une discussion générale sur la transmission, veuillez vous reporter à la section [3 – Transmission de messages](#). Les bits de contrôle dans le registre de contrôle du système sont généralement automatiquement effacés. Le contrôleur hôte définit le bit approprié pour invoquer une activité et le bit est automatiquement effacé par le DW1000 lorsque l'activité commandée commence.

REG:0D:00 – SYS_CTRL – Contrôle du système																																		
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0			
.....	.....	.....	.....	.....	.....	.....	.....	.....	.....	.....	.....	.....	.....	.....	.....	.....	.....	.....	.....	.....	.....	.....	.....	.....	.....	.....	.....	.....	.....	.....	.....	.....	.....	
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Champ	Description des champs dans le fichier de registre : 0x0D – Registre de contrôle du système
-	Les bits marqués d'un « - » dans le registre 0x0D sont réservés et doivent toujours être écrits comme zéro.

Champ	Description des champs dans le fichier de registre : 0x0D – Registre de contrôle du
SFCST reg:0D:00 bit:0	<p>système Supprimer la transmission auto-FCS (sur cette trame suivante). Cette commande fonctionne en conjonction avec le bit TXSTR (Transmit Start) ci-dessous pour contrôler si oui ou non le DW1000 calcule et ajoute automatiquement les deux octets Frame-Check-Sequence. On s'attend à ce que l'hôte décide cela lorsque la transmission est invoquée et définit SFCST en même temps que TXSTR est défini si la suppression FCS est requise. Normalement, SFCST n'est pas défini lorsque la transmission est lancée et le DW1000 calcule le FCS sur les octets extraits du tampon TX et ajoute automatiquement la séquence FCS de deux octets à la fin de la trame. La séquence FCS suit le <math>+ x_{12} + x_5 + 1</math>, également connu sous le nom de CRC-16-CCITT ou CRC-16 Polynôme standard IEEE 802.15.4, x ITU-T. <sup>16</sup></p> <p>Lorsque SFCST est défini (au démarrage de la transmission), le DW1000 n'ajoute pas le FCS à la trame de données mais récupère à la place les deux octets du tampon TX. La longueur de trame est déterminée par le champ TFLEN du <a href="#">fichier de registre : 0x08 – Transmit Frame Control</a>. Ainsi, lorsque SFCST est clair, les octets TFLEN-2 (longueur de trame moins deux) sont extraits et envoyés à partir du tampon TX, et les deux derniers octets envoyés sont les octets FCS générés automatiquement. Et, lorsque SFCST est défini, les octets TFLEN (longueur de trame) sont envoyés à partir du tampon TX. SFCST peut être utile si un protocole de trame IEEE 802.15.4 non standard est utilisé, et peut également être utile pour induire une erreur FCS dans le récepteur distant pendant le test. Le bit SFCST s'effacera dès que le DW1000 verra TXSTR et lancera la transmission.</p>
TXSTR reg:0D:00 bit:1	Transmettre Démarrer. Ce bit commande au DW1000 de commencer la transmission. Lorsque le DW1000 est en mode inactif et que le bit TXSTR est défini, le CI commence immédiatement la transmission d'une trame, à moins que TXDLYS ne soit défini (voir ci-dessous). En général, on s'attendrait à ce que l'utilisateur dispose d'une trame préparée dans le tampon de transmission et ait configuré le mode de transmission souhaité et défini la longueur de trame, dans le <a href="#">fichier de registre : 0x08 - Transmit Frame Control</a> , avant de définir TXSTR pour invoquer la transmission. Pour une discussion générale sur la transmission, voir la section 3 – <a href="#">Transmission de messages</a> . Le bit TXSTR s'effacera lorsque la transmission de la trame commencera.

Champ	Description des champs dans le fichier de registre : 0x0D - Envoi retardé de l'émetteur du
TXDLYS reg:0D:00 bit:2	<p>registre de contrôle du système. Ce contrôle fonctionne en conjonction avec TXSTRT et la valeur DX_TIME spécifiée par <a href="#">le fichier de registre : 0x0A - Délai d'envoi ou de réception retardé</a>. Lorsque l'utilisateur souhaite contrôler l'heure d'envoi d'une trame, l'heure d'envoi est programmée dans DX_TIME, puis TXDLYS et TXSTRT doivent être définis en même temps pour invoquer correctement la fonction d'envoi différé. Le bit TXDLYS s'effacera avec le bit TXSTRT lorsque le retard est terminé et que la transmission de trame commence et lance la transmission retardée.</p> <p>Lorsque l'envoi différé est utilisé, le DW1000 contrôle avec précision l'heure de début de transmission afin que l'horodatage TX interne se produise au moment où SYS_TIME est égal à la valeur DX_TIME. Le temps réel de TX est alors calculable comme DX_TIME plus le retard d'antenne TX.</p> <p>TXDLYS a plusieurs usages :-</p> <ul style="list-style-type: none"> <li>Il peut être utilisé pour donner un contrôle précis du temps de transmission d'un message de réponse, ce qui permettrait à un récepteur connaissant ce temps de réponse de ne s'allumer qu'au bon moment pour recevoir la réponse, économisant ainsi de l'énergie.</li> <li>Dans une télémétrie bidirectionnelle bilatérale symétrique, les temps de réponse RX à TX à chaque extrémité doivent être les mêmes afin que leurs différences d'horloges locales s'annulent correctement. Cela peut être assuré en définissant TXDLYS sur une valeur qui est un delta fixe ajouté à l'horodatage RX.</li> <li>Dans la télémétrie bidirectionnelle, l'horodatage TX de l'échange de message final doit être communiqué à l'extrémité réceptrice pour permettre le calcul du délai aller-retour. L'utilisation de TXDLYS permet de prédire, pré-calculer et intégrer ce temps dans le message final lui-même. Cela peut éviter d'avoir à échanger des messages supplémentaires, ce qui permet d'économiser de l'énergie et du temps également.</li> <li>L'intégration de l'heure TX de cette manière peut également réduire le nombre de messages dans un schéma de synchronisation d'horloge sans fil.</li> </ul>
CANSFCS reg:0D:00 bit:3	<p>Annuler Suppression de la transmission auto-FCS (sur la trame en cours). Ce bit est destiné à être utilisé lorsque la transmission est lancée avant que les données ne soient réellement écrites dans le tampon de transmission, ce qui peut être utilisé pour accélérer les temps de réponse et/ou le débit des données système. Une discussion générale de ces techniques se trouve à la section <a href="#">3.5 – Transmission à grande vitesse</a>.</p> <p>Le principe général est de ne pas envoyer le FCS (marquant une bonne trame) tant que toutes les données ne sont pas écrites dans le TX_BUFFER. Ainsi, la transmission est initiée avec SFCST défini pour supprimer le FCS et lorsque toutes les données sont écrites dans le TX_BUFFER, la transmission FCS est activée en définissant le bit CANSFCS pour annuler la suppression, c'est-à-dire autoriser la transmission du FCS. L'émetteur DW1000 comprend un circuit pour détecter le microprocesseur hôte écrivant dans la mémoire tampon entre le TXBOFFS configuré et toute adresse à partir de laquelle il a déjà consommé des données, ce qui signifie que l'HÔTE a écrit les données trop tard pour la transmission, auquel cas le réglage de CANSFCS sera ignoré et la trame sera transmise avec un mauvais CRC. Cette condition est signalée par le bit TXBERR dans <a href="#">le fichier de registre : 0x0F – Registre d'état des événements système</a>. Le bit CANSFCS s'effacera dès que le DW1000 le verra et agira dessus.</p>
TRXOFF reg:0D:00 bit:6	Émetteur-récepteur désactivé. Lorsque cela est réglé, le DW1000 revient immédiatement en mode veille. Toute activité TX ou RX en cours à ce moment-là sera abandonnée. Le bit TRXOFF s'effacera dès que le DW1000 le verra et remettra le CI en mode veille.

Champ	Description des champs dans le fichier de registre : 0x0D - Registre de contrôle du système
WAIT4RESP  reg:0D:00 bit:7	Attendez la réponse. Le contrôle WAIT4RESP fonctionne en conjonction avec le bit TXSTRT ci-dessus et la valeur W4R_TIM dans <a href="#">le fichier de registre : 0x1A - Temps d'accusé de réception et temps de réponse</a> . Lorsque WAIT4RESP est défini en même temps que TXSTRT, puis lorsque le DW1000 a fini de transmettre la trame, il se retournera automatiquement, désactivant l'émetteur et permettant au récepteur d'attendre une trame de réponse. La valeur W4R_TIM peut être programmée avec un délai entre la fin TX et l'activation RX. Retarder la mise sous tension du récepteur économisera de l'énergie dans les cas où la réponse est connue pour être retardée d'une certaine quantité. Le bit WAIT4RESP sera effacé au moment où DW1000 active le récepteur (ou lorsqu'un TRXOFF est utilisé). NB : Lorsqu'il est utilisé, le bit WAIT4RESP doit être défini en même temps que le bit TXSTRT est défini (c'est-à-dire par la même écriture).
RXENAB  reg:0D:00 bit:8	Activer le récepteur. Ce bit commande au DW1000 d'allumer son récepteur et de commencer à rechercher la séquence de préambule configurée. Il est supposé que toutes les configurations nécessaires ont été faites avant d'allumer le récepteur. Pour une discussion générale sur la réception, voir la section <a href="#">4 – Réception des messages</a> . Le bit RXENAB s'effacera dès que le DW1000 le verra et lancera la réception. NB : Le récepteur a un délai de 16 µs après l'émission de la commande d'activation du récepteur, après quoi il commencera à recevoir des symboles de préambule.
RXDLYE  reg:0D:00 bit:9	Activation retardée du récepteur. Ce contrôle fonctionne en conjonction avec RXENAB et la valeur DX_TIME spécifiée par <a href="#">le fichier de registre : 0x0A - Délai d'envoi ou de réception retardé</a> . Lorsque l'utilisateur souhaite contrôler l'heure d'allumage du récepteur, l'heure d'allumage est programmée dans DX_TIME, puis RXDLYE et RXENAB doivent être réglés pour invoquer correctement la fonction de réception différée. Le DW1000 contrôle ensuite avec précision l'heure d'activation du RX afin qu'il soit prêt à recevoir le premier symbole de préambule à l'heure de début DX_TIME spécifiée. Dans les cas où l'heure de réception peut être connue avec précision, par exemple lorsqu'une réponse est attendue à une heure bien définie, l'utilisation de RXDLYE permettra une économie d'énergie car elle permet au CI de rester inactif jusqu'au moment où il doit agir pour la réception.
HRBPT  reg:0D:00 bit:24	Bascule du pointeur du tampon de réception côté hôte. Dans le mode récepteur à double tampon, l'hôte utilise ce bit pour changer la paire de tampons à partir de laquelle il lit. La moitié en cours d'accès est signalée par le bit d'état HSRBP (Host Side Receive Buffer Pointer) dans le <a href="#">fichier de registre : 0x0F - Registre d'état des événements système</a> . Voir section <a href="#">4.3 – Double tampon de réception</a> pour plus de détails.

### 7.2.16 Fichier de registre : 0x0E – Registre de masque d'événements système

	Longueur (octets)	Type Mnémonique		Description
0x0E	4	RW SYS_MASK	Registre de masque d'événement système	

Le fichier de registre [de carte de registre](#) 0x0E est le registre de masque d'événement système. Ceux-ci sont alignés avec les bits d'état d'événement dans le registre SYS\_STATUS. Chaque fois qu'un bit dans le SYS\_MASK est défini (sur 1) et que le bit correspondant dans le registre SYS\_STATUS est également défini, une interruption sera générée pour affirmer la ligne de sortie IRQ matérielle. La condition d'interruption peut être supprimée en effaçant le bit correspondant dans ce registre SYS\_MASK (en le mettant à 0) ou en effaçant le bit verrouillé correspondant dans le registre SYS\_STATUS (généralement en écrivant un 1 sur le bit - veuillez vous référer au bit individuel du registre SYS\_STATUS définitions pour plus de détails).

Le registre SYS\_STATUS contient les bits d'état des événements système identifiés et décrits ci-dessous :

REG:0E:00 – SYS_MASK – Masque d'événement système																																
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
..																																
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Les bits de masque d'événement système du registre SYS\_MASK identifiés ci-dessus sont décrits individuellement ci-dessous :

Champ	Description des champs dans le fichier de registre : 0x0E - Registre de masque d'événements système
–	Ce bit est réservé.
reg:0E:00 bit:0	
MCPLOCK  reg:0E:00 bit:1	Masquer l'événement de verrouillage PLL de l'horloge. Lorsque MCPLOCK est à 0, le bit d'état d'événement CPLOCK ne génère pas d'interruption. Lorsque MCPLOCK est à 1 et que le bit d'état d'événement CPLOCK est à 1, la ligne d'interruption IRQ matérielle sera activée pour générer une interruption.
MESYNCR  reg:0E:00 bits:2	Masquer l'événement de réinitialisation de l'horloge de synchronisation externe. Lorsque MESYNCR est à 0, le bit d'état d'événement ESYNCR ne génère pas d'interruption. Lorsque MESYNCR est à 1 et que le bit d'état d'événement ESYNCR est à 1, la ligne d'interruption IRQ matérielle sera activée pour générer une interruption.
COPAIN  reg:0E:00 bit:3	Masquer l'événement déclencheur d'acquittement automatique. Lorsque MAAT est à 0, le bit d'état d'événement AAT ne génère pas d'interruption. Lorsque MAAT est à 1 et que le bit d'état d'événement AAT est à 1, la ligne d'interruption IRQ matérielle sera affirmée pour générer une interruption.  AAT doit être masqué lorsque l'accusé de réception automatique n'est pas activé afin que les interruptions parasites ne puissent pas affecter le comportement du système.
MTXFRB  reg:0E:00 bit:4	La trame de transmission du masque commence l'événement. Lorsque MTXFRB est à 0, le bit d'état d'événement TXFRB ne génère pas d'interruption. Lorsque MTXFRB est à 1 et que le bit d'état d'événement TXFRB est à 1, la ligne d'interruption IRQ matérielle sera activée pour générer une interruption.
MTXPRS  reg:0E:00 bit:5	Masque de transmission d'événement d'envoi de préambule. Lorsque MTXPRS est à 0, le bit d'état d'événement TXPRS ne génère pas d'interruption. Lorsque MTXPRS est à 1 et que le bit d'état d'événement TXPRS est à 1, la ligne d'interruption IRQ matérielle sera activée pour générer une interruption.
MTXPHS  reg:0E:00 bit:6	Le masque transmet l'événement En-tête PHY envoyé. Lorsque MTXPHS est à 0, le bit d'état d'événement TXPHS ne génère pas d'interruption. Lorsque MTXPHS est à 1 et que le bit d'état d'événement TXPHS est à 1, la ligne d'interruption IRQ matérielle sera activée pour générer une interruption.
MTXFRS  reg:0E:00 bit:7	Masquer l'événement d'envoi de trame de transmission. Lorsque MTXFRS est à 0, le bit d'état d'événement TXFRS ne génère pas d'interruption. Lorsque MTXFRS est à 1 et que le bit d'état d'événement TXFRS est à 1, la ligne d'interruption IRQ matérielle sera activée pour générer une interruption.
MRXPRD  reg:0E:00 bit:8	Masquer l'événement de préambule du récepteur détecté. Lorsque MRXPRD est à 0, le bit d'état d'événement RXPRD ne génère pas d'interruption. Lorsque MRXPRD est à 1 et que le bit d'état d'événement RXPRD est à 1, la ligne d'interruption IRQ matérielle sera activée pour générer une interruption.
MRXSFDD  reg:0E:00 bit:9	Événement détecté par le SFD du récepteur de masque . Lorsque MRXSFDD est à 0, le bit d'état d'événement RXSFDD ne génère pas d'interruption. Lorsque MRXSFDD est à 1 et que le bit d'état d'événement RXSFDD est à 1, la ligne d'interruption IRQ matérielle sera affirmée pour générer une interruption.
MLDEDON  reg:0E:00 bit:10	Masquer l'événement de traitement LDE terminé. Lorsque MLDEDONE est à 0, le bit d'état d'événement LDEDONE ne génère pas d'interruption. Lorsque MLDEDONE est à 1 et que le bit d'état d'événement LDEDONE est à 1, la ligne d'interruption IRQ matérielle sera affirmée pour générer une interruption.

Champ	Description des champs dans le fichier de registre : 0x0E - Registre de masque d'événements système
MRXPHD reg:0E:00 bit:11	Événement de détection d'en-tête PHY du récepteur de masque. Lorsque MRXPHD est à 0, le bit d'état d'événement RXPHD ne générera pas d'interruption. Lorsque MRXPHD est à 1 et que le bit d'état d'événement RXPHD est à 1, la ligne d'interruption IRQ matérielle sera activée pour générer une interruption.
MRXPHE reg:0E:00 bit:12	Masquer l'événement d'erreur d'en-tête PHY du récepteur. Lorsque MRXPHE est à 0, le bit d'état d'événement RXPHE ne génère pas d'interruption. Lorsque MRXPHE est à 1 et que le bit d'état d'événement RXPHE est à 1, la ligne d'interruption IRQ matérielle sera affirmée pour générer une interruption.
MRXDFFR reg:0E:00 bit:13	Masquer l'événement prêt de la trame de données du récepteur. Lorsque MRXDFFR est à 0, le bit d'état d'événement RXDFFR ne génère pas d'interruption. Lorsque MRXDFFR est à 1 et que le bit d'état d'événement RXDFFR est à 1, la ligne d'interruption IRQ matérielle sera activée pour générer une interruption.
MRXFCG reg:0E:00 bit:14	Masque récepteur FCS bon événement. Lorsque MRXFCG est à 0, le bit d'état d'événement RXFCG ne génère pas d'interruption. Lorsque MRXFCG est à 1 et que le bit d'état d'événement RXFCG est à 1, la ligne d'interruption IRQ matérielle sera affirmée pour générer une interruption.
MRXFCE reg:0E:00 bit:15	Masquer l'événement d'erreur FCS du récepteur. Lorsque MRXFCE est 0, le bit d'état d'événement RXFCE ne sera pas générer une interruption. Lorsque MRXFCE est à 1 et que le bit d'état d'événement RXFCE est à 1, la ligne d'interruption IRQ matérielle sera activée pour générer une interruption.
MRXRFSL reg:0E:00 bit:16	Récepteur de masque Événement Reed Solomon Frame Sync Loss. Lorsque MRXRFSL est à 0, le bit d'état d'événement RXRFSL ne génère pas d'interruption. Lorsque MRXRFSL est à 1 et que le bit d'état d'événement RXRFSL est à 1, la ligne d'interruption IRQ matérielle sera activée pour générer une interruption.
MRXRFTO reg:0E:00 bit:17	Masquer l'événement de temporisation d'attente de trame de réception. Lorsque MRXRFTO est à 0, le bit d'état d'événement RXRFTO ne génère pas d'interruption. Lorsque MRXRFTO est à 1 et que le bit d'état d'événement RXRFTO est à 1, la ligne d'interruption IRQ matérielle sera affirmée pour générer une interruption.
MLDEERR reg:0E:00 bit:18	Masquer l'événement d'erreur de traitement de détection du front montant. Lorsque MLDEERR est à 0, le bit d'état d'événement LDEERR ne génère pas d'interruption. Lorsque MLDEERR est 1 et que le bit d'état d'événement LDEERR est 1, la ligne d'interruption IRQ matérielle sera activée pour générer une interruption.
- reg:0F:00 bit:19	Ce bit est réservé.
MRXOVRR reg:0E:00 bit:20	Événement de dépassement du récepteur de masque. Lorsque MRXOVRR est à 0, le bit d'état d'événement RXOVRR ne génère pas d'interruption. Lorsque MRXOVRR est à 1 et que le bit d'état d'événement RXOVRR est à 1, la ligne d'interruption IRQ matérielle sera activée pour générer une interruption.
MRXPTO reg:0E:00 bit:21	Événement de temporisation de détection de préambule de masque. Lorsque MRXPTO est à 0, le bit d'état d'événement RXPTO ne générera pas d'interruption. Lorsque MRXPTO est à 1 et que le bit d'état d'événement RXPTO est à 1, la ligne d'interruption IRQ matérielle sera affirmée pour générer une interruption.
MGPIOIRQ reg:0E:00 bit:22	Masquer l'événement d'interruption GPIO. Lorsque MGPIOIRQ est à 0, le bit d'état d'événement GPIOIRQ ne génère pas d'interruption. Lorsque MGPIOIRQ est égal à 1 et que le bit d'état d'événement GPIOIRQ est égal à 1, la ligne d'interruption IRQ matérielle sera affirmée pour générer une interruption.
MSLP2INIT reg:0E:00 bit:23	Masquez l'événement SLEEP à INIT . Lorsque MSLP2INIT est à 0, le bit d'état d'événement SLP2INIT ne sera pas générer une interruption. Lorsque MSLP2INIT est à 1 et que le bit d'état SLP2INITevent est à 1, la ligne d'interruption IRQ matérielle sera affirmée pour générer une interruption.
MRFLPLL reg:0E:00 bit:24	Masquer l'événement d'avertissement RF PLL Losing Lock. Lorsque MRFLPLL est à 0, le bit d'état d'événement RFPLL_LL ne générera pas d'interruption. Lorsque MRFLPLL est 1 et que le bit d'état d'événement RFPLL_LL est 1, la ligne d'interruption IRQ matérielle sera activée pour générer une interruption.
MCPLLLL reg:0E:00 bit:25	Mask Clock Événement d'avertissement de perte de verrouillage de la PLL. Lorsque MCPLLLL est à 0, le bit d'état d'événement CLKPLL_LL ne génère pas d'interruption. Lorsque MCPLLLL est à 1 et que le bit d'état d'événement CLKPLL_LL est à 1, la ligne d'interruption IRQ matérielle sera affirmée pour générer une interruption.

Champ	Description des champs dans le fichier de registre : 0x0E - Registre de masque d'événements système
MRXSFDTO reg:0E:00 bit:26	Masque Recevoir l'événement de temporisation SFD . Lorsque MRXSFDTO est 0, le bit d'état d'événement RXSFDTO ne génère pas d'interruption. Lorsque MRXSFDTO est à 1 et que le bit d'état d'événement RXSFDTO est à 1, la ligne d'interruption IRQ matérielle sera affirmée pour générer une interruption.
MHPDWARN reg:0E:00 bit:27	Masquer l'événement d'avertissement de délai d'une demi-période. Lorsque MHPDWARN est à 0, le bit d'état d'événement HPDWARN ne génère pas d'interruption. Lorsque MHPDWARN est à 1 et que le bit d'état d'événement HPDWARN est à 1, la ligne d'interruption IRQ matérielle sera activée pour générer une interruption.
mtxberr reg:0E:00 bit:28	Masquer l'événement d'erreur de tampon de transmission. Lorsque MTXBERR est à 0, le bit d'état d'événement TXBERR ne génère pas d'interruption. Lorsque MTXBERR est à 1 et que le bit d'état d'événement TXBERR est à 1, la ligne d'interruption IRQ matérielle sera affirmée pour générer une interruption.
MAFFREJ reg:0E:00 bit:29	Masquer l'événement de rejet du filtrage automatique des trames. Lorsque MAFFREJ est à 0, le bit d'état de l'événement AFFREJ ne génère pas d'interruption. Lorsque MAFFREJ est à 1 et que le bit d'état d'événement AFFREJ est à 1, la ligne d'interruption IRQ matérielle sera activée pour générer une interruption.
- reg:0E:00 bits:30,31	Ces bits sont réservés.

### 7.2.17 Fichier de registre : 0x0F – Registre d'état des événements système

IDENTIFIANT	Longueur (octets)	Type Mnémonique	Description
0x0F	5	SRW SYS_STATUS	Registre d'état des événements système

Le fichier de registre [de carte de registre](#) 0x0F est le registre d'état des événements système, SYS\_STATUS. Il contient des bits d'état qui indiquent l'occurrence de différents événements système ou changements d'état. Il est possible d'activer des événements particuliers en tant que sources d'interruption, en utilisant le SYS\_MASK, [fichier de registre : 0x0E - Registre de masque d'événement système](#), de sorte que le réglage du bit d'état d'événement génère une interruption, affirmant la ligne de sortie matérielle IRQ.

Cela peut être utilisé, par exemple, pour permettre au processeur hôte d'entrer dans un état de faible puissance pendant la transmission ou la réception de la trame en attendant qu'une interruption se réveille à la fin de l'activité TX ou RX.

La lecture du registre SYS\_STATUS renvoie l'état des bits d'état. Généralement, ces bits d'état d'événement sont verrouillés afin que l'événement soit capturé. De tels bits verrouillés doivent être explicitement effacés en écrivant 'a"1' à la position du bit (écrire 'g"0' n'a aucun effet).

Le registre SYS\_STATUS contient les bits d'état des événements système identifiés et décrits ci-dessous :

REG:0F:00 – SYS_STATUS – Registre d'état du système (octets 0 à 3) 31 30 29 28 27 26		
25	24	23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0
AT	TXREQ	RQ
0	0	0

Les bits d'état d'événement système du registre SYS\_STATUS identifiés ci-dessus sont décrits individuellement ci-dessous :

Champ	Description des champs dans le fichier de registre : 0x0F - Registre d'état des événements système
IRQ reg:0F:00 bit:0	État de la demande d'interruption. Il s'agit d'un indicateur d'état en LECTURE SEULE - il ne peut pas être effacé ou écrasé. Chaque fois qu'un bit d'état dans <a href="#">le fichier de registre : 0x0F - System Event Status Register</a> est activé (c'est-à-dire à une valeur de 1) et le bit correspondant dans <a href="#">le fichier de registre : 0x0E - System Event Mask Register</a> est activé (c'est-à-dire à une valeur de 1 également) alors la ligne de demande d'interruption IRQ sera amenée à son niveau ON actif. S'il n'y a pas de bits d'état d'activation de masque actif, la ligne de demande d'interruption IRQ sera réglée sur son niveau OFF inactif. Cet indicateur IRQS reflète l'état global des interruptions. S'il y a des sources d'interruption non masquées actives, alors le bit IRQS sera 1 (et la ligne de demande d'interruption IRQ sera à son niveau ON actif) sinon IRQS sera zéro (et la ligne de demande d'interruption IRQ à son niveau OFF). La polarité de la ligne de demande d'interruption IRQ est contrôlable via le bit de configuration HIRQ_POL dans <a href="#">le fichier de registre : 0x04 - Configuration du système</a> .
CPLOCK reg:0F:00 bit:1	Verrouillage de l'horloge PLL. Le bit d'état d'événement CPLOCK indique que l'horloge numérique PLL s'est verrouillée. Cela peut être utilisé comme une interruption pour indiquer que l'horloge DW1000 fonctionne à pleine vitesse, après quoi le SPI peut également fonctionner à sa fréquence maximale. Le bit CPLOCK est effacé en y écrivant un 1. L'état de verrouillage de l'horloge PLL est également disponible via le bit d'état CPLLOCK dans <a href="#">le sous-registre 0x28:2C - RF_STATUS</a> . Remarque : Le bit PLLDT dans <a href="#">le fichier de registre 0x24:00 - EC_CTRL</a> doit être défini pour garantir un fonctionnement fiable de ce bit CPLOCK.
SYNCR reg:0F:00 bits:2	Réinitialisation de l'horloge de synchronisation externe. Ce bit d'état d'événement est activé lorsque le compteur système est réinitialisé suite à la réception d'un signal de réinitialisation d'horloge de synchronisation externe sur la broche SYNC. Le bit d'indicateur ESYNCR est effacé en y écrivant un 1. Section <a href="#">6.1 – Synchronisation externe</a> décrit cette fonctionnalité.
AAT reg:0F:00 bit:3	Déclencheur de reconnaissance automatique. Ce bit d'état d'événement d'état est défini lorsque le filtrage de trame est activé et qu'une trame de données (ou trame de commande MAC) est reçue (correctement adressée et avec un bon CRC) avec le bit de demande d'acquittement défini dans son champ de contrôle de trame.  Si l'acquittement automatique est activé (par le bit AUTOACK dans <a href="#">le fichier de registre : 0x04 - Configuration du système</a> ), le bit AAT peut être utilisé pendant le traitement de l'interruption de réception pour détecter que l'acquittement est en cours et ainsi éviter toute action jusqu'à la transmission de l'acquittement. est terminé - un événement qui peut être détecté en attendant l'interruption d'état TXFRS (Transmit Frame Sent).  Si l'acquittement automatique n'est pas activé, le bit d'état AAT doit être ignoré.  Le bit AAT peut être effacé explicitement en y écrivant un 1. Il est également automatiquement effacé par la prochaine activation du récepteur (y compris celles causées par la réactivation automatique de RXAUTR).
TXFRB reg:0F:00 bit:4	La trame de transmission commence. Ce bit d'état d'événement est défini au début d'une transmission de trame lorsque l'émetteur commence à envoyer un préambule. Le bit TXFRB est automatiquement effacé à la prochaine activation de l'émetteur. Il peut également être effacé explicitement en y écrivant un 1.

Champ	Description des champs dans le fichier de registre : 0x0F – Registre d'état d'événement système
TXPRS reg:0F:00 bit:5	Transmission Préambule envoyé. Ce bit d'état d'événement est défini à la fin du préambule lorsque l'envoi SFD commence. Le bit TXPRS est automatiquement effacé à la prochaine activation de l'émetteur. Il peut également être effacé explicitement en y écrivant un 1.
TXPHS reg:0F:00 bit:6	Transmettre l'en-tête PHY envoyé. Ce bit d'état d'événement est activé lorsque le PHR a été transmis. Cela marque le début de l'envoi de la partie données de la trame (en supposant que la longueur de la trame est différente de zéro) au débit de données de transmission configuré. Le bit TXPHS est automatiquement effacé à la prochaine activation de l'émetteur. Il peut également être effacé explicitement en y écrivant un 1.
TXFRS reg:0F:00 bit:7	Trame de transmission envoyée. Ce bit d'état d'événement est activé à la fin de l'envoi de la partie données de la trame. On s'attend à ce qu'il soit utilisé comme événement principal "Transmit Done" (interruption) signalant l'achèvement de la transmission de la trame. (Dans le cas où la longueur de trame est nulle, le bit TXFRS est défini peu après le drapeau d'événement TXPHS). Le bit TXFRS est automatiquement effacé à la prochaine activation de l'émetteur. Il peut également être effacé explicitement en y écrivant un 1.
RXPRD reg:0F:00 bit:8	État du préambule du récepteur détecté. Ce bit d'état d'événement est défini pour indiquer que le récepteur a détecté (et confirmé) la présence de la séquence de préambule. La réception du préambule se poursuit après que RXPRD a été défini jusqu'à ce que le SFD soit détecté comme signalé par le bit d'état d'événement RXSFDD ou qu'une temporisation SFD se produise comme signalé par le bit d'état d'événement RXSFDTO. La section 4 – Réception des messages donne des détails sur le processus de réception des trames. Le bit RXPRD peut être effacé explicitement en y écrivant un 1. Il est également automatiquement effacé par la prochaine activation du récepteur, y compris celles causées par la réactivation automatique de RXAUTR.
RXSFDD reg:0F:00 bit:9	Récepteur SFD détecté. Ce bit d'état d'événement est défini pour indiquer que le récepteur a détecté la séquence SFD et passe au décodage du PHR. La section 4 – Réception des messages donne des détails sur le processus de réception des trames. Le bit RXSFDD peut être effacé explicitement en y écrivant un 1. Il est également automatiquement effacé par la prochaine activation du récepteur, y compris celles causées par la réactivation automatique de RXAUTR.
LDEDONE reg:0F:00 bit:10	Traitements LDE effectués. Ce bit d'état d'événement est défini pour indiquer l'achèvement de la détection du front avant et d'autres ajustements des informations d'horodatage de réception. L'horodatage de réception du message ajusté résultant est alors disponible dans le fichier de registre : 0x15 – Horodatage de réception. La détection du SFD signalée par le bit d'état d'événement RXSFDD marque la fin du SFD et le début du PHR, qui marque également le RMARKER dont l'arrivée à l'antenne est l'événement qui définit l'horodatage d'arrivée de la trame. Pour déterminer avec précision cet horodatage, le DW1000 utilise un algorithme interne pour ajuster l'heure de réception RMARKER. Entre autres fonctions, cela effectue une recherche de détection de front avant sur la réponse impulsionale du canal et soustrait le retard de l'antenne de réception comme programmé dans le sous-registre 0x2E: 1804 - LDE_RXANTD. Pour plus d'informations sur le LDE et le processus d'horodatage des messages, voir la section 4.1.6 – Horodatage des messages RX. Le bit d'indicateur d'état d'événement LDEDONE est inclus dans l'ensemble oscillant à double tampon RX. Il est automatiquement effacé par l'activation RX. Il peut également être effacé explicitement en y écrivant un 1.
RXPHD reg:0F:00 bit:11	Détection d'en-tête PHY du récepteur. Ce bit d'état d'événement est défini pour indiquer que le récepteur a terminé le décodage du PHR. La section 4 – Réception des messages donne des détails sur le processus de réception des trames. Le bit RXPHD peut être effacé explicitement en y écrivant un 1. Il est également automatiquement effacé par la prochaine activation du récepteur, y compris celles causées par la réactivation automatique de RXAUTR.

Champ	Description des champs dans le fichier de registre : 0x0F - Registre d'état des événements système
RXPHE reg:0F:00 bit:12	<p>Erreur d'en-tête PHY du récepteur. Ce bit d'état d'événement est défini pour indiquer que le récepteur a trouvé une erreur non corrigible dans le PHR. Le PHR comprend une séquence de contrôle d'erreur SECDED (voir la section 10.4) qui peut corriger une erreur sur un seul bit et détecter une erreur sur deux bits. La double erreur ne peut pas être corrigée et sa détection est l'événement notifié par l'indicateur d'état d'événement RXPHE. Généralement, cette erreur signifie qu'une réception de trame correcte n'est pas possible, et donc généralement cet événement interrompra la réception de trame (selon la configuration DIS_PHE dans le <a href="#">fichier de registre : 0x04 - Configuration du système</a>) après quoi le récepteur peut revenir à la recherche de préambule (selon le RXAUTR configuration également dans <a href="#">le fichier de registre : 0x04 – Configuration système</a>). Section 4 – Réception des messages donne des détails sur le processus de réception des trames.</p> <p>Le bit RXPHE peut être effacé explicitement en y écrivant un 1. Il est également automatiquement effacé par la prochaine activation du récepteur, y compris celles causées par la réactivation automatique de RXAUTR. Les événements d'erreur d'en-tête PHY sont comptés dans <a href="#">le sous-registre 0x2F:04 - Compteur d'erreurs PHR</a>, tant que le comptage est activé par le bit EVC_EN dans le <a href="#">sous-registre 0x2F:00 - Contrôle du compteur d'événements</a>.</p>
RXDFR reg:0F:00 bit:13	<p>Trame de données du récepteur prête. Ce bit d'état d'événement est défini pour indiquer l'achèvement du processus de réception de trame. La section 4 – Réception des messages donne des détails sur le processus de réception des trames. On s'attend à ce qu'il soit utilisé comme événement principal de "réception" (interruption) signalant l'achèvement d'une réception de trame, et que la routine de traitement d'événement de réception examine les RXFCG et RXFCE pour déterminer si la trame a été reçue sans erreur (ou non), et également de vérifier l'indicateur d'état de l'événement LDEDONE pour valider les informations d'horodatage de réception.</p> <p>Afin de s'assurer que les informations d'horodatage de réception sont valides avant tout traitement d'interruption de réception, le réglage de RXDFR est retardé jusqu'à ce que les ajustements LDE de l'horodatage soient terminés, moment auquel le bit d'état d'événement LDEDONE sera défini (ou éventuellement LDEERR). Le bit d'indicateur d'état d'événement RXDFR est inclus dans l'ensemble oscillant à double tampon RX. Il est <u>automatiquement effacé par l'activation_RX</u>. Il peut également être effacé explicitement en y écrivant un 1.</p> <p>REMARQUE : Si le RXDFR est défini, mais qu'aucun événement RXFCG ni RXFCE n'a été signalé et que ni LDEDONE ni LDEERR n'ont été signalés, le code LDE n'a pas été chargé correctement et ne s'exécute pas correctement. Veuillez consulter 2.5.5.10.</p>
RXFCG reg:0F:00 bit:14	<p>Récepteur FCS Bon. Ce bit d'état d'événement reflète le résultat de la vérification du CRC de trame. Il est activé (ou non) à la fin de la réception de la trame en coïncidence avec l'activation du drapeau d'état d'événement RXDFR.</p> <p>Lorsque RXFCG est défini sur 1, cela indique que le résultat du contrôle CRC généré sur les données reçues correspond à la séquence FCS de 2 octets à la fin de la trame. RXDFR avec RXFCG indique alors la bonne réception d'une trame valide. Le bit RXFCG se trouve dans le jeu oscillant à double tampon RX. Il est <u>automatiquement effacé par l'activation de_RX</u>. Il peut également être effacé explicitement en y écrivant un 1.</p>
RXFCE reg:0F:00 bit:15	<p>Erreur FCS du récepteur. Ce bit d'état d'événement reflète également le résultat de la vérification du CRC de trame. Il est valide à la fin de la réception de la trame coïncidant avec le positionnement du drapeau d'état d'événement RXDFR.</p> <p>Lorsque RXFCE est défini sur 1, cela indique que le résultat de la vérification CRC généré sur les données reçues n'a PAS réussi à correspondre à la séquence FCS de 2 octets à la fin de la trame. Le bit RXFCE est inclus dans le jeu oscillant à double <u>tampon_RX</u>. Il est <u>automatiquement effacé par l'activation de_RX</u>. Il peut également être effacé explicitement en y écrivant un 1. Les événements RXFCE sont également comptés dans <a href="#">le sous-registre 0x2F:0A - FCS Error Counter</a>, tant que le comptage est activé par le bit EVC_EN dans le <a href="#">sous-registre 0x2F:00 - Event Counter Control</a>.</p>

Champ	Description des champs dans le fichier de registre : 0x0F - Perte de synchronisation de trame Reed Solomon
RXRFSL reg:0F:00 bit:16	du récepteur du registre d'état des événements système. Le bit d'état d'événement RXRFSL est défini pour indiquer que le récepteur a trouvé une erreur non corrigible pendant le décodage Reed Solomon de la partie données de la trame. Généralement, cela signifie qu'une réception de trame correcte n'est pas possible, et donc généralement cet événement interrompra la réception de trame (selon la configuration DIS_RSDE dans le <a href="#">fichier de registre : 0x04 - Configuration du système</a> ) après quoi le récepteur peut revenir à la recherche de préambule (selon la configuration RXAUTR également dans <a href="#">le fichier Registre : 0x04 – Configuration système</a> ). La section 4 – <a href="#">Réception des messages</a> donne des détails sur le processus de réception des trames. Le bit RXRFSL peut être effacé explicitement en y écrivant un 1. Il est également automatiquement effacé par la prochaine activation du récepteur, y compris celles causées par la réactivation automatique de RXAUTR. Les événements d'erreur de perte de synchronisation de trame Reed Solomon sont également comptés dans le <a href="#">sous-registre 0x2F: 06 - Compteur d'erreurs RSD</a> , tant que le comptage est activé par le bit EVC_EN dans le <a href="#">sous-registre 0x2F: 00 - Contrôle du compteur d'événements</a> .
RXRFTO reg:0F:00 bit:17	Délai d'attente de trame de réception. Ce bit d'état d'événement est défini pour indiquer qu'un délai d'attente de trame de réception s'est produit. Le délai d'attente de trame de réception est activé par le bit RXWTOE dans <a href="#">le fichier de registre : 0x04 - Configuration du système</a> , le délai d'attente étant défini par <a href="#">le fichier de registre : 0x0C - Délai d'attente de trame de réception</a> . Le délai d'attente de trame de réception commence à s'exécuter lorsque le récepteur est activé et s'arrête lorsqu'une trame valide est reçue ou lorsque le délai d'attente se produit et est signalé par ce bit d'indicateur d'état d'événement RXRFTO. Il peut être effacé explicitement en lui écrivant un 1. Les événements de temporisation d'attente de trame de réception sont également comptés dans <a href="#">le sous-registre 0x2F:14 - Compteur d'événements de temporisation d'attente de trame RX</a> , tant que le comptage est activé par le bit EVC_EN dans le <a href="#">sous-registre 0x2F:00 - Contrôle du compteur d'événements</a> .
LDEERR reg:0F:00 bit:18	Erreur de traitement de détection du front montant. Une grande partie de l'algorithme de détection du front montant consiste en une recherche dans la réponse impulsionale du canal pour trouver le premier rayon arrivant du RMARKER. Cela devrait être limité et se terminer dans un délai raisonnablement court, mais dans le cas contraire, le LDE inclut un mécanisme de sécurité intégrée d'un temporisateur de surveillance (60 µs) qui est initialisé au début de chaque recherche LDE (lorsqu'un bon PHR a été détecté). Nous ne nous attendons pas à ce que les utilisateurs de DW1000 voient cet événement, mais si le temporisateur de surveillance expire avant que le LDE ait terminé ses ajustements d'horodatage RX, la recherche LDE sera abandonnée et l'erreur sera signalée par l'indicateur d'état de l'événement LDEERR. Il peut être effacé explicitement en lui écrivant un 1.
— reg:0F:00 bit:19	Ce bit est réservé.
RXOVRR reg:0F:00 bit:20	Dépassement du récepteur. Ce bit d'état d'événement s'applique uniquement lorsque la double mise en mémoire tampon RX est activée (en effaçant le bit DIS_DRXB dans <a href="#">le fichier de registre : 0x04 – Configuration système</a> ). L'indicateur d'événement RXOVRR est défini pour indiquer qu'une erreur de dépassement s'est produite dans le récepteur. Voir la section <a href="#">4.3.5 – Overrun</a> pour plus de détails sur la double mise en mémoire tampon et l'utilisation de ce drapeau d'erreur RXOVRR. Le bit d'état d'événement RXOVRR est un bit READ ONLY. Il s'effacera lorsque HRBPT est utilisé pour signaler l'achèvement du traitement d'un tampon récepteur, libérant ce tampon pour la réception de données. Les événements de dépassement de récepteur sont également comptés dans <a href="#">le sous-registre 0x2F:0E - Compteur d'erreurs de dépassement de réception</a> , en supposant que le comptage est activé par le bit EVC_EN dans le <a href="#">sous-registre 0x2F:00 - Contrôle du compteur d'événements</a> .

Champ	Description des champs dans le fichier de registre : 0x0F – Temporisation de détection du préambule
RXPTO reg:0F:00 bit:21	<p>du registre d'état des événements système. Ce bit d'état d'événement est activé lorsque la temporisation de détection de préambule se produit. Le temporisateur de détection de préambule est démarré lorsque le récepteur est activé et commence la recherche de préambule. Cela peut commencer immédiatement dans le cas de l'émission d'une commande RXENAB ou après un délai dans le cas de l'émission d'une commande RXDLYE. La valeur de temporisation de détection de préambule est programmée dans <a href="#">le sous-registre 0x27:24 – DRX_PRETOC</a>.</p> <p>La temporisation de détection de préambule peut être utile pour économiser de l'énergie en éteignant le récepteur si une trame de réponse attendue ne commence pas. Si un message de réponse est attendu avec une certaine temporisation fixe et que le préambule n'est pas détecté au moment approprié, cela signifie probablement que la réponse ne viendra pas. La réception peut ainsi être interrompue plus tôt, ce qui permet d'économiser de l'énergie.</p> <p>Le bit RXPTO est automatiquement effacé à la prochaine activation du récepteur. Il peut également être effacé explicitement en y écrivant un 1.</p>
GPIOIRQ reg:0F:00 bit:22	Interruption GPIO. Le bit d'état d'événement GPIOIRQ est défini lorsqu'une condition d'interruption se produit dans le bloc GPIO. Diverses configurations sont possibles pour activer les interruptions provenant des lignes d'entrée GPIO. Le bloc GPIO peut devoir être interrogé pour déterminer la source de l'interruption si plusieurs lignes d'entrée sont configurées pour interrompre. Le bit GPIOIRQ est effacé en y écrivant un 1. Pour plus de détails sur la programmation GPIO, voir <a href="#">le fichier de registre : 0x26 – Contrôle GPIO et statut</a> .
SLP2INIT reg:0F:00 bit:23	<p>SOMMEIL à INIT. Ce bit d'état d'événement est défini pour indiquer que le DW1000 a terminé les activités associées au réveil de SLEEP (ou DEEPSLEEP) et est maintenant à l'état INIT .</p> <p>Ce bit d'état ne s'activera PAS si le LDE est configuré pour télécharger automatiquement au réveil (en définissant le bit ONW_LLDE dans le <a href="#">fichier de registre 0x2C:00-AON_WCFG</a> ), dans ce cas, le bit d'état CPLOCK doit être utilisé pour indiquer que le réveil s'est produit et le DW1000 est au ralenti État.</p>
RFPLL_LL reg:0F:00 bit:24	Perte de verrouillage RF PLL. Ce bit d'état d'événement est défini pour indiquer que le RFPLL rencontre des problèmes de verrouillage. Cela ne devrait pas se produire sur des appareils sains fonctionnant dans leur plage normale. Son apparition peut indiquer une mauvaise configuration, une pièce défectueuse ou un problème dans les entrées d'alimentation ou d'horloge de l'appareil. Si ce bit est défini, il peut être conseillé d'éteindre l'émetteur pour éviter d'envoyer des signaux hors régulation. Le bit RFPLL_LL est effacé en y écrivant un 1.
CLKPLL_LL reg:0F:00 bit:25	<p>Horloge PLL perdant le verrou. Ce bit d'état d'événement est défini pour indiquer que la PLL de l'horloge numérique du système rencontre des problèmes de verrouillage. Cela ne devrait pas se produire sur des appareils sains fonctionnant dans leur plage normale. Son apparition peut indiquer une mauvaise configuration, une pièce défectueuse ou un problème dans les entrées d'alimentation ou d'horloge de l'appareil. Si ce bit est défini, il peut être conseillé d'éteindre l'émetteur pour éviter d'envoyer des signaux parasites. Le bit CLKPLL_LL est effacé en y écrivant un 1.</p> <p>Remarque : Le bit PLLDT dans <a href="#">le fichier de registre 0x24:00 – EC_CTRL</a> doit être défini pour garantir un fonctionnement fiable de ce bit CLKPLL_LL.</p>

Champ	Description des champs dans le fichier de registre : 0x0F - Registre d'état des événements système
RXSFDTO reg:0F:00 bit:26	<p>Recevoir le délai d'attente SFD. Ce bit d'état d'événement est défini lorsque la temporisation de détection SFD se produit.</p> <p>La temporisation de détection SFD commence à s'exécuter dès que le préambule est détecté. Si la séquence SFD n'est pas détectée avant l'expiration de la période de temporisation, la temporisation agira pour interrompre la réception en cours. La période de temporisation de détection SFD est dans <a href="#">le sous-registre 0x27:20 – DRX_SFDTOC</a>. Par défaut, cela a une valeur de 4096+64 représentant le préambule et le SFD les plus longs possibles. Lorsqu'il est connu qu'un préambule et un SFD plus courts sont utilisés, cette valeur peut être réduite. Le bit d'état d'événement RXSFDTO peut être effacé explicitement en y écrivant un 1. Il est également automatiquement effacé par la prochaine activation du récepteur, y compris celles causées par la réactivation automatique de RXAUTR. Les événements de temporisation SFD sont également comptés dans <a href="#">le sous-registre 0x2F:10 – Compteur d'erreurs de temporisation SFD</a>, en supposant que le comptage est activé par le bit EVC_EN dans le <a href="#">sous-registre 0x2F:00 – Contrôle du compteur d'événements</a>.</p>
HPDWARN reg:0F:00 bit:27	<p>Avertissement de retard d'une demi-période. Ce bit d'état d'événement se rapporte à l'utilisation de la fonctionnalité de transmission retardée et de réception retardée. Cela indique que le retard est supérieur à une demi-période de l'horloge système.</p> <p>Pour l'envoi/la réception retardés, l'heure d'envoi/de réception est programmée dans <a href="#">le fichier de registre : 0x0A – Heure d'envoi ou de réception retardée</a>, puis l'envoi/la réception retardée est initiée par les commandes TXDLYS/RXDLYE dans <a href="#">le fichier de registre : 0x0D – Registre de contrôle du système</a>. La fonctionnalité de transmission et de réception différée est décrite en détail dans les sections <a href="#">3.3 – Transmission différée</a> et <a href="#">4.2 – Réception différée</a>.</p> <p>L'indicateur d'état d'événement HPDWARN est défini si le temps restant avant le début effectif de la transmission/réception est supérieur à une demi-période de l'horloge système (<a href="#">fichier de registre : 0x06 - Compteur de temps système</a>). En supposant que l'intention n'était pas de planifier la transmission/réception à un moment supérieur à 8 secondes dans le futur, l'indicateur d'état HPDWARN peut être interrogé après la commande de TXDLYS/RXDLYE, pour vérifier si l'invocation d'envoi/réception retardée a été donnée dans heure (HPDWARN ==0) ou non (HPDWARN == 1).</p> <p>Généralement, lorsque l'événement HPDWARN est détecté, le contrôleur hôte interrompt la TX/RX retardée en émettant une commande d'arrêt de l'émetteur-récepteur TRXOFF, puis prend toute mesure corrective jugée appropriée pour l'application.</p> <p>L'indicateur d'état d'événement HPDWARN est en LECTURE SEULE. Il s'effacera lorsque la TX/RX retardée est annulée ou lorsque le retard restant n'est plus supérieur à une demi-période de l'horloge système.</p> <p>Les événements HPDWARN sont comptés dans <a href="#">le sous-registre 0x2F:18 – Compteur d'avertissement de demi-période</a>, en supposant que le comptage est activé par le bit EVC_EN dans le <a href="#">sous-registre 0x2F:00 – Contrôle du compteur d'événements</a>.</p>

Champ	Description des champs dans le fichier de registre : 0x0F - Registre d'état des événements système
TXBERR reg:0F:00 bit:28	Erreur de tampon de transmission. Le bit d'indicateur d'état d'événement TXBERR indique qu'une écriture dans un emplacement de mémoire tampon de données transmises s'est produite alors que le CRC était supprimé. Section 3.5 – <a href="#">Transmission à grande vitesse</a> décrit les fonctionnalités du DW1000 pour maximiser le débit de données. Une technique consiste à écrire les données de trame dans le tampon TX après avoir lancé la transmission de cette trame. Pendant cette écriture de données, l'envoi de CRC est alors temporairement supprimé pour se protéger contre l'envoi de mauvaises données comme une bonne trame (avec un bon CRC). Cette suppression de CRC est annulée lorsque toutes les données de trame ont été écrites. Si les données de la trame ont été écrites dans la mémoire tampon à temps, la trame sera envoyée et un bon CRC sera ajouté. Si les données sont écrites en retard (c'est-à-dire que l'hôte écrit dans la zone tampon qui fait partie de la trame TX après que le DW1000 a déjà consommé les données de cette zone), cela est détecté et signalé ici dans ce bit d'indicateur d'état d'événement TXBERR. Dans ce cas, la suppression du CRC ne peut pas être annulée (aucun CRC n'est donc ajouté). Cela empêchera la transmission d'une "mauvaise" trame de données avec un bon CRC. Le bit TXBERR est effacé en y écrivant un 1.
LIBÉRER reg:0F:00 bit:29	Rejet du filtrage automatique des trames. Le bit d'indicateur d'état d'événement AFFREJ est défini pour indiquer lorsqu'une trame a été rejetée dans le récepteur parce qu'elle n'a pas traversé le filtrage de trame. Voir section 5.2 – <a href="#">Filtrage de trames</a> pour plus de détails sur le fonctionnement du filtrage de trames. Le bit d'état de l'événement AFFREJ peut être effacé explicitement en y écrivant un 1. Il est également automatiquement effacé par la prochaine activation du récepteur, y compris celles causées par la réactivation automatique de RXAUTR. Les événements de rejet de filtrage de trame sont également comptés dans le sous-registre 0x2F:0C - Compteur de rejet de filtre de trame, en supposant que le comptage est activé par le bit EVC_EN dans le sous-registre 0x2F:00 - Contrôle du compteur d'événements.
HSRBP reg:0F:00 bit:30	Pointeur de tampon de réception côté hôte. Il s'agit d'un indicateur d'état relatif au fonctionnement du récepteur en mode double tampon. La section 4.3 – <a href="#">Double tampon de réception</a> décrit cette opération en détail. Essentiellement, HSRBP est un index indiquant à laquelle des paires de tampons le côté hôte accède (en train de lire ou en attente de lecture lorsqu'il est rempli par le CI), tandis que ICRBP est un index indiquant à laquelle des paires de tampons le CI accède (écrit actuellement ou écrira dès qu'une donnée de trame arrivera). Le bit HSRBP est un bit d'état READ ONLY, son état est modifié en émettant la commande HRBPT dans le <a href="#">fichier Register : 0x0D – System Control Register</a> .
ICRBP reg:0F:00 bit:31	Pointeur de tampon de réception côté IC. Il s'agit d'un indicateur d'état relatif au fonctionnement du récepteur en mode double tampon. La section 4.3 – <a href="#">Double tampon de réception</a> décrit cette opération en détail. Essentiellement, ICRBP est un index indiquant à laquelle des paires de tampons le CI accède (écrit actuellement ou écrira dès qu'une donnée de trame arrivera). Le bit ICRBP est un bit d'état en LECTURE SEULE.
RXRSCS reg:0F:04 bit:0	Statut de correction Reed-Solomon du récepteur. Ce bit d'état indique que le Reed-Solomon a corrigé au moins une erreur dans la trame en cours de réception. Il s'agit d'un indicateur d'état d'événement de bas niveau. Le bit RXRSCS n'intéresse probablement pas le système hôte. Il a été utilisé lors de la vérification de l'implémentation de Reed-Solomon. Le bit RXRSCS ne peut pas être utilisé comme source d'interruption. Le bit d'état RXRSCS peut être effacé explicitement en y écrivant un 1. Il est également automatiquement effacé par la prochaine activation du récepteur, y compris celles causées par la réactivation automatique de RXAUTR.
RXPREJ reg:0F:04 bit:1	Rejet du préambule du récepteur. Il s'agit d'un indicateur d'état d'événement de bas niveau, qui n'intéresse probablement pas le système hôte. Il a été utilisé lors de la mise en œuvre de l'IC dans le cadre du réglage de l'algorithme de détection de préambule. Dans le DW1000, la détection de préambule est un processus en deux étapes où le préambule est initialement vu et doit ensuite être confirmé comme se poursuivant pendant un certain nombre de symboles avant que le bit d'état d'événement RXSFDD ne soit réellement activé. Si le préambule n'est pas confirmé, alors le bit d'état d'événement RXSFDD ne sera pas activé, mais à la place cet état RXPREJ sera activé. Le bit RXPREJ ne peut pas être utilisé comme source d'interruption. Le bit d'état d'événement RXPREJ peut être effacé explicitement en y écrivant un 1. Il est également automatiquement effacé par la prochaine activation du récepteur, y compris celles causées par la réactivation automatique de RXAUTR.

Champ	Description des champs dans le fichier de registre : 0x0F – Registre d'état des événements
TXPUTE reg:0F:04 bit:2	<p>système Transmettre l'erreur de temps de mise sous tension. Il s'agit d'un indicateur d'état d'événement de bas niveau. Il s'applique lorsque la transmission différée est utilisée. La transmission de la trame se poursuivra si cette condition est détectée et le RMARKER sera envoyé au bon moment, mais les premiers symboles de préambule peuvent ne pas être transmis correctement. Cela peut avoir un effet sur les performances lorsqu'une courte séquence de préambule est utilisée. L'indicateur d'état de l'événement TXPUTE est en LECTURE SEULE. Il s'effacera dès que le DW1000 commencera à envoyer un préambule (ou si le DW1000 est remis en veille). Étant donné que le temps de mise sous tension TX ne dure que quelques temps de symbole et que le bit TXPUTE s'efface au début du préambule, il est peu probable que le système hôte voie le bit TXPUTE activé. La condition doit donc être détectée à l'aide de l'événement compté dans le <a href="#">sous-registre 0x2F:1A - Compteur d'avertissement de mise sous tension de l'émetteur</a> (lorsque le comptage est activé par le bit EVC_EN dans le <a href="#">sous-registre 0x2F:00 - Contrôle du compteur d'événements</a>).</p> <p>La fonctionnalité de transmission et de réception différée est décrite en détail dans les sections <a href="#">3.3 – Transmission différée</a> et <a href="#">4.2 – Réception différée</a>.</p>
– reg:0F:04 bits:7-3	Ces bits sont réservés

#### 7.2.18 Fichier de registre : 0x10 – Registre d'informations de trame RX

	Longueur (octets)	Type Mnémonique	Description
0x10	4	TIGER_RX_FINFO	RX Frame Informati-n – inclus dans le kit oscillant

Le fichier de registre [de carte de registre](#) 0x10 donne des informations sur la trame reçue. Il est mis à jour après la réception d'un bon PHR, c'est-à-dire PHR où le SECDED n'a pas signalé d'erreur non corrigible (voir section 10.4).

Fichier de registre : 0x10 - Le registre d'informations de trame RX se trouve [dans le jeu oscillant à double tampon RX](#). Voir section 4.3 - Double tampon de réception pour plus de détails.

Remarque : pendant le fonctionnement en double tampon, une condition de dépassement du récepteur entraîne la corruption de ce registre RX\_INFO 0x10, veuillez vous référer à la section 4.3.3 Fonctionnement du double tampon pour plus de détails sur la gestion correcte de cette condition.

Ce registre RX\_FINFO contient un certain nombre de champs, identifiés séparément et décrits ci-dessous :

REG:10:00 – RX_FINFO – Informations sur la trame RX																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RXPACC										RXSIZ	RXLEN	QNA	RXBFR	RXFLE	- RXFLEN																
0										0	0 0 0	0 0	0 0	0	0										0						

Les sous-champs individuels sont décrits ci-dessous :

Champ	Description des champs dans le fichier de registre : 0x10 – RX Frame Information Register																																																		
RXFLEN reg:10:00 bits:6-0	Receive Frame Length. Cette valeur est copiée du PHR de la trame reçue lorsqu'un bon PHR est détecté (lorsque le bit d'état RXPHD est activé). La longueur de trame du PHR est utilisée dans le récepteur pour savoir combien de données recevoir et décoder, et où trouver le FCS (CRC) pour valider les données reçues. La longueur de trame indique également au système hôte la quantité de données à lire à partir du RX_BUFFER. Ce champ a une largeur de 7 bits pour accueillir les trames UWB standard IEEE 802.15.4 qui peuvent avoir jusqu'à 127 octets de long. Le DW1000 prend également en charge un mode de fonctionnement non standard avec des longueurs de trame de données allant jusqu'à 1023 octets, où la longueur de trame signalée est étendue par le champ RXFLE.																																																		
RXFLE reg:10:00 bits:9-7	Recevoir l'extension de longueur de trame. Le DW1000 prend en charge un mode de fonctionnement non standard avec des longueurs de trame de données allant jusqu'à 1023 octets. Ce mode de fonctionnement est activé via les bits de sélection PHR_MODE du <a href="#">fichier Registre : 0x04 – Configuration système</a> . Dans ce mode de trame longue, RXFLE ajoute trois bits de poids fort à RXFLEN, l'étendant à 10 bits et permettant de signaler des longueurs de trame de 0 à 1023 octets. Voir également la section <a href="#">3.4 – Trames de données de longueur étendue</a> .  Cette valeur est mise à jour lorsqu'un bon PHR est détecté (lorsque le bit d'état RXPHD est activé).																																																		
- reg:10:00 bit:10	Ce bit est réservé.																																																		
RXNSPL reg:10:00 bits:12,11	Recevoir une longueur de préambule non standard. Le DW1000 est capable d'envoyer des longueurs de préambule non standard pour donner aux concepteurs de systèmes plus de choix dans l'optimisation des performances. Le champ RXNSPL fonctionne conjointement avec le champ RXPSR pour rapporter la longueur de préambule reçue. Le champ RXPSR indique la longueur du préambule telle qu'elle est signalée dans le PHR (voir 10.4 pour plus de détails). Le récepteur détermine des informations supplémentaires sur la longueur de préambule transmise à partir du décompte d'accumulation de préambule, tel que rapporté par le champ RXPACC, et les utilise pour définir la valeur RXNSPL.  Le tableau 17 ci-dessous répertorie les longueurs de préambule qui peuvent être signalées en considérant ensemble les champs RXNSPL et RXPSR :  Tableau 17 : rapport sur la longueur du préambule																																																		
	<table border="1"> <thead> <tr> <th>Bits 19</th> <th>Bits 18</th> <th>Bits 17</th> <th>Bits 11</th> <th></th> </tr> <tr> <th colspan="2">RXPSR</th> <th colspan="2">RXNSPL</th> <th>Longueur du préambule</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>1</td> <td>0</td> <td>0</td> <td>RX</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>1</td> <td>64 128</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>0</td> <td>256</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>1</td> <td>512</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>0</td> <td>1024</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>1</td> <td>1536</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> <td>0</td> <td>2048</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> <td>0</td> <td>4096</td> </tr> </tbody> </table> <p>Les numéros de bit cités ci-dessus sont les numéros de bit dans le registre RX_INFO.</p> <p>Lorsque la longueur de préambule n'est pas prédéterminée et codée en dur dans l'application, les informations de longueur de préambule reçues peuvent être utilisées pour sélectionner la longueur de préambule pour tout message de réponse, en copiant les champs RXNSPL et RXPSR dans les configurations PE et TXPSR respectivement.</p> <p>Cette valeur est mise à jour lorsqu'un bon PHR est détecté (lorsque le bit d'état RXPHD est activé).</p>	Bits 19	Bits 18	Bits 17	Bits 11		RXPSR		RXNSPL		Longueur du préambule	0	1	0	0	RX	0	1	0	1	64 128	0	1	1	0	256	0	1	1	1	512	1	0	0	0	1024	1	0	0	1	1536	1	0	1	0	2048	1	1	0	0	4096
Bits 19	Bits 18	Bits 17	Bits 11																																																
RXPSR		RXNSPL		Longueur du préambule																																															
0	1	0	0	RX																																															
0	1	0	1	64 128																																															
0	1	1	0	256																																															
0	1	1	1	512																																															
1	0	0	0	1024																																															
1	0	0	1	1536																																															
1	0	1	0	2048																																															
1	1	0	0	4096																																															

Champ	Description des champs dans le fichier de registre : 0x10 – Registre d'informations sur la trame
RXBR reg:10:00 bits:14,13	RX Recevoir le rapport de débit binaire. Ce champ indique le débit binaire reçu. Cette information est signalée dans le PHR de la trame reçue (voir 10.4 pour plus de détails). Les valeurs attendues prises en charge par le DW1000 sont : 00 = 110 kbps, 01 = 850 kbps et 10 = 6,8 Mbps Cette valeur est mise à jour lorsqu'un bon PHR est détecté (lorsque le bit d'état RXPHD est activé).
GNA rég:10:00 bit:15	Portée du récepteur. Cela reflète le bit de télémetrie dans l'en-tête PHY reçu identifiant la trame comme un paquet de télémetrie. Cette valeur est mise à jour lorsqu'un bon PHR est détecté (lorsque le bit d'état RXPHD est activé).
RXPRFR reg:10:00 bits:17,16	Rapport sur le taux de répétition des impulsions RX. Ce champ signale que la PRF est utilisée dans le récepteur. Il s'agit simplement d'une copie de la configuration RXPRF du <a href="#">fichier Register : 0x1F – Channel Control</a> . Les valeurs sont : 01 = 16 MHz, 10 = 64 MHz
RXPSR reg:10:00 bits:19,18	Répétition du préambule RX. Ce champ signale la longueur du préambule de la trame reçue telle qu'elle est signalée dans le PHR de la trame (voir 10.4 pour plus de détails). Les valeurs de ces deux bits sont définies par la norme comme: 00 = 16 symboles, 01 = 64 symboles, 10= 1024 symboles et, 11= 4096 symboles  Outre ces longueurs de préambule standard, le DW1000 prend également en charge la transmission de longueurs de préambule non standard. Ces longueurs non standard ne peuvent pas être signalées dans le PHR ; au lieu de cela, le DW1000 donne une estimation de la longueur du préambule basée sur le RXPSR à partir du PHR et de la valeur RXPACC. L'estimation est rapportée en utilisant les champs RXPSR et RXNSPL ensemble, conformément au tableau 17 ci-dessus. Cette valeur est mise à jour lorsqu'un bon PHR est détecté (lorsque le bit d'état RXPHD est activé).

Champ	Description des champs dans le fichier de registre : 0x10 - Registre d'informations sur la trame RX
RXPACC reg:10:00 bits:31–20	<p>Compte d'accumulation de préambule. Cela rapporte le nombre de symboles de préambule accumulés.</p> <p>Cela peut être utilisé pour estimer la longueur du préambule TX reçu et également pendant les diagnostics comme aide à l'interprétation des données de l'accumulateur.</p> <p>Il est possible que ce compte soit un peu plus grand que la longueur du préambule transmis, en raison de la détection très précoce du préambule et du fait que le compte d'accumulation peut inclure une accumulation qui se poursuit à travers le SFD (jusqu'à ce que le SFD soit détecté).</p> <p>Cette valeur est mise à jour lorsqu'un bon PHR est détecté (lorsque le bit d'état RXPHD est activé).</p> <p>L'accumulation de canaux inclut parfois les symboles SFD, tous sauf les deux derniers.</p> <p>Les calculs de puissance de signal utilisant RXPACC pour le nombre de symboles doivent parfois être ajustés pour les symboles SFD accumulés. Voir la section 4.7 pour les calculs utilisant RXPACC.</p> <p>Le compteur RXPACC saturera lorsque le préambule sera trouvé par le récepteur et le CIRE cessera d'accumuler les symboles. Un compteur de symboles de débogage qui ne sature pas est donné dans <a href="#">RXPACC_NOSAT</a>. Une comparaison de RXPACC et <a href="#">RXPACC_NOSAT</a> indiquera que le nombre de RXPACC doit être ajusté si les deux nombres sont égaux. S'ils ne sont pas égaux, alors RXPACC a saturé avant l'accumulation de SFD et par conséquent la valeur RXPACC n'a pas besoin d'être ajustée avant utilisation dans les calculs de puissance de signal.</p> <p>Pour ajuster le nombre de RXPACC pour SFD lorsque RXPACC est égal à <a href="#">RXPACC_NOSAT</a>, soustrayez le nombre de symboles SFD du nombre. Étant donné que les séquences SFD contiennent des symboles positifs (symboles de préambule normaux) et des symboles négatifs (symboles qui sont des versions inversées des symboles de préambule) qui ont été ajoutés à l'estimation de canal, ajoutez le nombre de symboles positifs et soustrayez le nombre de symboles négatifs dans le SFD séquence à partir du comptage RXPACC. Les deux derniers symboles de la séquence SFD sont toujours ignorés dans l'estimation de canal, de sorte que ces deux symboles ne doivent pas être comptés lors des ajustements de RXPACC. Voir le tableau 18 ci-dessous pour quelques exemples de la façon d'ajuster RXPACC lorsque RXPACC et <a href="#">RXPACC_NOSAT</a> sont égaux.</p> <p>Notez que plus la longueur du préambule est courte, plus la correction SFD de RXPACC aura un impact important sur les calculs de puissance du signal.</p>

Tableau 18 : Ajustements RXPACC par code SFD

SFD	Séquence	Ajustement au RXPACC
Standard Court (symbole 8)	0+0-+00-	-6+2-1=-5
Standard Long (symbole 64)	0+0-+00-0+0-+00-00+0-0+0+000-0-0-00+0-0-+0000++00---+---+0000++ - 62+14-16=-	64
Décawave défini 8-symboles SFD	----+00	-6+1-5=-10
Décawave défini 16-symboles SFD	----+-+-+-+00	-14+5-9=-18
Décawave défini 64-symboles SFD	-----+-----+-----+-----+-----+-----+-----+-----+-----+-----+0	-62+21-41=-82

#### 7.2.19 Fichier de registre : 0x11 – Tampon de trame RX

IDENTIFIANT	Longueur (octets)	Type Mnémonique	Description
0x11 1024 ROD RX BUFFER			Tampon de données de trame RX – inclus dans le jeu oscillant

Le fichier de registre [de carte de registre 0x11](#) est le tampon de données de réception. Les données de la trame reçue sont disponibles dans le tampon reçu. En supposant la réception réussie d'une bonne trame, la longueur totale des données reçues (telle que rapportée par les champs RXFLEN et RXFLE du [fichier de registre : 0x10 - Registre d'informations de trame RX](#)), sera disponible dans le RX\_BUFFER à partir du décalage 0. Remarque depuis le rapport longueur inclut le FCS, le système hôte choisira probablement de ne pas lire ces deux derniers octets.

Les opérations d'écriture dans le RX\_BUFFER ne sont PAS prises en charge ; une opération d'écriture dans le RX\_BUFFER corrompra le contenu du tampon.

Fichier de registre : 0x11 – RX Frame Buffer fait partie du jeu oscillant à double tampon RX. Voir la section 4.3 – Double tampon de réception pour plus de détails.

#### 7.2.20 Fichier de registre : 0x12 – Informations sur la qualité de la trame Rx

IDENTIFIANT	Longueur (octets)	Type Mnémonique	Description
0x12	8	ROD_RX_FQUAL	Informations sur la qualité du cadre Rx - incluses dans le kit oscillant

Le fichier de registre [de carte de registre 0x12](#) donne des informations sur la qualité de réception pour la trame actuelle. Ce registre se compose d'un certain nombre de sous-champs identifiés séparément et décrits ci-dessous :

Fichier de registre : 0x12 - Les informations sur la qualité de la trame Rx se trouvent dans le jeu oscillant à double tampon RX. Voir la section 4.3 – Double tampon de réception pour plus de détails.

Le registre RX\_FQUAL contient les sous-champs suivants :

REG:12:00 – RX_FQUAL – Informations sur la qualité de la trame Rx (octets 0 à 3, valeurs 2x16 bits) 31																															
30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
FP_AMPL2																STD_NOISE															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	

REG:12:04 – RX_FQUAL – Informations sur la qualité de la trame Rx (octets 4 à 7, valeurs 2x16 bits) 31																															
30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
CIR_PWR																PP_AMPL3															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	

Les sous-champs du [fichier de registre : 0x12 – Rx Frame Quality Information](#) sont décrits ci-dessous et sont mis à jour lorsque l'exécution LDE s'est terminée avec succès (lorsque le bit d'état LDEDONE est activé) :

Champ	Description des champs dans <a href="#">le fichier de registre : 0x12 – Rx Frame Quality Information</a>
STD_NOISE reg:12:00 bits:15–0	Écart type du bruit. Il s'agit d'une valeur de 16 bits indiquant l'écart type du niveau de bruit observé lors de l'analyse par l'algorithme LDE des données de l'accumulateur. Cette valeur peut être utilisée pour évaluer la qualité du signal reçu et/ou l'horodatage de réception produit par le LDE. Pour plus de détails, veuillez vous référer à la section <a href="#">4.7 – Évaluation de la qualité de réception et de l'horodatage RX</a> .
FP_AMPL2 reg:12:00 bits:31–16	Premier point d'amplitude de chemin 2. Il s'agit d'une valeur de 16 bits qui fait partie du rapport de l'amplitude du signal de front avant vu dans la mémoire de données de l'accumulateur pendant l'analyse de l'algorithme LDE. L'amplitude de l'échantillon signalée dans le paramètre FP_AMPL2 est l'amplitude de la prise d'accumulateur à l'index 2 au-delà de la partie entière du front montant FP_INDEX signalée dans le fichier de registre : <a href="#">0x15 - Horodatage de réception</a> . La valeur d'amplitude FP_AMPL2 peut être utilisée, conjointement avec la valeur FP_AMPL3 ci-dessous et la valeur FP_AMPL1 rapportée dans le <a href="#">fichier de registre : 0x15 - Horodatage de réception</a> , dans le cadre de l'évaluation de la qualité de l'horodatage de réception produit par l'algorithme LDE. Pour plus de détails, veuillez vous référer à la section <a href="#">4.7 – Évaluation de la qualité de réception et de l'horodatage RX</a> .

Champ	Description des champs dans le fichier de registre : 0x12 – Rx Frame Quality Information
FP_AMPL3 reg:12:04 bits:15–0	<p>Premier point d'amplitude de chemin 3. Il s'agit d'une valeur de 16 bits qui fait partie du rapport de l'amplitude du signal de front avant vu dans la mémoire de données de l'accumulateur pendant l'analyse de l'algorithme LDE. L'amplitude de l'échantillon signalée dans le paramètre FP_AMPL3 est l'amplitude de la prise d'accumulateur à l'index 1 au-delà de la partie entière du front montant FP_INDEX signalée dans le fichier de registre : 0x15 - Recevoir l'horodatage . Cette valeur d'amplitude peut être utilisée pour évaluer la qualité du signal reçu et/ou l'horodatage de réception produit par le LDE. Pour plus de détails, veuillez vous référer à la section <a href="#">4.7 – Évaluation de la qualité de réception et de l'horodatage RX</a>.</p> <p>La valeur d'amplitude FP_AMPL3 peut être utilisée, conjointement avec la valeur FP_AMPL2 ci-dessus et la valeur FP_AMPL1 rapportée dans le <a href="#">fichier de registre : 0x15 - Horodatage de réception</a>, dans le cadre de l'évaluation de la qualité de l'horodatage de réception produit par l'algorithme LDE. Pour plus de détails, veuillez vous référer à la section <a href="#">4.7 – Évaluation de la qualité de réception et de l'horodatage RX</a>.</p>
CIR_PWR reg:12:04 bits:31–16	<p>Puissance de réponse impulsionale du canal. Il s'agit d'une valeur de 16 bits rapportant la somme des carrés des amplitudes de l'accumulateur à partir de la partie de puissance la plus élevée estimée du canal, qui est liée à la puissance du signal de réception. Cette valeur peut être utilisée pour évaluer la qualité du signal reçu et/ou l'horodatage de réception produit par l'algorithme LDE. Pour plus de détails, veuillez vous référer à la section <a href="#">4.7 – Évaluation de la qualité de réception et de l'horodatage RX</a>.</p>

### 7.2.21 Fichier de registre : 0x13 – Intervalle de suivi du temps du récepteur

IDENTIFIANT	Longueur (octets)	Type Mnémonique	Description
0x13	4	GENRE RX_TTCKI	Intervalle de suivi du temps du récepteur - inclus dans l'ensemble de balançoire

Le fichier de [registre de carte de registre](#) 0x13 fonctionne avec [le fichier de registre : 0x14 - Décalage de suivi du temps du récepteur](#) pour donner une mesure du décalage d'horloge (ou décalage du cristal) entre le récepteur local et l'émetteur distant appareil.

Fichier de registre : 0x13 - L'intervalle de suivi du temps du récepteur est dans le jeu oscillant à double tampon RX. Voir la section [4.3 – Double tampon de réception](#) pour plus de détails.

Le registre RX\_TTCKI contient les sous-champs suivants qui sont mis à jour lorsqu'une démodulation de trame est terminée avec succès :

REG:13:00 – RX_TTCKI – Intervalle de suivi du temps du récepteur 31 30 29		
28	27	26
25	24	23
22	21	20
19	18	17
16	15	14
13	12	11
10	9	8
7	6	5
4	3	2
1	0	
RXTTCKI		
0		

Champ	Description des champs dans le fichier de registre : 0x13 - Intervalle de suivi du temps du récepteur
RXTTCKI reg:13:00 bits:31–0	Intervalle de suivi du temps de réception. La valeur ici est l'intervalle sur lequel le décalage temporel signalé dans le champ RXTOFS du <a href="#">fichier de registre : 0x14 – Décalage de suivi temporel du récepteur</a> est mesuré. Le décalage d'horloge est calculé en divisant RXTOFS par RXTTCKI. La valeur dans RXTTCKI ne prendra qu'une des deux valeurs en fonction du PRF : 0x01F00000 @ 16 MHz PRF et 0x01FC0000 @ 64 MHz PRF.

### 7.2.22 Fichier de registre : 0x14 - Décalage de suivi de l'heure du récepteur

IDENTIFIANT	Longueur (octets)	Type Mnémonique	Description
0x14	5	TIGE RX TTCKO	Décalage de suivi du temps du récepteur - inclus dans l'ensemble oscillant

Fichier de registre [de carte de registre : 0x14](#) fonctionne avec [le fichier de registre : 0x13 - Intervalle de suivi du temps du récepteur](#) pour donner une mesure du décalage d'horloge (ou décalage du cristal) entre le récepteur local et le dispositif émetteur distant.

Fichier de registre : 0x14 - Le décalage de suivi de l'heure du récepteur se trouve dans le jeu oscillant à double tampon RX. Voir la section 4.3 – Double tampon de réception pour plus de détails.

Le registre RX\_TTCKO contient les sous-champs suivants qui sont mis à jour lorsqu'une démodulation de trame est terminée avec succès :

REG: 14: 00 - RX_TTCKO - Décalage de suivi du temps du récepteur (octets 0 à 3, 32 bits) 31 30 29																													
28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
RSMPDEL														RXTOFS															
0														0															

REG: 14: 04 - RX_TTCKO - Décalage de suivi du temps du récepteur (octet 4, 8 bits)																													
														7	6	5	4	3	2	1	0								
														RCPHASE															
														0															

Les sous-champs individuels sont décrits ci-dessous :

Champ	Description des champs dans le fichier de registre : 0x14 – Décalage de suivi du temps du récepteur
RXTOFS reg:14:00 bits:18–0	Décalage du suivi du temps de réception. La valeur ici est le décalage mesuré sur l'intervalle indiqué dans le champ RXTTCKI du <a href="#">fichier de registre : 0x13 - Intervalle de suivi du temps du récepteur</a> . Cette valeur RXTOFS est une quantité signée de 19 bits. Le décalage d'horloge est calculé en divisant RXTOFS par RXTTCKI  Exemple (a) : Supposons que RXTOFS soit signalé comme 0x000e4 et que RXTTCKI soit 0x01f00000, cela donne un décalage d'horloge de $228 + 32505856$ , soit 7,014E-06 ou un décalage de 7 ppm. Ainsi, l'horloge de l'émetteur distant tourne plus vite que l'horloge du récepteur local de cette quantité de 7 ppm.  Exemple (b) : Supposons que RXTOFS soit signalé comme 0x7FF5C et que RXTTCKI soit 0x01f00000, cela donne un décalage d'horloge de $-164 + 32505856$ , soit -5,045E-06 ou -5 ppm de décalage. Ainsi, l'horloge de l'émetteur distant fonctionne plus lentement que l'horloge du récepteur local de cette quantité de 5 ppm
-	Ils sont réservés et doivent toujours être écrits comme zéro
RSMPDEL reg:14:00 bits:31–24	Ce champ de 8 bits signale une valeur de délai de rééchantillonnage interne. On ne s'attend pas à ce que cela soit d'une quelconque utilité directe pour le système hôte. Il a été intéressant dans le passé lors du développement du récepteur IC et de l'algorithme de détermination du bord d'attaque.
RCPHASE reg:14:04 bits:6–0	Ce champ de 7 bits signale l'ajustement de la phase de la porteuse de réception au moment où l'horodatage de télémetrie est effectué. Cela donne la phase (7 bits = 360 degrés) de la boucle de suivi de porteuse interne au moment où l'horodatage RX est reçu. Cela peut être utilisé pour compenser partiellement le décalage de phase dans les CIR entre deux appareils DW1000

### 7.2.23 Fichier de registre : 0x15 – Horodatage de réception

IDENTIFIANT	Longueur (octets)	Type Mnémonique	Description
0x15	14	ROD RX_TIME	Recevoir l'horodatage - inclus dans l'ensemble oscillant

Le fichier de registre [de carte de registre](#) 0x15 signale l'horodatage de réception et les informations associées. Lors de la réception de la trame, l'événement de détection SFD marquant la fin du préambule et le début du PHR est le point nominal qui est horodaté par le CI. La norme IEEE 802.15.4 UWB appelle ce point le RMARKER.

DW1000 prend un horodatage grossier du symbole dans lequel l'événement RMARKER se produit et y ajoute divers facteurs de correction pour donner une valeur d'horodatage résultante. Veuillez vous référer à la section [4.1.6 – Horodatage du message RX](#) pour plus de détails sur les corrections appliquées.

Fichier de registre : 0x15 - L'horodatage de réception se trouve dans le jeu oscillant à double tampon RX. Voir la section 4.3 – Double tampon de réception pour plus de détails.

Le registre RX\_TIME contient les sous-champs suivants :

REG:15:00 – RX_TIME – Horodatage de réception (octets 0 à 3, 32 bits) 31 30 29 28		
27	26	25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0
RX_STAMP (32 bits bas d'une valeur de 40)		
40 bits	0 0	

REG:15:04 – RX_TIME – Horodatage de réception (octets 4 à 7, 32 bits) 31 30 29 28		
27	26	25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0
FP_AMPL1 (8 bits bas sur 16)	FP_INDEX	RX_STAMP (haut 8 bits de 40)
0 0		

REG:15:08 – RX_TIME – Horodatage de réception (octets 8 à 11, 32 bits) 31 30 29 28 27		
26	25	24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0
RX_RAWST (bas 24 bits de valeur 40 bits)		FP_AMPL1 (8 bits de poids fort sur 16)
0 0		

REG:15:0C – RX_TIME – Horodatage de réception (octets 12 à 13, 16 bits) 31 30 29 28 27		
26	25	24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0
RX_RAWST (16 bits de poids fort sur une valeur de 40 bits)		0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

Les sous-champs du [fichier de registre : 0x15 - Recevoir l'horodatage](#) sont disposés ci-dessus dans une carte de 32 bits de large, mais certains paramètres sont supérieurs à 32 bits. Il est possible de lire un nombre variable d'octets sur n'importe quel indice d'octet et il est également possible de lire l'intégralité du fichier de registre en un seul bloc de lecture SPI. Les sous-champs individuels sont décrites ci-dessous :

Champ	Description des champs dans le fichier de registre : 0x15 – Recevoir l'horodatage
RX_STAMP reg:15:00 bits:39–0	<p>Ce champ de 40 bits (5 octets) signale le. L'heure de réception entièrement ajustée. Veuillez vous référer à la section <a href="#">4.1.6 – Horodatage du message RX</a> pour plus de détails sur les ajustements appliqués. Les unités du bit de poids faible sont d'environ 15,65 picosecondes. L'unité réelle peut être calculée comme <math>1 / (128 * 499,2 \times 10^6)</math> secondes.</p> <p>La valeur est disponible ici lorsque la détermination du front montant et les réglages de l'horodatage sont terminés (lorsque le bit d'état LDEDONE est défini).</p>
FP_INDEX reg:15:05 bits:15–0	<p>Index du premier chemin. Il s'agit d'une valeur de 16 bits indiquant la position dans l'accumulateur que l'algorithme LDE a déterminée comme étant le premier chemin. Cette valeur est définie lors de l'analyse des données de l'accumulateur par l'algorithme LDE et est mise à jour lorsque l'exécution LDE est terminée (lorsque le bit d'état LDEDONE est défini). Cette valeur peut être utile pendant la représentation graphique de diagnostic des données d'accumulateur, et peut également être utile pour évaluer la qualité du message reçu et/ou l'horodatage de réception produit par le LDE. Pour plus de détails à ce sujet, veuillez vous reporter à la section <a href="#">4.7 - Évaluation de la qualité de réception et de l'horodatage RX</a>.</p> <p>Le premier chemin (ou bord avant) est une quantité inférieure à la nanoseconde. Chaque prise dans l'accumulateur correspond à un temps d'échantillonnage, qui est d'environ 1 nanoseconde (ou 30 cm en termes de temps de vol du signal radio dans l'air). Pour signaler la position du bord d'attaque avec plus de précision que cette taille de pas de 1 nanoseconde, la valeur d'index se compose d'une partie entière et d'une partie fractionnaire. Les 10 bits les plus significatifs de FP_INDEX représentent la partie entière du nombre et les 6 bits les moins significatifs représentent la partie fractionnaire.</p>
FP_AMPL1 reg:15:05 bits:31–16	<p>Premier point d'amplitude de chemin 1. Il s'agit d'une valeur non signée de 16 bits qui fait partie du rapport de l'amplitude du signal de front avant vu dans la mémoire de données de l'accumulateur pendant l'analyse de l'algorithme LDE. L'amplitude de l'échantillon reportée dans le paramètre FP_AMPL1 est l'amplitude de la prise d'accumulateur à l'indice 3 au-delà de la partie entière du front montant FP_INDEX reportée dans ce registre. La valeur d'amplitude FP_AMPL1 peut être utilisée, conjointement avec les valeurs FP_AMPL2 et FP_AMPL3 rapportées dans le <a href="#">fichier de registre : 0x12 - Rx Frame Quality Information</a>, dans le cadre de l'évaluation de la qualité de l'horodatage de réception produit par l'algorithme LDE. Pour plus de détails, veuillez vous référer à la section <a href="#">4.7 – Évaluation de la qualité de réception et de l'horodatage RX</a>.</p> <p>Cette valeur est mise à jour lorsque l'exécution LDE est terminée (lorsque le bit d'état LDEDONE est activé).</p>
RX_RAWST reg:15:09 bits:39–0	<p>Ce champ de 40 bits (5 octets) signale l'horodatage brut de la trame. Il s'agit de la valeur de l'horloge système (125 MHz) capturée au moment du premier chip du premier symbole PHR. La précision est ici d'environ 125 MHz, c'est-à-dire que les 9 bits de poids faible sont nuls.</p> <p>Lorsque le PHR a été décodé avec succès (lorsque le bit d'état RXPHD est défini), l'horodatage sera disponible pour la lecture. Si une erreur PHR est détectée, l'horodatage ne sera pas mis à jour.</p>

## 7.2.24 Fichier registre : 0x16 – Réservé

	Longueur (octets)	Type Mnémonique	Description	
0x16	-	-	-	Réservé – ce fichier de registre est réservé

Le fichier de registre [de carte de registre](#) 0x16 est réservé pour une utilisation future. Veillez à ne pas écrire dans ce registre car cela pourrait entraîner un dysfonctionnement du DW1000.

### 7.2.25 Fichier de registre : 0x17 – Horodatage de transmission

IDENTIFIANT	Longueur (octets)	Type Mnémonique	Description
0x17	dix	RO TX_TIME	Horodatage de transmission

Le fichier de registre [de carte de registre](#) 0x17 rapporte les informations d'horodatage de transmission. Lors de la transmission de la trame, le début du PHR est le point nominal qui est horodaté par le CI. La norme IEEE 802.15.4 UWB appelle ce point le RMARKER. Le DW1000 prend un horodatage du symbole dans lequel l'événement RMARKER se produit et y ajoute le retard d'antenne pour donner une valeur d'horodatage résultante, du moment où le RMARKER est lancé de l'antenne.

Ce registre TX\_TIME contient les sous-champs suivants :

REG:17:00 – TX_TIME – Horodatage de transmission (octets 0 à 3, 32 bits) 31 30 29 28		
27	26	25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0
TX_STAMP (32 bits bas d'une valeur de		
40 bits)	0 0	

REG:17:04 – TX_TIME – Horodatage de transmission (octets 4 à 7, 32 bits) 31 30 29 28		
27	26	25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0
TX_RAWST (bas 24 bits de valeur 40 bits)		TX_STAMP (8 bits de poids fort
sur 40)	0 0	

REG:17:08 – TX_TIME – Horodatage de transmission (octets 8 à 9, 16 bits) 31 30 29 28		
27	26	25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0
TX_RAWST (16 bits de poids fort sur une valeur de 40 bits)		0 0

Les sous-champs du [fichier de registre : 0x17 - Transmit Time Stamp](#) sont disposés ci-dessus dans une carte de 32 bits de large. Il est possible de lire un nombre variable d'octets sur n'importe quel indice d'octet. Les sous-champs individuels sont décrits ci-dessous :

Champ	Description des champs dans le fichier de registre : 0x17 – Horodatage de transmission
TX_STAMP reg:17:00 bits:39–0	Ce champ de 40 bits (5 octets) signale l'heure de transmission entièrement ajustée. L'unité du bit le moins significatif est d'environ 15,65 picosecondes. L'unité réelle peut être calculée comme $1 / (128 * 499.2 \times 10^6)$ secondes. La valeur est disponible ici lorsque la transmission PHR est terminée.
TX_RAWST reg:17:05 bits:39–0	Ce champ de 40 bits (5 octets) signale l'horodatage brut de la trame. Il s'agit de la valeur de l'horloge système (125 MHz) capturée au moment du premier chip du premier symbole PHR. La précision est ici d'environ 125 MHz, c'est-à-dire que les 9 bits de poids faible sont nuls.

### 7.2.26 Fichier de registre : 0x18 – Retard de l'antenne de l'émetteur

IDENTIFIANT	Longueur (octets)	Type Mnémonique	Description
0x18	2	RW TX_ANTD	Délai de 16 bits entre la transmission et l'antenne

Le fichier de registre [de carte de registre](#) 0x18, le délai d'antenne de l'émetteur, est utilisé pour tenir compte du délai entre l'horodatage numérique interne du RMARKER (au début du PHR) et le moment où le RMARKER est à l'antenne. La valeur programmée ici est automatiquement ajoutée à l'horodatage brut TX\_RAWST pour obtenir le TX\_STAMP rapporté dans [le fichier de registre : 0x17 – Transmit Time Stamp](#). Reportez-vous à la section [8.3 – Étalonnage IC – Délai d'antenne](#) pour plus de détails sur l'étalement du délai d'antenne. Les unités ici sont les mêmes que celles utilisées pour l'heure système et les horodatages, c'est-à-dire 499,2 MHz × 128, de sorte que le bit le moins significatif est d'environ 15,65 picosecondes.

NB : [Ce registre n'est pas conservé pendant SLEEP ou DEEPSLEEP et nécessite donc une reprogrammation après un événement de réveil afin d'obtenir le réglage correct du TX STAMP.](#)

Le TX\_ANTD est corrompu pendant le réveil (en supposant que le bit ONW\_LDC dans le [sous-registre 0x2C: 00 - AON\\_WCFG](#) est défini pour restaurer les configurations) l'octet haut du retard de l'antenne de réception tel que configuré dans le [sous-registre 0x2E: 1804 - LDE\\_RXANTD](#) écrase le octet de poids faible de TX\_ANTD.

### 7.2.27 Fichier de registre : 0x19 – Informations d'état DW1000

IDENTIFIANT	Longueur (octets)	Type Mnémonique	Description
0x19	4	RO SYS_STATE	Informations sur l'état du système

Le fichier de registre [de carte de registre](#) 0x19 contient des informations sur l'état actuel du DW1000.

REG:19:00 – SYS_STATE – Informations système (octets 0 à 3) 31 30 29 28 27 26																									
25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Réserve	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Le fichier de registre [de carte de registre](#) 0x19 est le registre d'état des événements système, SYS\_STATUS. Il contient des bits qui indiquent l'état dans lequel se trouve le DW1000. Le registre SYS\_STATUS contient les bits d'état du DW1000 identifiés et décrit ci-dessous:

Champ	Description des champs dans le fichier de registre : 0x0F - Registre d'état des événements système	
TX_STATE reg:19:00 bit : 3-0	Valeur actuelle de la machine d'état de transmission : 0x0 - IDLE 0x1 - PREAMBLE 0x2 - SFD 0x3 - PHR 0x4 - SDE 0x5 - DONNÉES	Description L'émetteur est INACTIF Transmettre le préambule, Transmission SFD Transmission des données d'en-tête PHY Transmission des bits SECDED de parité PHR Bloc de données de transmission (330 symboles)
TX_STATE reg:19:00 bit : 7-4	Réserve	

Champ	Description des champs dans le fichier de registre : 0x0F - Registre d'état des événements système	
RX_STATE reg:19:00 bit : 11:8	<u>Valeur actuelle de la machine d'état de réception</u> 0x00 - IDLE 0x01 - START_ANALOG. 0x04 - RX_RDY 0x05 - PREAMBLE_FND 0x06 - PRMBL_TIMEOUT 0x07 - SFD_FND 0x08 - CNFG_PHR_RX 0x09 - PHR_RX_STRT 0x0A - DATA_RATE_RDY 0x0C - DATA_RX_SEQ 0x0D - CNFG_DATA_RX 0x0E - PHR_NOT_OK 0x10F -OK 0x11 - RSD_DONE 0x11 - RSD_OK 0x12 - RSD_NOT_OK 0x13 - RECONFIG_110 0x14 - WAIT_110_PHR	<u>Description</u> Le récepteur est inactif Démarrer les blocs récepteurs analogiques Récepteur prêt Le récepteur attend de détecter le préambule Délai d'expiration du préambule SFD trouvé Configurer pour la réception PHR La réception PHR a commencé Prêt pour la réception des données Réception des données Configurer pour les données Erreur PHR Dernier symbole reçu Attendez que le décodeur Reed Solomon se termine Reed Solomon correct Erreur Reed Solomon Reconfigurer pour les données à 110 kbit/s Attendre 110 kbps PHR
RX_STATE reg:19:00 bit : 15:12	Réservé	
PMSC_STATE reg:19:00 bit : 23:16	<u>Valeur actuelle de la machine d'état PMSC</u> 0x0 - INIT 0x1 - IDLE 0x2 - TX_WAIT 0x3 - RX_WAIT 0x4 - TX 0x5 - RX	<u>Description</u> DW1000 est en INIT DW1000 est au repos DW1000 attend pour commencer à transmettre DW1000 attend pour entrer en mode de réception DW1000 transmet DW1000 est en mode réception
rég:19:00 bits : 31:24	Réservé	

### 7.2.28 Fichier registre : 0x1A – Temps d'acquittement et temps de réponse

Identifiant	Longueur (octets)	Type Mnémonique	Description
0x1A	4	RW ACK_RESP_T Temps	d'accusé de réception et temps de réponse

Le fichier de registre [de carte de registre](#) 0x1A est un registre de configuration utilisé pour spécifier les délais d'exécution du DW1000 à utiliser lors de la commutation automatique entre le mode TX et les modes RX. Le registre ACK\_RESP\_T contient les sous-champs bitmap suivants :

REG:1A:00 – ACK_RESP – Informations sur la trame RX 31 30																															
29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
ACK_TIM 0																W4R_TIM 0															
0 0 0 0																															

Les sous-champs individuels sont décrits ci-dessous :

Champ	Description des champs dans le fichier de registre : 0x1A - Temps d'accusé de réception et temps de réponse Délai								
W4R_TIM reg:1A:00 bits:19–0	d'attente de réponse. Ce champ de 20 bits est utilisé pour configurer le temps de rotation entre TX terminé et RX activé lorsque la fonction d'attente de réponse est utilisée. Cette fonction est activée par le contrôle WAIT4RESP dans <a href="#">le fichier Register : 0x0D – System Control Register</a> . Le temps spécifié par ce paramètre W4R_TIM est exprimé en unités d'environ 1 µs ou 128 cycles d'horloge système. Cette configuration peut être utilisée pour économiser de l'énergie en retardant l'allumage du récepteur, pour s'aligner sur le temps de réponse du système distant, plutôt que d'allumer le récepteur immédiatement après la fin de la transmission. Pour plus de détails, voir la section <a href="#">5.4 – Transmettre et attendre automatiquement la réponse</a> .								
ACK_TIM reg:1A:00 bits:31–24	Délai d'exécution de l'accusé de réception automatique. Ce champ de 8 bits permet de configurer le temps de retour entre la bonne réception d'une trame de données (ou d'une trame de commande MAC) et l'émission par le DW1000 de la trame d'acquittement. Le temps est ici spécifié en unités de symboles de préambule. (Ce temps résultant est légèrement différent selon que le PRF est de 16 ou 64 MHz, voir le Tableau 60 pour plus de détails sur les longueurs des symboles de préambule). Ce temporisateur ne s'applique que si l'accusé de réception automatique est utilisé et n'agit alors que lorsque la trame est correctement reçue, en passant par les règles de filtrage de trame RX, et lorsque le bit ACK dans l'en-tête MAC de la trame est défini pour demander un accusé de réception. Veuillez vous reporter à la section <a href="#">5.3 – Acquittement automatique</a> pour plus de détails sur la fonction d'acquittement automatique. Pour s'assurer que le récepteur est prêt pour le premier symbole de préambule, et en supposant que le DW1000 distant a son paramètre W4R_TIM défini sur 0, les paramètres ACK_TIM minimum recommandés sont les suivants :								
-	<table border="1" data-bbox="599 1110 1144 1312"> <thead> <tr> <th>Débit de données</th> <th>Recommander min. ACK_TIM</th> </tr> </thead> <tbody> <tr> <td>110 kbit/s</td> <td>0</td> </tr> <tr> <td>850 kbit/s</td> <td>2</td> </tr> <tr> <td>6,8 Mbit/s</td> <td>3</td> </tr> </tbody> </table> <p>Ceci est particulièrement important au débit de données de 6,8 Mbps, où les séquences de préambule sont généralement courtes, et la perte même de quelques symboles de préambule pourrait potentiellement compromettre la réception ACK. Lorsque le paramètre W4R_TIM est supérieur à zéro, le paramètre ACK_TIM doit également être augmenté pour s'assurer qu'aucune trame n'est envoyée avant que le récepteur distant n'écoute.</p> <p>Les bits marqués '-' sont réservés et doivent toujours être écrits comme zéro.</p>	Débit de données	Recommander min. ACK_TIM	110 kbit/s	0	850 kbit/s	2	6,8 Mbit/s	3
Débit de données	Recommander min. ACK_TIM								
110 kbit/s	0								
850 kbit/s	2								
6,8 Mbit/s	3								

## 7.2.29 Fichiers de registre : 0x1B et 0x1C – Réservé

	Longueur (octets)	Type Mnémonique		Description
0x1B	-	-	-	Réservé – ce fichier de registre est réservé
0x1C	-	-	-	Réservé – ce fichier de registre est réservé

[Enregistrez](#) le fichier de registre de carte 0x1B et 0x1C sont réservé pour une utilisation future. Veuillez à ne pas écrire dans ces registres car cela pourrait entraîner un dysfonctionnement du DW1000.

### 7.2.30 Fichier de registre : 0x1D – Mode SNIFF

Environnement	Longueur (octets)	Type M	Hédonique	Description
0x1D	4	RW	RX_SNIFF	Configuration du mode détection

Le fichier de registre [de carte de registre](#) 0x1D est utilisé pour la configuration du mode SNIFF, qui est une technique d'économie d'énergie qui peut être utilisée pour réduire la consommation d'énergie de la détection de préambule. Pour une réception de préambule normale, le récepteur recherche continuellement le préambule, tandis qu'en mode SNIFF, le récepteur échantillonne ("renifle") l'air périodiquement sur une base temporisée, revenant au mode inactif du récepteur entre les deux.

Le dispositif de transmission doit envoyer un préambule suffisamment long pour permettre au mode SNIFF de fonctionner et laisser suffisamment de préambule restant par la suite pour obtenir une bonne réception et un bon horodatage RX.

L'économie d'énergie dépend des heures de marche/arrêt configurées pour cet échantillonnage. Voir également la section

[2.4.2 – Séquences d'état spécifiques prises en charge par le DW1000](#) et [4.5 – Mode SNIFF basse consommation](#)

pour une discussion supplémentaire. La configuration se compose des champs identifiés et décrits ci-dessous :

REG:1D:00 – RX_SNIFF – Configuration mode SNIFF 31 30																																		
29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0					
.....	.....	.....	.....	-	-	...	.....	-	-	...	.....	-	...	.....	-	.....	-	.....	-	.....	-	.....	-	.....	-	.....	-	.....	-	.....	-			
.....	.....	.....	.....	-	-	...	.....	-	-	...	.....	-	...	.....	-	.....	SNIFF_OFFT	-	-	-	-	SNIFF_ONT	0	0	0	0	0	0	0	0	0	0	0	
.....	.....	.....	.....	-	-	...	.....	-	-	...	.....	-	...	.....	-	.....	0	.....	.....	.....	.....	.....	.....	.....	.....	.....	.....	.....	.....	.....	.....	.....	0	0

Les sous-champs individuels sont décrits ci-dessous :

Champ	Description des champs dans le fichier de registre : 0x1D - Mode SNIFF
-	Les bits marqués '-' sont réservés.
SNIFF_ONT reg:1D:00 bits:3–0	Temps d'activation du mode SNIFF. Ce paramètre est spécifié en unités de PAC. Pour plus de détails sur PAC et son rôle dans la détection de préambule, veuillez vous référer à la section <a href="#">4.1.1 – Détection de préambule</a> . Une valeur de zéro désactivera le mode SNIFF. Une valeur différente de zéro activera le mode de détection de préambule et sélectionnera la durée d'activation du récepteur pendant la recherche de préambule. NB : Il doit être au minimum de 2 pour que le CI prenne correctement une décision de détection de préambule. Si un préambule est détecté pendant cette fenêtre de temps, le récepteur restera allumé et continuera à tenter de recevoir la trame. Si aucun préambule n'est détecté, le récepteur retournera en mode inactif pendant le temps configuré par le paramètre SNIFF_OFFT avant de rééchantillonner.
SNIFF_OFFT reg:1D:00 bits:15–8	Temps de désactivation du mode SNIFF spécifié en $\mu$ s. Ce paramètre est spécifié en unités d'environ 1 $\mu$ s ou 128 cycles d'horloge système. Une valeur de zéro désactivera le mode SNIFF. Une valeur différente de zéro activera le mode SNIFF et sélectionnera la durée pendant laquelle le récepteur est éteint pendant la recherche de préambule. Veuillez vous référer à la description SNIFF_ONT ci-dessus pour plus de détails sur cette fonctionnalité.

Par exemple, avec une longueur de préambule de 1024, un rapport cyclique d'environ 50 % (sur 50 % et sur 50 %) peut être configuré avec un PAC de 8 symboles, SNIFF\_ONT défini sur 3 intervalles PAC et SNIFF\_OFFT défini sur 24 microsecondes. Le coût de performance de celui-ci en termes de portée est < 1 dB.

### 7.2.31 Fichier de registre : 0x1E - Contrôle de la puissance d'émission

IDENTIFIANT	Longueur (octets)	Type Mnémonique	Description
0x1E	4	RW TX	POWER Contrôle de puissance TX

Le fichier de registre [de carte de registre](#) 0x1E est utilisé pour la configuration et le contrôle de la puissance de sortie de l'émetteur.

Normalement, il est souhaitable de transmettre à (juste en dessous) la puissance maximale autorisée par les réglementations pour la zone géographique de déploiement simplement parce que plus la puissance est élevée, plus le signal ira loin, bien que dans certaines circonstances, il peut être souhaitable de réduire la puissance pour limiter la plage de fonctionnement ou pour d'autres raisons.

Pour optimiser les performances, il est nécessaire (en raison des variations dans les circuits RF internes au CI et dans les composants externes) de vérifier la puissance de sortie lors des tests de fabrication du module et de stocker une valeur d'étalonnage pour régler la puissance de sortie du module aussi élevée que possible dans les limites de la réglementation.

(Le DW1000 dispose d'une zone de mémoire OTP réservée à cet effet. Veuillez vous reporter à la section 8 – [Étalonnage DW1000](#) et à la section 6.3 – [Utilisation de la mémoire OTP sur puce](#) pour plus de détails).

La puissance de sortie de l'émetteur peut être ajustée à l'aide de ce [fichier de registre : 0x1E - Transmit Power Control](#). Celui-ci contient quatre octets dont chacun spécifie un réglage de puissance d'émission distinct. Ces paramètres distincts sont appliqués par le CI de l'une des deux manières. Ces deux alternatives sont décrites dans la section 7.2.31.2 – [Smart](#)

[Contrôle de la puissance de transmission](#) et section 7.2.31.3 – [Contrôle manuel de la puissance de transmission](#) ci-dessous. Le choix entre ces deux alternatives sont sélectionnées par la définition du bit DIS\_STXP dans [le fichier de registre : 0x04 – Configuration système](#).

#### 7.2.31.1 Unités de contrôle de puissance TX

Chaque octet de contrôle de puissance, dans [le fichier de registre : 0x1E - Transmit Power Control](#), spécifie la puissance sous la forme d'une combinaison d'un paramètre de gain grossier et d'un paramètre de gain fin.

La plage de contrôle de gain est de 30,5 dB et comprend 32 pas de contrôle fin (gain du mélangeur) de 0,5 dB et 7 pas de contrôle grossier (gain DA) de 2,5 dB, voir Figure 26. Pour obtenir la meilleure forme spectrale, le gain grossier doit être réglé en premier.

Pour des performances optimales (comme indiqué dans la section 7.2.31), les fabricants doivent calibrer la puissance TX de chaque unité pour tenir compte des variations IC à IC et des différents IC à pertes d'antenne. Habituellement, la puissance TX est réglée sur le maximum autorisé par les réglementations d'émission spectrale (-41,3 dBm/MHz) et de telle sorte qu'aucune autre limite hors bande ne soit dépassée.

Il convient de noter que si vous envisagez d'utiliser le paramètre DA 000, vous devez vous assurer d'une bonne isolation entre les broches VDDPA1 et VDDPA2, sinon ce paramètre peut entraîner une compression du signal TX. (Une bonne isolation nécessite des pistes PCB sur chacune de ces broches.)

Bit number	7	6	5	4	3	2	1	0
Meaning	Coarse (DA Setting)				Fine (Mixer) Setting			

000 = 15 dB gain
001 = 12.5 dB gain
010 = 10 dB gain
011 = 7.5 dB gain
100 = 5 dB gain
101 = 2.5 dB gain
110 = 0 dB gain
111= OFF (No output)

00000 = 0.0 dB gain
00001 = 0.5 dB gain
00010 = 1.0 dB gain
00011 = 1.5 dB gain
00100 = 2.0 dB gain
00101 = 2.5 dB gain
.....
11010 = 13.0 dB gain
11011 = 13.5 dB gain
11100 = 14.0 dB gain
11101 = 14.5 dB gain
11110 = 15.0 dB gain
11111 = 15.5 dB gain

Figure 26 : Octet de commande de puissance d'émission

### 7.2.31.2 Contrôle intelligent de la puissance de transmission

Cette fonctionnalité s'applique lorsque le bit Disable Smart TX Power Control DIS\_STXP dans [le fichier de registre : 0x04 – System Configuration](#) est à zéro (non défini).

Les réglementations de puissance de sortie spécifient généralement une limite de puissance d'émission de -41,3 dBm dans chaque bande passante de 1 MHz, et mesurent généralement cela en utilisant un temps de séjour de 1 ms dans chaque segment de 1 MHz. Lors de l'envoi de trames courtes à 6,8 Mbps, il est possible qu'une seule trame soit envoyée en une fraction de milliseconde. À condition que l'émetteur n'émette pas à nouveau dans cette même milliseconde, la puissance de cette émission peut être augmentée au-delà de la limite de -41,3 dBm tout en restant conforme à la réglementation. Cette augmentation de puissance de transmission augmentera le budget de liaison et la portée de communication. Pour en faire usage, le DW1000 inclut une fonctionnalité appelée Smart Transmit Power Control qui augmente automatiquement la puissance TX pour une transmission lorsque la trame est courte.

Le contrôle de puissance Smart TX agit au débit de données de 6,8 Mbps. Lors de l'envoi de trames de données courtes à ce débit (et à condition que le débit de transmission de trame soit < 1 trame par milliseconde), il est possible d'augmenter la puissance de transmission tout en restant dans les limites de puissance réglementaires qui sont généralement spécifiées comme puissance moyenne par milliseconde.

Lorsque DIS\_STXP est 0 et que le débit de données est configuré sur 6,8 Mbps, l'alimentation Smart Tx est activée. Le DW1000 sélectionne l'un des champs du registre de contrôle de puissance TX (BOOSTxxxx) en fonction de la durée globale de la trame.

REG:1E:00 – TX_POWER – Contrôle de la puissance d'émission (lorsque DIS_STXP = 0) 31 30																														
29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
BOOTP125							BOOTP250							BOOTP500							NORME BOOST									
0x0E							0x08							0x02							0x22									

Les sous-champs individuels sont décrits ci-dessous :

Champ	Description des champs dans le fichier de registre : 0x1E - Transmit Power Control (lorsque DIS_STXP est 0)
NORME BOOST reg:1E:00 bits:7-0	Il s'agit du réglage de puissance normal utilisé pour les trames qui ne correspondent pas aux critères de débit de données et de longueur de trame requis pour une amplification, c'est-à-dire que la durée de trame est supérieure à 0,5 ms.  C'est également le réglage de puissance utilisé pour la partie PHR du cadre pour les trois autres cas.  Section <a href="#">7.2.31.1 – Unités de TX Power Control</a> détaille la programmation de cette valeur.

Champ	Description des champs dans le fichier de registre : 0x1E - Transmit Power Control (lorsque DIS_STXP est 0)
BOOTP500  reg:1E:00 bits:15-8	<p>Cette valeur définit la puissance appliquée aux portions de préambule et de données de la trame pendant la transmission au débit de données de 6,8 Mbps pour les trames d'une durée inférieure à 0,5 ms, déterminée par les critères suivants :</p> <ul style="list-style-type: none"> <li>-- Longueur de préambule de 64 symboles et longueur de trame de &lt;= 333 octets.</li> <li>-- Longueur de préambule de 128 symboles et longueur de trame de &lt;= 281 octets.</li> <li>-- Longueur de préambule de 256 symboles et longueur de trame de &lt;= 166 octets.</li> </ul> <p>Au moins une augmentation de puissance de 3 dB peut être configurée ici tant que le système externe maintient la fréquence d'images en dessous de 1 image par milliseconde pour s'assurer que l'augmentation de puissance n'enfreint pas les réglementations. La quantité réelle d'augmentation de puissance pouvant être appliquée peut être calculée comme suit : -</p> $( ) = 10 \log_{10} \frac{1000 \text{ mètres}}{(\mu)}$ <p>Section <a href="#">7.2.31.1 – Unités de TX Power Control</a> détaille la programmation de cette valeur.</p>
BOOTP250  reg:1E:00 bits:23-16	<p>Cette valeur définit la puissance appliquée aux portions de préambule et de données de la trame pendant la transmission au débit de données de 6,8 Mbps pour les trames d'une durée inférieure à 0,25 ms, déterminée par les critères suivants :</p> <ul style="list-style-type: none"> <li>-- Longueur de préambule de 64 symboles et longueur de trame de &lt;= 123 octets.</li> <li>-- Longueur de préambule de 128 symboles et longueur de trame de &lt;= 67 octets.</li> </ul> <p>Au moins une augmentation de puissance de 6 dB peut être configurée ici tant que le système externe maintient la fréquence d'images en dessous de 1 image par milliseconde pour s'assurer que l'augmentation de puissance n'enfreint pas les réglementations. La quantité réelle d'augmentation de puissance pouvant être appliquée peut être calculée comme suit : -</p> $( ) = 10 \log_{10} \frac{1000 \text{ mètres}}{(\mu)}$ <p>Section <a href="#">7.2.31.1– Unités de contrôle de puissance TX</a> détaille la programmation de cette valeur.</p>
BOOTP125  reg:1E:00 bits:31-24	<p>Cette valeur définit la puissance appliquée aux portions de préambule et de données de la trame pendant la transmission au débit de données de 6,8 Mbps pour les trames d'une durée inférieure à 0,125 ms, déterminée par les critères suivants :</p> <ul style="list-style-type: none"> <li>-- Longueur de préambule de 64 symboles, longueur SFD &lt;= 16 symboles et longueur de trame &lt;= 15 octets.</li> <li>-- Longueur de préambule de 64 symboles, longueur SFD &lt;= 12 symboles et longueur de trame &lt;= 19 octets.</li> <li>-- Longueur de préambule de 64 symboles, longueur SFD de 8 symboles et longueur de trame &lt;= 23 octets.</li> </ul> <p>À 64 MHz PRF, une augmentation de puissance de 9 dB peut être configurée ici tant que le système externe maintient la fréquence d'images en dessous de 1 image par milliseconde pour s'assurer que l'augmentation de puissance n'enfreint pas les réglementations. À 16 MHz PRF, l'amplification de puissance doit être réglée sur la même valeur de 6 dB utilisée pour la configuration BOOTP250 pour éviter de dépasser les réglementations de puissance de crête.</p> <p>Section <a href="#">7.2.31.1 – Unités de TX Power Control</a> détaille la programmation de cette valeur.</p>

## 7.2.31.3 Contrôle manuel de la puissance de transmission

Cette fonctionnalité s'applique lorsque le bit Disable Smart TX Power Control DIS\_STXP dans [le fichier Register : 0x04 - System Configuration](#) est défini sur 1. Dans ce cas, il est possible d'exercer un contrôle de puissance sur la partie PHR de la trame de transmission et sur le reste de la trame de transmission séparément. Veuillez vous reporter à la section [10.1 – Vue d'ensemble de la structure de la trame](#) pour plus de détails sur la structure de la trame. Il est possible de booster la puissance pour le châssis hors partie PHR et de rester dans les limites réglementaires si les châssis sont courts, voir § 7.2.31.2. La partie PHR du châssis est contrôlée séparément afin que la puissance puisse être augmentée sans violer les limites réglementaires de puissance de crête. Cependant, en général, les réglages de puissance pour les deux parties du cadre doivent être programmés à la même valeur.

Lorsque DIS\_STXP vaut 1, les champs du registre TX Power Control sont définis comme suit :

REG:1E:00 – TX_POWER – Contrôle de la puissance d'émission (lorsque DIS_STXP = 1) 31 30																															
29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
Sans objet 0x0E								TXPOWSD								TXPOWPHR								Sans objet 0x22							
								0x08								0x02															

Les sous-champs individuels sont décrits ci-dessous.

Champ	Description des champs dans le fichier de registre : 0x1E - Transmit Power Control (lorsque DIS_STXP est 0)
TXPOWPHR reg:1E:00 bits:15-8	Ce paramètre de puissance est appliqué lors de la transmission de la partie d'en-tête PHY (PHR) de la trame. Section <a href="#">7.2.31.1 – Unités de TX Power Control</a> détaille la programmation de ceci.  <b>AVERTISSEMENT :</b> La valeur par défaut du registre ici est pour le mode de fonctionnement de contrôle intelligent de l'alimentation (comme décrit dans la section <a href="#">7.2.31.2 ci-dessus</a> ) mais peut être trop élevée pour le cas d'utilisation manuelle. Afin de se conformer aux réglementations régionales en matière de spectre, il doit être réduit au niveau approprié pour les circuits RF externes et la conformité aux réglementations.
TXPOWSD reg:1E:00 bits:23-16	Ce réglage de puissance est appliqué lors de la transmission de l'en-tête de synchronisation (SHR) et des portions de données de la trame. Le SHR se compose des parties préambule et SFD de la trame qui précèdent le PHR, et la partie Données de la trame est la partie qui suit le PHR. Section <a href="#">7.2.31.1 – Unités de TX Power Control</a> détaille la programmation de cette valeur.  <b>AVERTISSEMENT :</b> La valeur par défaut du registre ici est pour le mode de fonctionnement de contrôle intelligent de l'alimentation (comme décrit dans la section <a href="#">7.2.31.2 ci-dessus</a> ) mais peut être trop élevée pour le cas d'utilisation manuelle. Afin de se conformer aux réglementations régionales en matière de spectre, il doit être réduit à un niveau approprié pour les circuits RF externes et la conformité aux réglementations.

Les valeurs du Tableau 19 s'appliquent lorsque l'alimentation Smart TX est utilisée (c'est-à-dire le bit Disable Smart TX Power Control DIS\_STXP dans [le fichier de registre : 0x04 - System Configuration](#) est zéro, non défini), et les valeurs du Tableau 20 s'appliquent lorsque l'alimentation Smart TX est désactivée. (c'est-à-dire DIS\_STXP=1).

## 7.2.31.4 Valeurs de référence de contrôle de puissance de transmission

Les valeurs de référence pour le réglage [du fichier de registre : 0x1E – Contrôle de la puissance d'émission](#) sont données ci-dessous dans le Tableau 19 et le Tableau 20. Celles-ci peuvent être utilisées comme point de départ pour l'étalonnage de la puissance d'émission. Ils sont basés sur un CI typique et une perte supposée du CI à l'antenne de 1,5 dB avec une antenne de 0 dBi. Généralement, pour éviter les émissions spectrales hors bande, le gain du mélangeur doit être maintenu faible, mais l'augmentation du gain DA augmentera la consommation de courant. Les valeurs du Tableau 19 et du Tableau 20 dépendent du canal sélectionné (fréquence) et de

la PRF configurée. Ces paramètres sont conçus pour fournir une densité spectrale de puissance nominale de -41,3 dBm/MHz à l'antenne, en supposant une perte de 1,5 dB (due au symétriseur et aux traces RF) entre la sortie IC et l'antenne.

Les valeurs du Tableau 19 s'appliquent lorsque l'alimentation Smart TX est utilisée (c'est-à-dire le bit Disable Smart TX Power Control DIS\_STXP dans le fichier de registre : 0x04 - System Configuration est zéro, non défini), et les valeurs du Tableau 20 s'appliquent lorsque l'alimentation Smart TX est désactivée. (c'est-à-dire DIS\_STXP = 1).

Tableau 19 : Valeurs de référence pour le fichier de registre : 0x1E – Transmit Power Control, pour Smart Transmit Power Contrôle

Canal d'émission	Exemple de fichier de registre : 0x1E – Valeurs de contrôle de puissance de transmission pour 16 MHz, avec DIS_STXP = 0	Exemple de fichier de registre : 0x1E – Valeurs de contrôle de puissance de transmission pour 64 MHz, avec DIS_STXP = 0
1, 2	0x15355575	0x07274767
3	0x0F2F4F6F	0x2B4B6B8B
4	0x1F1F3F5F	0x3A5A7A9A
5	0x0E082848	0x25466788
7	0x32527292	0x5171B1D1

Tableau 20 : Valeurs de référence Fichier de registre : 0x1E – Contrôle de la puissance de transmission pour la puissance de transmission manuelle Contrôle (Smart Transmit Power Control désactivé)

Canal d'émission	Exemple de fichier de registre : 0x1E – Valeurs de commande de puissance de transmission pour 16 MHz, avec DIS_STXP = 1	Exemple de fichier de registre : 0x1E – Valeurs de commande de puissance de transmission pour 64 MHz, avec DIS_STXP = 1
1, 2	0x75757575	0x67676767
3	0x6F6F6F6F	0x8B8B8B8B
4	0x5F5F5F5F	0x9A9A9A9A
5	0x48484848	0x85858585
7	0x92929292	0xD1D1D1D1

Remarque : Les octets haut et bas des valeurs 32 bits du Tableau 20 ne sont pas pertinents lorsque l'alimentation TX intelligente est désactivée.

### 7.2.32 Fichier de registre : 0x1F - Contrôle de canal

Identifiant	Longueur (octets)	Type Mnémonique	Description
0x1F	4	RW CHAN_CTRL	Registre de contrôle de canal

Le fichier de registre [de carte de registre](#) 0x1F est le registre de contrôle de canal. Ceci est utilisé pour sélectionner les canaux de transmission et de réception, et configurer les codes de préambule et certains paramètres associés.

Les champs du registre de contrôle de canal sont définis comme suit :

REG:1F:00 – CHAN_CTRL – Registre de contrôle de canal 31 30																															
29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
RX_PCODE	TX_PCODE																														
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Les sous-champs individuels sont décrits ci-dessous :

Champ	Description des champs dans le fichier de registre : 0x1F – Contrôle du canal Ceci
TX_CHAN reg:1F:00 bits:3–0	sélectionne le canal de transmission. Les canaux pris en charge sont 1, 2, 3, 4, 5 et 7. Les autres valeurs ne doivent pas être utilisées. TX_CHAN et RX_CHAN (ci-dessous) doivent être définis sur la même valeur. La sélection complète du canal TX nécessite que les paramètres suivants soient également définis de manière appropriée : • <a href="#">Sous-registre 0x28:0C – RF_RXCTRL</a> • <a href="#">Sous-registre 0x2A:0B – TC_PGDELAY</a> • <a href="#">Sous-registre 0x2B:07 – FS_PLLCFG</a> Pour un fonctionnement correct du DW1000 et la conformité à la norme IEEE 802.15.4 UWB, le code de préambule doit être défini en fonction du canal d'exploitation. Pour plus de détails sur les fréquences centrales et les codes de préambule des canaux pris en charge, veuillez vous reporter à la section 10.5 – Canaux UWB et codes de préambule.
RX_CHAN reg:1F:00 bits:7–4	Ceci sélectionne le canal de réception. Les canaux pris en charge sont 1, 2, 3, 4, 5 et 7. Les autres valeurs ne doivent pas être utilisées. RX_CHAN et TX_CHAN (ci-dessus) doivent être définis sur la même valeur. La sélection complète du canal RX nécessite que les paramètres suivants soient également définis correctement : • <a href="#">Sous-registre 0x28:0B – RF_RXCTRLH</a> • <a href="#">Sous-registre 0x2B:07 – FS_PLLCFG</a> Pour un fonctionnement correct du DW1000 et la conformité à la norme IEEE 802.15.4 UWB, le code de préambule doit être défini en fonction du canal d'exploitation. Pour plus de détails sur les fréquences centrales et les codes de préambule des canaux pris en charge, veuillez vous reporter à la section 10.5 – Canaux UWB et codes de préambule.
- reg:1F:00 bits:16–8	Les bits marqués '-' dans le registre 0x1F sont réservés.



### 7.2.33 Fichier registre : 0x20 – Réservé

IDENTIFIANT	Longueur (octets)	Type Mnémonique		Description
0x20	-	-	-	Réservé – ce fichier de registre est réservé

Le fichier de registre [de carte de registre](#) 0x20 est réservé pour une utilisation future. Veillez à ne pas écrire dans ce registre car cela pourrait entraîner un dysfonctionnement du DW1000.

### 7.2.34 Fichier de registre : 0x21 – Séquence SFD définie par l'utilisateur

IDENTIFIANT	Longueur (octets)	Type Mnémonique		Description
0x21	41	RW USR_SFD		Séquences SFD TX/RX courtes/longues spécifiées par l'utilisateur

Le fichier de registre [de carte de registre](#) 0x21 est la séquence SFD définie par l'utilisateur. Ceci permet la possibilité de programmer une séquence SFD non standard. L'utilisation d'une séquence SFD non standard est configurable séparément pour l'émetteur et le récepteur par les bits TNSSFD et RNSSFD dans le [fichier de registre : 0x1F – Contrôle de canal](#).

De plus, la partie SFD\_LENGTH de ce fichier de registre est utilisée pour sélectionner entre 8 et 16 SFD de longueur lorsque le SFD spécial défini par Decawave (non standard) est utilisé. Ceci est activé par le bit DWSFD dans le [fichier de registre : 0x1F – Channel Control](#). NB : lorsqu'il est utilisé, les valeurs de longueur 8 ou 16 sont valides, les autres valeurs ne doivent pas être utilisées.

La longueur d'une séquence SFD pour 110 kbps est toujours de 64 symboles, mais la longueur de la séquence SFD pour d'autres débits de données peut être configurée sur une valeur comprise entre 8 et 16 à l'aide du registre SFD\_LENGTH à la sous-adresse 0x00.

Le modèle SFD se compose des symboles de préambule soit non envoyés, soit envoyés normalement ou envoyés inversés (c'est-à-dire impulsions positives et négatives inversées) voir section 10.3 pour plus de détails sur le SFD standard.

Pour programmer un SFD, nous définissons deux éléments par symbole SFD : -

- Une magnitude : définissant la présence ou non d'une transmission physique pour ce temps symbole.
- Un signe : définissant, pour les symboles qui sont émis, si le symbole est émis dans son sens normal positif ou inversé en un symbole négatif.

Les sous-champs individuels du [fichier de registre : 0x21 - Séquence SFD définie par l'utilisateur](#) sont décrits ci-dessous, donnant l'index dans le fichier de registre et définissant le paramètre à cet index :

REMARQUE : La conception de séquences SFD est une tâche compliquée qui dépasse le cadre de ce manuel. Lorsque des performances améliorées sont souhaitées et que la conformité standard n'est pas requise, il est recommandé d'utiliser le SFD défini par Decawave (non standard) activé en définissant le bit DWSFD. Seuls les experts devraient envisager de concevoir et de programmer leurs propres séquences SFD.

Voir [Tableau 21 : Configurations de séquence SFD recommandées pour de meilleures performances](#)

Données Taux	DWSFD reg:1F:00 bit:17	TNSSFD reg:1F:00 bit:20	RNSSFD reg:1F:00 bit:21	SFD_LENGTH rég:21:00 bits : 0-7	Description
6,8 Mbit/s	0	0	0	x	Lorsque le DW1000 fonctionne à 6,8 Mbps, cette programmation sélectionne le <b>SFD</b> standard IEEE à 8 symboles qui offre une robustesse suffisante puisque les données sont déjà la partie la plus faible de la trame.
850 kbit/s	1	1	1	16	Le <b>SFD</b> standard IEEE à 8 symboles est plus faible que les données à 850 kbps. Lorsque le DW1000 fonctionne à 850 kbps, cette programmation sélectionne un <b>SFD</b> à 16 symboles non standard défini par Decawave , ce qui supprime la faiblesse rendant le <b>SFD</b> plus puissant que les données à 850 kbps.
110 kbit/s	1	0	0	x	Cette programmation sélectionne un <b>SFD</b> à 64 symboles non standard défini par Decawave qui est plus robuste que le <b>SFD</b> à 64 symboles standard IEEE améliorant les performances en mode 110 kbps.

Le tableau 22 ci-dessous présente des options de programmation de séquence **SFD** supplémentaires . Remarque :

La sélection de séquences **SFD** autres que la séquence SFD conforme à la norme IEEE 802.15.4-2011 UWB peut améliorer les performances, mais rendra bien sûr impossible l'interopérabilité avec un appareil configuré pour utiliser la norme **SFD** définie (ou avec un tiers périphériques utilisant le SFD standard).

Tableau 22 : Autres configurations de séquence SFD possibles

Données Taux	DWSFD reg:1F:00 bit:17	TNSSFDF régl:1F:00 peu : 20	RNSSFDF reg:1F:00 bit:21	SFD_LENGTH reg:21:00 bits:0-7	Description
850 kbit/s	0	0	0	X	Cette programmation sélectionne le <b>SFD</b> à 8 symboles tel que défini dans la norme IEEE 802.15.4, lors d'un fonctionnement à 850 kbps.
110 kbit/s	0	0	0	X	Cette programmation sélectionne le <b>SFD</b> à 64 symboles tel que défini dans la norme IEEE 802.15.4, lors d'un fonctionnement à 110 kbps.
850 kbit/s	1	0	0	X	Lorsque le DW1000 fonctionne à 850 kbps, cette programmation sélectionne un <b>SFD</b> non standard à 8 symboles défini par Decawave , qui est plus fort que le <b>SFD</b> défini par norme mais toujours un peu plus faible que les données. D'où notre recommandation du <b>SFD</b> à 16 symboles définie au tableau 21 pour les meilleures performances à 850 kbps.
6,8 Mbit/s ou 850 kbit/s	0	1	1	8 à 16	Lorsque le DW1000 fonctionne à 6,8 Mbps ou 850 kbps, cette programmation sélectionne l'utilisation d'un <b>SFD</b> configuré par l'utilisateur avec une longueur configurable dans la plage de 8 à 16 symboles. Dans ce mode, l'utilisateur est responsable de la programmation correcte de la séquence <b>SFD</b> dans le fichier de registre : 0x21 – Séquence SFD définie par l'utilisateur.
110 kbit/s	0	1	1	X	Lorsque le DW1000 fonctionne à 110 kbps, cela sélectionne l'utilisation d'un <b>SFD</b> configuré par l'utilisateur avec une longueur fixe de 64 symboles. Dans ce mode, l'utilisateur est responsable de la programmation correcte de la séquence <b>SFD</b> dans le fichier de registre : 0x21 – Séquence SFD définie par l'utilisateur.

Remarque : Les configurations autres que celles définies dans [le Tableau 21](#) ou [le Tableau 22](#) ne sont pas recommandées. Pour recevoir correctement une trame, le récepteur doit utiliser la même configuration de séquence **SFD** que celle utilisée par le dispositif de transmission distant.

Sous-index	Champ	Description des champs dans le fichier de registre : 0x21 – SFD défini par l'utilisateur séquence II
0 régl:21:00	SFD_LENGTH	s'agit de la longueur de la séquence SFD utilisée lorsque le débit de données est de 850 kbps et plus. Les valeurs de configuration de longueur valides doivent être comprises entre 8 et 16 symbole 2 $8 \leq \text{SFD\_LENGTH} \leq 16$  Lorsque le bit DWSFD dans ( <a href="#">fichier de registre : 0x1F - Contrôle de canal</a> ) est un, SFD_LENGTH doit être défini sur 8 ou 16. Les autres valeurs ne doivent pas être utilisées.
1 régl:21:01	TX_SSFD_MAGL (Symboles 7..0)	Ce champ définit les données d'amplitude SFD courtes pour la séquence SFD transmise, pour les 8 premiers intervalles de symboles. Les bits de poids faible définissent la partie de la séquence SFD envoyée en premier dans le temps.
2 rég:21:02	TX_SSFD_MAGH (Symboles 15..8)	Ce champ définit les données d'amplitude SFD courtes pour la séquence SFD transmise, pour les seconds intervalles de 8 symboles. Les valeurs ici sont utilisées lorsque SFD_LENGTH est supérieur à 8. Lorsque SFD_LENGTH est inférieur à 16, les bits de poids faible sont applicables jusqu'à la longueur spécifiée.
3 régl:21:03	TX_SSFD_SGNL (Symboles 7..0)	Ce champ définit les données de polarité SFD courtes pour la séquence SFD transmise, pour les 8 premiers intervalles de symboles. Les bits de poids faible définissent la partie de la séquence SFD envoyée en premier dans le temps.
4 régl:21:04	TX_SSFD_SGNH (Symboles 15..8)	Ce champ définit les données de polarité SFD courtes pour la séquence SFD transmise, pour les seconds intervalles de 8 symboles. Les valeurs ici sont utilisées lorsque SFD_LENGTH est supérieur à 8. Lorsque SFD_LENGTH est inférieur à 16, les bits de poids faible sont applicables jusqu'à la longueur spécifiée.
5 régl:21:05	RX_SSFD_MAGL (Symboles 7..0)	Ce champ définit les données d'amplitude SFD courtes pour la séquence SFD de réception, pour les 8 premiers intervalles de symboles. Les bits de poids faible définissent la partie de la séquence SFD envoyée en premier dans le temps.
6 régl:21:06	TX_SSFD_SGNH (Symboles 15..8)	Ce champ définit les données d'amplitude SFD courtes pour la séquence SFD de réception, pour les seconds intervalles de 8 symboles. Les valeurs ici sont utilisées lorsque SFD_LENGTH est supérieur à 8. Lorsque SFD_LENGTH est inférieur à 16, les bits de poids faible sont applicables jusqu'à la longueur spécifiée.
7 régl:21:07	RX_SSFD_SGNL (Symboles 7..0)	Ce champ définit les données de polarité SFD courtes pour la séquence SFD de réception, pour les 8 premiers intervalles de symboles. Les bits de poids faible définissent la partie de la séquence SFD envoyée en premier dans le temps.
8 régl:21:08	TX_SSFD_SGNH (Symboles 15..8)	Ce champ définit les données de polarité SFD courtes pour la séquence SFD de réception, pour les seconds intervalles de 8 symboles. Les valeurs ici sont utilisées lorsque SFD_LENGTH est supérieur à 8. Lorsque SFD_LENGTH est inférieur à 16, les bits de poids faible sont applicables jusqu'à la longueur spécifiée.
9 régl:21:09	TX_LSFID_MAG0 (Symboles 7..0)	Ce champ définit les données d'amplitude SFD longues (64 symboles) pour la séquence SFD transmise. Cet octet couvre les 8 premiers intervalles de symboles, symboles 7 à 0. Les bits de poids faible définissent la partie de la séquence SFD envoyée en premier dans le temps.
10 régl:21:0A	TX_LSFID_MAG1 (Symboles 15..8)	Ce champ définit les données d'amplitude SFD longues (64 symboles) pour la séquence SFD transmise, pour les intervalles de symboles 15 à 8.
11 régl:21:0B	TX_LSFID_MAG2 (Symboles 23..16)	Ce champ définit les données d'amplitude SFD longues (64 symboles) pour la séquence SFD transmise, pour les intervalles de symboles 23 à 16.
12 régl : 21:0C	TX_LSFID_MAG3 (Symboles 31..24)	Ce champ définit les données d'amplitude SFD longues (64 symboles) pour la séquence SFD transmise, pour les intervalles de symboles 31 à 24.
13 reg:21:0D	TX_LSFID_MAG4 (Symboles 39..32)	Ce champ définit les données d'amplitude SFD longues (64 symboles) pour la séquence SFD transmise, pour les intervalles de symboles 39 à 32.
14 droite : 21:0E	TX_LSFID_MAG5 (Symboles 47..40)	Ce champ définit les données d'amplitude SFD longues (64 symboles) pour la séquence SFD transmise, pour les intervalles de symboles 47 à 40.
15 droite : 21:0F	TX_LSFID_MAG6 (Symboles 55..48)	Ce champ définit les données d'amplitude SFD longues (64 symboles) pour la séquence SFD transmise, pour les intervalles de symboles 55 à 48.
16 régl:21:10	TX_LSFID_MAG7 (Symboles 63..56)	Ce champ définit les données d'amplitude SFD longues (64 symboles) pour la séquence SFD transmise, pour les intervalles de symboles 63 à 56.

Sous-index	Champ	Description des champs dans le fichier de registre : 0x21 – SFD défini par l'utilisateur séquence Ce
17 régl:21:11	TX_LSFD_SGN0 (Symboles 7..0)	ce champ définit les données de polarité SFD longues (64 symboles) pour la séquence SFD transmise. Cet octet couvre les 8 premiers intervalles de symboles, symboles 7 à 0. Les bits de poids faible définissent la partie de la séquence SFD envoyée en premier dans le temps.
18 régl:21:12	TX_LSFD_SGN1 (Symboles 15..8)	Ce champ définit les données de polarité SFD longues (64 symboles) pour la séquence SFD transmise, pour les intervalles de symboles 15 à 8.
19 régl:21:13	TX_LSFD_SGN2 (Symboles 23..16)	Ce champ définit les données de polarité SFD longues (64 symboles) pour la séquence SFD transmise, pour les intervalles de symboles 23 à 16.
20 régl:21:14	TX_LSFD_SGN3 (Symboles 31..24)	Ce champ définit les données de polarité SFD longues (64 symboles) pour la séquence SFD transmise, pour les intervalles de symboles 31 à 24.
21 régl:21:15	TX_LSFD_SGN4 (Symboles 39..32)	Ce champ définit les données de polarité SFD longues (64 symboles) pour la séquence SFD transmise, pour les intervalles de symboles 39 à 32.
22 régl:21:16	TX_LSFD_SGN5 (Symboles 47..40)	Ce champ définit les données de polarité SFD longues (64 symboles) pour la séquence SFD transmise, pour les intervalles de symboles 47 à 40.
23 régl:21:17	TX_LSFD_SGN6 (Symboles 55..48)	Ce champ définit les données de polarité SFD longues (64 symboles) pour la séquence SFD transmise, pour les intervalles de symboles 55 à 48.
24 régl:21:18	TX_LSFD_SGN7 (Symboles 63..56)	Ce champ définit les données de polarité SFD longues (64 symboles) pour la séquence SFD transmise, pour les intervalles de symboles 63 à 56.
25 régl:21:19	RX_LSFD_MAG0 (Symboles 7..0)	Ce champ définit les données d'amplitude SFD longues (64 symboles) pour la séquence SFD de réception. Cet octet couvre les 8 premiers intervalles de symboles, symboles 7 à 0. Les bits de poids faible définissent la partie de la séquence SFD arrivant en premier dans le temps.
26 régl:21:1A	RX_LSFD_MAG1 (Symboles 15..8)	Ce champ définit les données d'amplitude SFD longues (64 symboles) pour la séquence SFD de réception, pour les intervalles de symboles 15 à 8.
27 régl:21:1B	RX_LSFD_MAG2 (Symboles 23..16)	Ce champ définit les données d'amplitude SFD longues (64 symboles) pour la séquence SFD de réception, pour les intervalles de symboles 23 à 16.
28 régl:21:1C	RX_LSFD_MAG3 (Symboles 31..24)	Ce champ définit les données d'amplitude SFD longues (64 symboles) pour la séquence SFD de réception, pour les intervalles de symboles 31 à 24.
29 régl:21:1D	RX_LSFD_MAG4 (Symboles 39..32)	Ce champ définit les données d'amplitude SFD longues (64 symboles) pour la séquence SFD de réception, pour les intervalles de symboles 39 à 32.
30 régl:21:1E	RX_LSFD_MAG5 (Symboles 47..40)	Ce champ définit les données d'amplitude SFD longues (64 symboles) pour la séquence SFD de réception, pour les intervalles de symboles 47 à 40.
31 régl:21:1F	RX_LSFD_MAG6 (Symboles 55..48)	Ce champ définit les données d'amplitude SFD longues (64 symboles) pour la séquence SFD de réception, pour les intervalles de symboles 55 à 48.
32 régl:21:20	RX_LSFD_MAG7 (Symboles 63..56)	Ce champ définit les données d'amplitude SFD longues (64 symboles) pour la séquence SFD de réception, pour les intervalles de symboles 63 à 56.
33 régl:21:21	RX_LSFD_SGN0 (Symboles 7..0)	Ce champ définit les données de polarité SFD longues (64 symboles) pour la séquence SFD de réception. Cet octet couvre les 8 premiers intervalles de symboles, symboles 7 à 0. Les bits de poids faible définissent la partie de la séquence SFD arrivant en premier dans le temps.
34 régl:21:22	RX_LSFD_SGN1 (Symboles 15..8)	Ce champ définit les données de polarité SFD longues (64 symboles) pour la séquence SFD de réception, pour les intervalles de symboles 15 à 8.
35 régl:21:23	RX_LSFD_SGN2 (Symboles 23..16)	Ce champ définit les données de polarité SFD longues (64 symboles) pour la séquence SFD de réception, pour les intervalles de symboles 23 à 16.
36 régl:21:24	RX_LSFD_SGN3 (Symboles 31..24)	Ce champ définit les données de polarité SFD longues (64 symboles) pour la séquence SFD de réception, pour les intervalles de symboles 31 à 24.
37 régl:21:25	RX_LSFD_SGN4 (Symboles 39..32)	Ce champ définit les données de polarité SFD longues (64 symboles) pour la séquence SFD de réception, pour les intervalles de symboles 39 à 32.
38 régl:21:26	RX_LSFD_SGN5 (Symboles 47..40)	Ce champ définit les données de polarité SFD longues (64 symboles) pour la séquence SFD de réception, pour les intervalles de symboles 47 à 40.
39 régl:21:27	RX_LSFD_SGN6 (Symboles 55..48)	Ce champ définit les données de polarité SFD longues (64 symboles) pour la séquence SFD transmise, pour les intervalles de symboles 55 à 48. Réception
40 régl:21:28	RX_LSFD_SGN7 (Symboles 63..56)	Ce champ définit les données de polarité SFD longues (64 symboles) pour la séquence SFD de réception, pour les intervalles de symboles 63 à 56.

Tableau 21 : Configurations de séquence SFD recommandées pour de meilleures performances

Données Taux	DWSFD reg:1F:00 bit:17	TNSSFDF régl:1F:00 peu : 20	RNSSFDF reg:1F:00 bit:21	SFD_LENGTH reg:21:00 bits:0-7	Description
6,8 Mbit/s	0	0	0	X	Lorsque le DW1000 fonctionne à 6,8 Mbps, cette programmation sélectionne le <b>SFD</b> standard IEEE à 8 symboles qui offre une robustesse suffisante puisque les données sont déjà la partie la plus faible du cadre.
850 kbit/s	1	1	1	16	Le <b>SFD</b> à 8 symboles IEEE standard est plus faible que les données à 850 kbps. Lorsque le DW1000 fonctionne à 850 kbps, cette programmation sélectionne un <b>SFD</b> à 16 symboles non standard défini par Decawave , ce qui supprime la faiblesse rendant le <b>SFD</b> plus puissant que les données à 850 kbps.
110 kbit/s	1	0	0	X	Cette programmation sélectionne un <b>SFD</b> à 64 symboles non standard défini par Decawave qui est plus robuste que le <b>SFD</b> à 64 symboles standard IEEE améliorant les performances en mode 110 kbps.

Le tableau 22 ci-dessous présente des options de programmation de séquence **SFD** supplémentaires . Remarque : La sélection de séquences **SFD** autres que la séquence SFD conforme à la norme IEEE 802.15.4-2011 UWB peut améliorer les performances, mais rendra bien sûr impossible l'interopérabilité avec un appareil configuré pour utiliser la norme **SFD** définie (ou avec un tiers périphériques utilisant le SFD standard).

Tableau 22 : Autres configurations de séquence SFD possibles

Données Taux	DWSFD reg:1F:00 bit:17	TNSSFDF régl:1F:00 peu : 20	RNSSFDF reg:1F:00 bit:21	SFD_LENGTH reg:21:00 bits:0-7	Description
850 kbit/s	0	0	0	X	Cette programmation sélectionne le <b>SFD</b> à 8 symboles tel que défini dans la norme IEEE 802.15.4, lors d'un fonctionnement à 850 kbps.
110 kbit/s	0	0	0	X	Cette programmation sélectionne le <b>SFD</b> à 64 symboles tel que défini dans la norme IEEE 802.15.4, lors d'un fonctionnement à 110 kbps.
850 kbit/s	1	0	0	X	Lorsque le DW1000 fonctionne à 850 kbps, cette programmation sélectionne un <b>SFD</b> non standard à 8 symboles défini par Decawave , qui est plus fort que le <b>SFD</b> défini par norme mais toujours un peu plus faible que les données. D'où notre recommandation du <b>SFD</b> à 16 symboles définie au tableau 21 pour les meilleures performances à 850 kbps.
6,8 Mbit/s ou 850 kbit/s	0	1	1	8 à 16	Lorsque le DW1000 fonctionne à 6,8 Mbps ou 850 kbps, cette programmation sélectionne l'utilisation d'un <b>SFD</b> configuré par l'utilisateur avec une longueur configurable dans la plage de 8 à 16 symboles. Dans ce mode, l'utilisateur est responsable de la programmation correcte de la séquence <b>SFD</b> dans le fichier de registre : 0x21 – Séquence SFD définie par l'utilisateur.
110 kbit/s	0	1	1	X	Lorsque le DW1000 fonctionne à 110 kbps, cela sélectionne l'utilisation d'un <b>SFD</b> configuré par l'utilisateur avec une longueur fixe de 64 symboles. Dans ce mode, l'utilisateur est responsable de la programmation correcte de la séquence <b>SFD</b> dans le fichier de registre : 0x21 – Séquence SFD définie par l'utilisateur.

Remarque : Les configurations autres que celles définies dans [le Tableau 21](#) ou [le Tableau 22](#) ne sont pas recommandées. Pour recevoir correctement une trame, le récepteur doit utiliser la même configuration de séquence **SFD** que celle utilisée par le dispositif de transmission distant.

### 7.2.35 Fichier registre : 0x22 – Réservé

IDENTIFIANT	Longueur (octets)	Type Mnémonique		Description
0x22	-	-	-	Réservé – ce fichier de registre est réservé

Le fichier de registre [de carte de registre](#) 0x22 est réservé pour une utilisation future. Veillez à ne pas écrire dans ce registre car cela pourrait entraîner un dysfonctionnement du DW1000.

### 7.2.36 Fichier registre : 0x23 – Configuration et contrôle AGC

IDENTIFIANT	Longueur (octets)	Type Mnémonique		Description
0x23	33	RW	AGC_CTRL	Configuration et contrôle du contrôle automatique de gain

Le fichier de registre [de carte de registre](#) 0x23 est destiné à la configuration et au contrôle du bloc de contrôle de gain du récepteur. Il contient un certain nombre de sous-registres, dont certains nécessitent le contrôle de l'utilisateur. Le tableau 23 donne un aperçu des sous-registres dans [le fichier de registre : 0x23 – Configuration et contrôle AGC](#), et ces sous-registres sont décrits individuellement dans les sous-sections ci-dessous.

Tableau 23 : Fichier de registre : 0x23 – Vue d'ensemble de la configuration et du contrôle AGC

OFFSET dans le registre 0x23	Mnémonique	Description
0x00	-	réservé
0x02	AGC_CTRL1	Contrôle AGC #1
0x04	AGC_TUNE1	AGC Tuning registre 1
0x06	-	réservé
0x0C	AGC_TUNE2	AGC Tuning registre 2
0x10	-	réservé
0x12	AGC_TUNE3	Registre de réglage AGC 3
0x14	-	réservé
0x1E	AGC_STAT1	Statut AGC

#### 7.2.36.1 Sous-registre 0x23:00 – AGC\_RES1

IDENTIFIANT	Longueur (octets)	Type Mnémonique		Description
23:00	2	-	AGC_RES1	Zone réservée 1

Fichier de registre : [0x23 – Configuration et contrôle AGC](#), le sous-registre 0x00 est un registre réservé. Veillez à ne pas écrire dans ce registre car cela pourrait entraîner un dysfonctionnement du DW1000.

## 7.2.36.2 Sous-registre 0x23:02 – AGC\_CTRL1

IDENTIFIANT	Longueur (octets)	Type	Mnémonique	Description
23:02	2	RW	AGC_CTRL1	Contrôle AGC #1

Fichier de registre : 0x23 – Configuration et contrôle de l'AGC, le sous-registre 0x02 est un registre de contrôle de 16 bits pour la fonction de mesure de l'AGC. Ce registre contient les champs identifiés et décrits ci-dessous :

REG:23:02 – AGC_CTRL1 – Contrôle de mesure AGC Registre 31 30 29 28																																	
27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0						
...																																	
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0		

Les bits du registre AGC\_CTRL1 sont décrits ci-dessous :

Champ	Description des champs dans le sous-registre 0x23:02 – AGC_CTRL1
DIS_AM reg:23:02 bit:0	<p>Désactivez la mesure AGC. Le bit DIS_AM est défini par défaut pour désactiver la fonction de mesure AGC. La fonction de mesure AGC peut être utilisée comme mesure d'énergie pour un « balayage énergétique » dans le cadre de la détermination du canal à utiliser. Lorsque le bit DIS_AM est à zéro et que le récepteur est activé, l'AGC s'établira sur une estimation du niveau d'énergie de fond et le résultat sera disponible via les valeurs EDG1 et EDV2 dans le sous-registre 0x23: 1E - AGC_STAT1 . Pour économiser de l'énergie dans le récepteur, lorsque cette fonction n'est pas requise ou n'est pas utilisée, il est recommandé de régler le bit DIS_AM sur 1 pour désactiver cette fonction de mesure AGC.</p> <p>La procédure recommandée pour mesurer le niveau d'énergie de fond est la suivante : (a) Configurez le canal de fonctionnement et les paramètres associés selon les besoins*. (b) Réglez DIS_AM sur 0.</p> <p>I Allumez le récepteur avec le bit RXENAB dans <a href="#">le fichier Register : 0x0D – System Control Enregister</a>.</p> <p>(d) Attendre 32 µs pour que l'AGC se stabilise I Réglez le bit DIS_AM sur 1 pour geler le résultat.</p> <p>(f) Lire les valeurs EDG1 et EDV2 et calculer l'énergie du bruit (conformément à la Figure 27 ci-dessous). (g) Éteignez le DW1000 avec le bit TRXOFF dans <a href="#">le fichier de registre : 0x0D - Contrôle du système Enregister</a>.</p> <p>* Les paramètres importants sont les paramètres liés à la fréquence du canal.</p>
– reg:22:02 bits:15–1	Ces bits sont réservés.

## 7.2.36.3 Sous-registre 0x23:04 – AGC\_TUNE1

IDENTIFIANT	Longueur (octets)	Type	Mnémonique	Description
23:04	2	RW	AGC_TUNE1	Registre de réglage AGC 1

Fichier de registre : 0x23 – Configuration et contrôle de l'AGC, le sous-registre 0x04 est un registre de réglage 16 bits pour l'AGC.

La valeur ici doit changer en fonction du PRF. Les valeurs nécessaires en fonction de la configuration du RXPRF sont données dans le tableau 24 ci-dessous. Veillez à ne pas écrire d'autres valeurs dans ce registre car cela pourrait faire passer le DW1000 à 0x28:00.

Tableau 24 : Sous-registre 0x23:04 – Valeurs AGC\_TUNE1

Configuration RXPRF	Valeur à programmer Sous-registre 0x23:04 – AGC_TUNE1
(1) = PRF 16 MHz	0x8870
(2) = PRF 64 MHz	0x889B

#### 7.2.36.4 Sous-registre 0x23:06 – AGC\_RES2

Identifiant	Longueur (octets)	Type Mnémonique	Description
23:06	6	-	AGC_RES2 Zone réservée 2

Fichier registre : 0x23 – Configuration et contrôle AGC, le sous-registre 0x06 est une zone réservée. Veillez à ne pas écrire dans cette zone car cela pourrait entraîner un dysfonctionnement du DW1000.

#### 7.2.36.5 Sous-registre 0x23:0C – AGC\_TUNE2

Identifiant	Longueur (octets)	Type Mnémonique	Description
23:0C	4	RW AGC_TUNE2	Registre de réglage AGC 2

Fichier de registre : 0x23 – Configuration et contrôle de l'AGC, le sous-registre 0x0C est un registre de réglage 32 bits pour l'AGC.

La valeur par défaut de ce registre doit être reconfigurée pour un fonctionnement optimal de l'AGC. Veuillez vous assurer de le programmer à la valeur indiquée dans le tableau 25 ci-dessous. Veillez à ne pas écrire d'autres valeurs dans ce registre car cela pourrait entraîner un dysfonctionnement du DW1000.

Tableau 25 : Sous-registre 0x23:0C – Valeurs AGC\_TUNE2

Valeur à programmer Sous-registre 0x23:0C – AGC_TUNE2
0X2502A907

#### 7.2.36.6 Sous-registre 0x23:10 – AGC\_RES3

Identifiant	Longueur (octets)	Type Mnémonique	Description
23:10	2	-	AGC_RES3 Zone réservée 3

Fichier de registre : 0x23 – Configuration et contrôle AGC, le sous-registre 0x10 est un registre réservé. Veuillez à ne pas écrire dans ce registre car cela pourrait entraîner un dysfonctionnement du DW1000.

#### 7.2.36.7 Sous-registre 0x23:12 – AGC\_TUNE3

IDENTIFIANT	Longueur (octets)	Type Mnémonique	Description
23:12	2	RW AGC_TUNE3	Registre de réglage AGC 3

Fichier de registre : 0x23 – Configuration et contrôle de l'AGC, le sous-registre 0x12 est un registre de réglage 16 bits pour l'AGC.

La valeur par défaut de ce registre doit être reconfigurée pour un fonctionnement optimal de l'AGC. Veuillez vous assurer de le programmer à la valeur indiquée dans le tableau 26 ci-dessous. Veuillez à ne pas écrire d'autres valeurs dans ce registre car cela pourrait entraîner un dysfonctionnement du DW1000.

Tableau 26 : Sous-registre 0x23:12 – Valeurs AGC\_TUNE3

Valeur à programmer Sous-registre 0x23:12 – AGC_TUNE3
0x0035

#### 7.2.36.8 Sous-registre 0x23:14 – AGC\_RES4

IDENTIFIANT	Longueur (octets)	Type	Mnémonique	Description
23:14	10	-	AGC_RES4	Zone réservée 4

Fichier registre : 0x23 – Configuration et contrôle AGC, le sous-registre 0x14 est une zone réservée. Veuillez à ne pas écrire dans cette zone car cela pourrait entraîner un dysfonctionnement du DW1000.

#### 7.2.36.9 Sous-registre 0x23:1E – AGC\_STAT1

IDENTIFIANT	Longueur (octets)	Taper	Mnémonique	Description
23:1E	3	RO	AGC_STAT1	Statut AGC

Fichier de registre : 0x23 – Configuration et contrôle de l'AGC, le sous-registre 0x1E est un registre d'état de 24 bits pour la fonction de mesure de l'AGC. Ce registre contient les champs identifiés et décrits ci-dessous :

REG:23:1E – AGC_STAT1 – Registre d'état AGC 31 30 29																													
28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
...	...	...	...	...	...	...	...	...	...	...	...	...	...	...	EDV2	...	...	...	...	...	...	...	...	...	...	...	...	...	
...	...	...	...	...	...	...	...	...	...	...	...	...	...	...	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Les bits du registre AGC\_STAT1 sont décrits ci-dessous :

Champ	Description des champs dans le sous-registre 0x23:1E – AGC_STAT1
GDE1 reg:23:1E bits:10–6	Cette valeur de gain de 5 bits concerne la mesure de la puissance de bruit d'entrée. EDG1 peut être utilisé conjointement avec la valeur EDV2 pour donner une mesure du niveau d'énergie du bruit de fond dans la bande. Cela peut être utilisé pour une détection d'énergie (balayage de canal ED) dans le cadre de la mise en œuvre de la primitive de demande MLME-SCAN de la norme IEEE 802.15.4. Le niveau d'énergie sonore est donné en combinant les valeurs EDG1 et EDV2 comme décrit dans la Figure 27 ci-dessous.
EDV2 reg:23:1E bits:19–11	Cette valeur de 9 bits se rapporte à la mesure de la puissance de bruit d'entrée. EDV2 peut être utilisé conjointement avec la valeur EDG1 pour donner une mesure du niveau d'énergie du bruit de fond dans la bande. Cela peut être utilisé pour une détection d'énergie (balayage de canal ED) dans le cadre de la mise en œuvre de la primitive de demande MLME-SCAN de la norme IEEE 802.15.4. Le niveau d'énergie sonore est donné en combinant les valeurs EDG1 et EDV2 comme décrit dans la Figure 27 ci-dessous.
— reg:23:1E	Ces bits sont réservés.

La combinaison des valeurs EDG1 et EDV2 pour obtenir un niveau d'énergie sonore est obtenue par l'équation :

$$(EDV2 - 40) \times 10EDG1 \times$$

Où \_\_\_\_\_ est un facteur d'échelle dépendant du canal selon le tableau 27 ci-dessous : -

Tableau 27 : Facteur d'échelle pour l'estimation de l'énergie du bruit de canal

Canaliser	facteur d'échelle
1 à 4	1,3335
5 et 7	1.0000

La formule ci-dessus ne donne pas un niveau absolu mais plutôt un niveau relatif qui permet la comparaison entre les canaux afin de sélectionner le canal avec le moins de bruit.

Figure 27 : Combinaison d'EDG1 et d'EDV2 pour donner un facteur de bruit ED

### 7.2.37 Fichier de registre : 0x24 – Contrôle de synchronisation externe

IDENTIFIANT	Longueur (octets)	Type Mnémétique	Description
0x24	12	RW EXT_SYNC	Contrôle de synchronisation externe

Le fichier de registre [de carte de registre 0x24](#) est destiné au contrôle du matériel de synchronisation DW1000.

Il existe une note d'application séparée donnant des détails sur la synchronisation externe. Veuillez consulter l'équipe de support des applications Decawave pour plus de détails. Les capacités du DW1000 en ce qui concerne la synchronisation externe sont décrites brièvement dans la section [6.1- Synchronisation externe](#).

OFFSET dans le registre 0x24	Mnémonique	Description
0x00	EC_CTRL	Configuration du compteur de synchronisation d'horloge externe
0x04	EC_RXTC	Compteur d'horloge externe capturé sur RMARKER
0x08	EC_GOLP	Décalage d'horloge externe par rapport au compteur 1 GHz du premier chemin

### 7.2.37.1 Sous-registre 0x24:00 EC\_CTRL

IDENTIFIANT	Longueur (octets)	Type	Mnémonique	Description
24:00	4	RW	EC_CTRL	Configuration du compteur de synchronisation d'horloge externe

Fichier de registre : 0x24 - Contrôle de synchronisation externe, le sous- registre 0x00 est le registre de configuration du compteur de synchronisation d'horloge externe, EC\_CTRL. Le registre EC\_CTRL est utilisé pour configurer le mode de synchronisation externe. Le registre EC\_CTRL contient les sous-champs suivants :

REG:24:00 –EC_CTRL– Configuration du compteur de synchronisation d'horloge externe 31 30																																		
29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0					
...				-	..	-	-	..	-	-	..																							
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Les champs du registre EC\_CTRL identifiés ci-dessus sont décrits individuellement ci-dessous :

Champ	Description des champs dans le sous- registre 0x24:00 EC_CTRL
OSSM reg:24:00 bit:0	Activation du mode de synchronisation de transmission externe. Voir la section <a href="#">6.1.2 – Mode de synchronisation de transmission en une seule fois (OSTS)</a> .
OSRSM reg:24:00 bits:1	Activation du mode de synchronisation de réception externe. Voir la section <a href="#">6.1.3 – Mode de synchronisation de réception en une seule fois (OSRS)</a> .
PLLDT reg:24:00 bits:2	Le verrouillage de l'horloge PLL détecte la mélodie. Ce bit doit être mis à 1 pour assurer un fonctionnement fiable des drapeaux de détection de verrouillage PLL de l'horloge.
ATTENDEZ reg:24:00 bits:10:3	Compteur d'attente utilisé pour la synchronisation de transmission externe et la réinitialisation de la base de temps externe. Voir les sections <a href="#">6.1.2 – Mode de synchronisation de transmission en une seule fois (OSTS)</a> et <a href="#">6.1.1 – Mode de réinitialisation de la base de temps en une seule fois (OSTR)</a> .
OSTRM reg:24:00 bit:11	Activation du mode de réinitialisation de la base de temps externe. Voir section <a href="#">6.1.1 – Réinitialisation de la base de temps en un coup (OSTR) Mode</a> .

## 7.2.37.2 Sous-registre 0x24:04 EC\_RXTC

IDENTIFIANT	Longueur (octets)	Type Mnémonique	Description	
24:04	4	RO	EC_RXTC	

Compteur de synchronisation d'horloge externe capturé sur RMARKER.

Fichier de registre : 0x24 - Contrôle de synchronisation externe, le sous-registre 0x04 est la valeur du compteur de synchronisation d'horloge externe capturée sur RMARKER, EC\_RXTC. Le registre EC\_RXTC est utilisé pour horodater le paquet reçu par rapport à l'horloge externe, voir section [6.1.3 – Mode One Shot Receive Synchronization \(OSRS\)](#) pour plus de détails sur la procédure. Le registre EC\_RXTC contient les sous-champs suivants :

REG:24:04 – EC_RXTC– Capture d'horodatage de synchronisation d'horloge externe 31 30																														
29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
RX_TS_EST																														
...	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-

Les champs du registre EC\_RXTC identifiés ci-dessus sont décrits individuellement ci-dessous :

Champ	Description des champs dans le sous-registre 0x24:04 EC_RXTC
RX_TS_EST reg:24:04 bits:31:0	Compteur de synchronisation d'horloge externe capturé sur RMARKER. Voir la section <a href="#">6.1.3 – Mode de synchronisation de réception en une seule fois (OSRS)</a> .

## 7.2.37.3 Sous-registre 0x24:08 EC\_GOLP

IDENTIFIANT	Longueur (octets)	Type Mnémonique	Description	
24:08	4	RO	EC_GOLP	

Décalage d'horloge externe par rapport au compteur 1 GHz du premier chemin

Fichier de registre : 0x24 - Contrôle de synchronisation externe, le sous-registre 0x08 est le décalage d'horloge externe par rapport au compteur 1 GHz du premier trajet, EC\_GOLP. Le registre EC\_GOLP est utilisé pour chronométrier le décalage par intervalles de 1 GHz entre le RMARKER et le front suivant de l'horloge externe. Cette valeur peut être utilisée pour calculer la plage par rapport à l'horloge externe, voir la section [6.1.3 – Mode de synchronisation de réception monocoup \(OSRS\)](#) pour plus de détails sur la procédure. Le registre EC\_GOLP contient les sous-champs suivants :

REG:24:08– EC_GOLP– Décalage d'horloge externe vers le premier chemin Compteur 1																															
GHz 31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DECALAGE_EXT																															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	

Les champs du registre EC\_CTRL identifiés ci-dessus sont décrits individuellement ci-dessous :

Champ	Description des champs dans le sous-registre 0x24:08 EC_GOLP Ce registre
DECALAGE_EXT reg:24:08 bits : 5:0	contient le décompte de 1 GHz à partir de l'arrivée du RMARKER et du front suivant de l'horloge externe. Voir la section <a href="#">6.1.3 – Mode de synchronisation de réception monocoupe (OSRS)</a> pour plus de détails sur son utilisation.

### 7.2.38 Fichier registre : 0x25 – Mémoire CIR de l'accumulateur

IDENTIFIANT	Longueur (octets)	Type Mnémétique	Description
0x25 4064	RO	ACC_MEM	Accès en lecture à la mémoire de données de l'accumulateur

Le fichier de registre [de carte de registre](#) 0x25 est une grande banque de mémoire qui contient les données de réponse impulsionale de canal (CIR) accumulées. Pour déterminer avec précision cet horodatage, le DW1000 intègre un algorithme interne (LDE) pour ajuster l'horodatage de réception RMARKER comme indiqué dans le fichier de registre : 0x15 - Horodatage de réception.

Un composant principal de l'algorithme LDE est une recherche de la réponse impulsionale du canal dans l'ACC\_MEM pour trouver le "bord d'attaque" définissant le premier rayon arrivant.

Le système hôte n'a pas besoin d'accéder à l'ACC\_MEM en fonctionnement normal, mais il peut être intéressant pour les ingénieurs de conception du système de visualiser le canal radio à des fins de diagnostic.

L'accumulateur contient des valeurs complexes, un entier réel 16 bits et un entier imaginaire 16 bits, pour chaque prise de l'accumulateur, chacune représentant un intervalle d'échantillonnage de 1 ns (ou plus précisément une demi-période de la fréquence fondamentale de 499,2 MHz). L'étendue de l'accumulateur est d'un temps de symbole. Il s'agit de 992 échantillons pour la PRF moyenne nominale de 16 MHz, ou de 1016 échantillons pour la PRF moyenne nominale de 64 MHz. Ces nombres sont calculés à partir du tableau 60 étant donné qu'il y a deux échantillons par temps de puce.

NB : En raison d'un délai d'accès à la mémoire interne lors de la lecture de l'accumulateur, le premier octet en sortie est un octet factice qui doit être ignoré. Cela est vrai quel que soit le sous-index auquel la lecture commence.

Sous-index	Champ	Description des champs dans le fichier de registre : 0x25 - Mémoire CIR de l'accumulateur
0 régl:25:000	CIR[0].real.lo8	Bas 8 bits de la partie réelle de l'échantillon d'accumulateur 0
1 régl:25:001	CIR[0].réel.hi8	Haut 8 bits de la partie réelle de l'échantillon d'accumulateur 0
2 reg:25:002	CIR[0].image.lo8	Bas 8 bits de la partie imaginaire de l'échantillon d'accumulateur 0
3 régl:25:003	CIR[0].image.lo8	Haut 8 bits de la partie imaginaire de l'échantillon d'accumulateur 0
4 reg:25:004	CIR[1].real.lo8	Bas 8 bits de la partie réelle de l'échantillon d'accumulateur 1
5 régl:25:005	CIR[1].real.hi8	Haut 8 bits de la partie réelle de l'échantillon d'accumulateur 1
6 reg:25:006	CIR[1].image.lo8	Bas 8 bits de la partie imaginaire de l'échantillon d'accumulateur 1
7 reg:25:007	CIR[1].image.lo8	Haut 8 bits de la partie imaginaire de l'échantillon d'accumulateur 1
:	:	:
:	:	:

Sous-index	Champ	Description des champs dans le fichier de registre : 0x25 – Accumulateur CIR mémoire
4060 reg:25:FDC	CIR[1015].real.lo8	Bas 8 bits de la partie réelle de l'échantillon d'accumulateur 1015 (1016e et dernier échantillon de CIR pour le PRF moyen nominal de 64 MHz)
4061 reg:25:FDD	CIR[1015].real.hi8	Haut 8 bits de la partie réelle de l'échantillon d'accumulateur 1015 (1016e et dernier échantillon de CIR pour le PRF moyen nominal de 64 MHz)
4062 reg:25:FDE	CIR[1015].imag.lo8	8 bits bas de la partie imaginaire de l'échantillon d'accumulateur 1015 (1016e et dernier échantillon de CIR pour le PRF moyen nominal de 64 MHz)
4063 reg:25:FDF	CIR[1015].image.lo8	Haut 8 bits de la partie imaginaire de l'échantillon d'accumulateur 1015 (1016e et dernier échantillon de CIR pour le PRF moyen nominal de 64 MHz)

NB : En raison d'un délai d'accès à la mémoire interne lors de la lecture de l'accumulateur, le premier octet en sortie est un octet factice qui doit être ignoré. Cela est vrai quel que soit le sous-index auquel la lecture commence.

### 7.2.39 Fichier de registre : 0x26 – Contrôle et état GPIO

OFFSET	Longueur (octets)	Type Mnémonique	Description
0x26	44	RW GPIO_CTRL	Registre périphérique – accès bus 1 – contrôle GPIO

Le fichier de registre [de carte de registre](#) 0x26 concerne l'utilisation du GPIO. Il contient un certain nombre de sous-registres.

Un aperçu de ceux-ci est donné par le tableau 28. Chacun de ces sous-registres est décrit séparément dans les sous-sections ci-dessous.

Remarque : les horloges GPIO doivent être activées avant d'activer ou de désactiver le mode ou la valeur GPIO. Les horloges GPIO sont activées en définissant GPCE et GPRN dans [PMSC\\_CTRL0](#)

Tableau 28 : Fichier de registre : 0x26 – Commande GPIO et vue d'ensemble de l'état

OFFSET dans le registre 0x26	Mnémonique	Description
0x00	<a href="#">GPIO_MODE</a>	Registre de contrôle du mode GPIO
0x04	-	réservé
0x08	<a href="#">GPIO_DIR</a>	Registre de contrôle de direction GPIO
0x0C	<a href="#">GPIO_DOUT</a>	Registre de sortie de données GPIO
0x10	<a href="#">GPIO_IRQE</a>	Activer l'interruption GPIO
0x14	<a href="#">GPIO_ICE</a>	Sélection du sens d'interruption GPIO
0x18	<a href="#">GPIO_IMODE</a>	Mode d'interruption GPIO (niveau/front)
0x1C	<a href="#">GPIO_IBES</a>	Interruption GPIO "Both Edge" Select
0x20	<a href="#">GPIO_ICLR</a>	Verrouillage d'interruption GPIO Effacer
0x24	<a href="#">GPIO_IDBE</a>	Activer le anti-rebond d'interruption GPIO
0x28	<a href="#">GPIO_RAW</a>	État brut GPIO

#### 7.2.39.1 Sous-registre 0x26:00 – [GPIO\\_MODE](#)

OFFSET	Longueur (octets)	Type Mnémonique	Description
26:00	4	RW GPIO_MODE	Registre de contrôle du mode GPIO

Fichier de registre : 0x26 - Contrôle et état GPIO, le sous-registre 0x00 est le registre de contrôle du mode GPIO, GPIO\_MODE. Le registre GPIO\_MODE est utilisé pour sélectionner si le GPIO fonctionne comme un GPIO ou a une autre fonction spéciale. Le registre GPIO\_MODE contient les sous-champs suivants :

Les champs du registre GPIO\_MODE identifiés ci-dessus sont décrits individuellement ci-dessous :

Champ	Description des champs dans le sous-registre 0x26:00 – GPIO_MODE Les bits
-	marqués '-' sont réservés et doivent être écrits comme zéro.
MSGP0 reg:26:00 bits:7,6	<p>Sélection du mode pour GPIO0/RXOKLED.</p> <p>00 : La broche fonctionne comme GPIO0 - Il s'agit de l'état par défaut (réinitialisé).</p> <p>01 : La broche fonctionne comme la sortie RXOKLED.</p> <p>10 : le bit [7] doit être réglé sur haut pour que le signal d'horloge système sorte sur GPIO0.</p> <p>11 : Réservé. Ne sélectionnez pas cette valeur.</p> <p>Lorsqu'il fonctionne en tant que pilote RXOKLED, la sortie est affirmée brièvement lorsque le récepteur termine la réception d'une trame avec un bon FCS/CRC. Le temps d'activation du RXOKLED dépend du temps de clignotement défini dans <a href="#">le sous-registre 0x36:28 - PMSC_LEDC</a>.</p> <p>Remarque : Les LED d'éclairage consomment de l'énergie dans les applications alimentées par batterie.</p>
MSGP1 reg:26:00 bits:9,8	<p>Sélection du mode pour GPIO1/SFDLED.</p> <p>00 : La broche fonctionne comme GPIO1- Il s'agit de l'état par défaut (réinitialisé).</p> <p>01 : La broche fonctionne comme la sortie SFDLED.</p> <p>10 : Réservé. Ne sélectionnez pas cette valeur.</p> <p>11 : Réservé. Ne sélectionnez pas cette valeur.</p> <p>Lorsqu'il fonctionne en tant que pilote, la sortie est activée brièvement lorsque le récepteur détecte la séquence SFD dans la trame RX. Le temps d'activation est déterminé par la configuration du temps de clignotement défini dans <a href="#">le sous-registre 0x36:28 - PMSC_LEDC</a></p> <p>Remarque : les LED d'éclairage consomment de l'énergie dans les applications alimentées par batterie.</p>
MSGP2 reg:26:00 bits:11,10	<p>Sélection du mode pour GPIO2/RXLED. Les valeurs autorisées</p> <p>sont : 00 : la broche fonctionne comme la sortie GPIO2 - Il s'agit de l'état par défaut (réinitialisation).</p> <p>01 : La broche fonctionne comme la sortie RXLED.</p> <p>10 : Réservé. Ne sélectionnez pas cette valeur.</p> <p>11 : Réservé. Ne sélectionnez pas cette valeur.</p> <p>Lorsqu'il fonctionne en tant que pilote RXLED, la sortie est affirmée lorsque le récepteur est allumé et reste allumée pendant une brève période après que le récepteur est éteint. Le temps d'activation minimum est déterminé par le temps de clignotement configurable dans <a href="#">le sous-registre 0x36:28 - PMSC_LEDC</a>.</p> <p>Remarque : Les LED d'éclairage consomment de l'énergie dans les applications alimentées par batterie.</p>

Champ	Description des champs dans le sous-registre 0x26:00 – GPIO_MODE
MSGP3 reg:26:00 bits:13,12	<p>Sélection du mode pour GPIO3/TXLED. Les valeurs autorisées sont :</p> <p>00 : la broche fonctionne comme GPIO3 – il s'agit de l'état par défaut (réinitialisation).</p> <p>01 : La broche fonctionne comme la sortie TXLED.</p> <p>10 : Réservé. Ne sélectionnez pas cette valeur.</p> <p>11 : Réservé. Ne sélectionnez pas cette valeur.</p> <p>Lorsqu'il fonctionne en tant que pilote TXLED, la sortie est affirmée brièvement lorsque l'émetteur termine l'envoi d'une trame.</p> <p>Le temps de clignotement est configurable via <a href="#">le sous-registre 0x36:28 - PMSC_LED</a>.</p> <p><u>Remarque : Les LED d'éclairage consomment de l'énergie dans les applications alimentées par batterie.</u></p>
MSGP4 reg:26:00 bits:15,14	<p>Sélection du mode pour GPIO4/EXTPA. Les valeurs autorisées sont :</p> <p>00 : la broche fonctionne comme GPIO4 – il s'agit de l'état par défaut (réinitialisation).</p> <p>01 : La broche fonctionne comme la sortie EXTPA.</p> <p>10 : Réservé. Ne sélectionnez pas cette valeur.</p> <p>11 : Réservé. Ne sélectionnez pas cette valeur.</p> <p>Reportez-vous à la section <a href="#">6.2 – Amplification de puissance externe</a> pour plus d'informations sur l'utilisation de EXTPA.</p>
MSGP5 reg:26:00 bits:17,16	<p>Sélection du mode pour GPIO5/EXTTXE. Les valeurs autorisées sont :</p> <p>00 : La broche fonctionne comme GPIO5 – Il s'agit de l'état par défaut (réinitialisé).</p> <p>01 : La broche fonctionne comme la sortie EXTTXE.</p> <p>10 : Réservé. Ne sélectionnez pas cette valeur.</p> <p>11 : Réservé. Ne sélectionnez pas cette valeur.</p> <p>Reportez-vous à la section <a href="#">6.2 – Amplification de puissance externe</a> pour plus d'informations sur l'utilisation d'EXTTXE.</p>
MSGP6 reg:26:00 bits:19,18	<p>Sélection du mode pour GPIO6/EXTRXE. Les valeurs autorisées de MSGP6 sont :</p> <p>00 : la broche fonctionne comme GPIO6 – Il s'agit de l'état par défaut (réinitialisé).</p> <p>01 : La broche fonctionne comme la sortie EXTRXE.</p> <p>10 : Réservé. Ne sélectionnez pas cette valeur.</p> <p>11 : Réservé. Ne sélectionnez pas cette valeur.</p> <p>Reportez-vous à la section <a href="#">6.2 – Amplification de puissance externe</a> pour plus d'informations sur l'utilisation d'EXTRXE.</p>
MSGP7 reg:26:00 bits:21,20	<p>Sélection du mode pour SYNC/GPIO7. Les valeurs autorisées sont :</p> <p>00 : la broche fonctionne comme l'entrée SYNC – Il s'agit de l'état par défaut (réinitialisation).</p> <p>01 : La broche fonctionne comme GPIO7.</p> <p>10 : Réservé. Ne sélectionnez pas cette valeur.</p> <p>11 : Réservé. Ne sélectionnez pas cette valeur.</p> <p>Veuillez vous référer à la section <a href="#">6.1- Synchronisation externe</a> pour plus d'informations sur l'utilisation de la broche SYNC.</p>
MSGP8 reg:26:00 bits:23,22	<p>Sélection du mode pour IRQ/GPIO8. Les valeurs autorisées sont :</p> <p>00 : la broche fonctionne comme la sortie IRQ - Il s'agit de l'état par défaut (réinitialisé).</p> <p>01 : La broche fonctionne comme GPIO8.</p> <p>10 : Réservé. Ne sélectionnez pas cette valeur.</p> <p>11 : Réservé. Ne sélectionnez pas cette valeur.</p>

## 7.2.39.2

## Sous-registre 0x26:04 – Réservé

Identifiant	Longueur (octets)	Type M	émonique	Description
26:04	4	-	-	Réservé

Fichier de registre : 0x26 - Contrôle et état GPIO, le sous-registre 0x04 est réservé.

#### 7.2.39.3 Sous-registre 0x26:08 – GPIO\_DIR

IDENTIFICATION	Longueur (octets)	Type Mnémonique	Description
26:08	4	RW GPIO_DIR	Registre de contrôle de direction GPIO

Fichier de registre : 0x26 - Contrôle et état GPIO, le sous-registre 0x08 est le registre de contrôle de direction GPIO, GPIO\_DIR. Le registre GPIO\_DIR s'applique aux broches GPIO lorsqu'elles sont sélectionnées pour fonctionner comme GPIO via le registre GPIO\_MODE. Il contient un bit pour chaque GPIO pour configurer individuellement ce GPIO comme entrée ou sortie. Le registre est conçu pour permettre au logiciel de changer la direction d'une seule broche sans connaître les paramètres nécessaires pour les autres broches. Ceci est réalisé en ayant pour chaque bit de sélection de direction (GDP) un bit de masque associé (GDM) utilisé pour qualifier l'écriture dans le bit de direction GDP. Cela permet de modifier une direction individuelle dans le registre sans affecter les autres bits de direction. Notez que lors de la lecture à partir de ce registre, seuls les bits GDP de direction sont renvoyés et ceux-ci sont regroupés dans les 9 bits inférieurs. Une valeur de bit de direction GDP de 1 signifie que la broche est une entrée. Une valeur de bit GDP de 0 signifie que la broche est une sortie. Les bits GDP et leurs bits de masque GDM correspondants sont agencés avec quatre GPIO par octet pour permettre à une seule écriture d'un octet de changer la direction d'un GPIO individuel.

Le registre GPIO\_DIR contient les sous-champs suivants :

REG:26:08 – GPIO_DIR – Registre de contrôle de direction GPIO 31																															
30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
...				-	..		-	-	..																						
0	0	0	0	0	0	0	0	0	0	0	1	1	1	1	0	0	0	0	1	1	1										

Les champs du registre GPIO\_DIR identifiés ci-dessus sont décrits individuellement ci-dessous :

Champ	Description des champs dans le sous-registre 0x26:08 - GPIO_DIR
-	Les bits marqués '-' sont réservés et doivent être écrits comme zéro.
PIB0 reg:26:08 bit:0	Sélection de direction pour GPIO0. La lecture de ce bit montre le réglage de direction pour GPIO0. Valeurs 1 = entrée, 0 = sortie. Lors de l'écriture (1 ou 0), cette valeur GDP0 n'est modifiée que si le bit de masque GDM0 a la valeur 1 pour l'opération d'écriture.
PIB1 bit :1	Sélection de direction pour GPIO1. (Voir PIB0).
PIB2 bits : 2	Sélection de direction pour GPIO2. (Voir PIB0).
PIB3 peu : 3	Sélection de direction pour GPIO3. (Voir PIB0).
GDM0 reg:26:08 bit:4	Masque pour régler la direction de GPIO0. Lors de l'écriture dans GDP0, sélectionnez donc la direction E/S de GPIO0, la valeur de GDP0 n'est modifiée que si ce bit de masque GDM0 a la valeur 1 pour l'opération d'écriture. GDM0 sera toujours lu comme 0.

Champ	Description des champs dans le sous-registre 0x26:08 - GPIO_DIR
GDM1 peu : 5	Masque pour régler la direction de GPIO1. (Voir GDM0).
GDM2 peu : 6	Masque pour régler la direction de GPIO2. (Voir GDM0).
GDM3 peu : 7	Masque pour régler la direction du GPIO3. (Voir GDM0).
PIB4 bits : 8	Sélection de direction pour GPIO4. (Voir PIB0).
PIB5 bits : 9	Sélection de direction pour GPIO5. (Voir PIB0).
PIB6 bits : 10	Sélection de direction pour le GPIO6. (Voir PIB0).
PIB7 peu : 11	Sélection de direction pour le GPIO7. (Voir PIB0).
GDM4 peu : 12	Masque pour régler la direction du GPIO4. (Voir GDM0).
GDM5 peu : 13	Masque pour régler la direction du GPIO5. (Voir GDM0).
GDM6 peu : 14	Masque pour régler la direction du GPIO6. (Voir GDM0).
GDM7 reg:26:08 bit:15	Masque pour régler la direction du GPIO7. (Voir GDM0).
PIB8 reg:26:08 bit:16	Sélection de direction pour GPIO8. (Voir PIB0).
GDM8 reg:26:08 bit:20	Masque pour régler la direction du GPIO8. (Voir GDM0).

#### 7.2.39.4 Sous- registre 0x26:0C – GPIO\_DOUT

	Longueur (octets)	Type M	Rémonique	Description
26:0C	4	RW	GPIO_DOUT	Registre de sortie de données GPIO

Fichier de registre : [0x26 - Contrôle et état GPIO](#), le sous-registre 0x0C est le registre de sortie des données GPIO. Le registre GPIO\_DOUT s'applique aux broches GPIO lorsqu'elles sont sélectionnées pour fonctionner comme sorties GPIO via les registres GPIO\_MODE et GPIO\_DIR. Il contient un bit pour chaque broche GPIO pour sélectionner individuellement les données à sortir sur la broche de sortie GPIO. Le registre GPIO\_DOUT est conçu pour permettre au logiciel de modifier l'état de sortie d'une seule broche sans connaître les paramètres des autres broches de sortie. Ceci est réalisé en ayant pour chaque bit de sélection de valeur de sortie (GOP) un bit de masque associé (GOM) utilisé pour qualifier l'écriture dans le bit GOP.

Lors de la lecture à partir du registre GPIO\_DOUT, les bits de masque sont toujours lus comme 0, les bits de valeur de sortie seront lus pour afficher le réglage de sortie actuel pour les broches GPIO. Notez que cela ne signifie pas qu'il s'agit d'une sortie car cela dépend également de la sélection appropriée des registres GPIO\_MODE et GPIO\_DIR. Les bits de valeur de sortie et leurs bits de masque correspondants sont agencés avec quatre GPIO par octet pour permettre à une seule écriture d'un octet de modifier l'état d'une sortie GPIO individuelle.

Le registre GPIO\_DOUT contient les sous-champs suivants :

REG:26:0C – GPIO_DOUT – Registre de sortie de données GPIO																																
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
...			-	..	-	-	..	-																								
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	

Les champs du registre GPIO\_DOUT identifiés ci-dessus sont décrits individuellement ci-dessous :

Champ	Description des champs dans le sous-registre 0x26:0C – GPIO_DOUT Les bits
-	marqués '-' sont réservés et doivent être écrits comme zéro.
GOP0 reg:26:0C bit:0	Paramètre d'état de sortie pour la sortie GPIO0. La lecture de ce bit montre le réglage actuel pour GPIO0. Valeur 1 = sortie haute tension logique 1 et valeur 0 = sortie basse tension logique 1. Lors de l'écriture (soit 1 soit 0) sur ce bit GOP0, sa valeur n'est modifiée que si le bit de masque GOM0 a une valeur de 1 dans cette opération d'écriture.
GOP1 peu : 1	Réglage de l'état de sortie pour GPIO1. (Voir GOP0).
GOP2 bits : 2	Réglage de l'état de sortie pour GPIO2. (Voir GOP0).
GOP3 bits : 3	Réglage de l'état de sortie pour GPIO3. (Voir GOP0).
GOM0 reg:26:0C bit:4	Masque pour définir l'état de la sortie GPIO0. Lors de l'écriture sur GOP0 pour sélectionner l'état de la sortie GPIO0, la valeur de GOP0 n'est modifiée que si ce bit de masque GOM0 a la valeur 1 pour l'opération d'écriture. GOM0 sera toujours lu comme 0.
GOM1 peu : 5	Masque pour définir l'état de la sortie GPIO1. (Voir GOM0).
GOM2 peu : 6	Masque pour définir l'état de la sortie GPIO2. (Voir GOM0).
GOM3 peu : 7	Masque pour définir l'état de la sortie GPIO3. (Voir GOM0).
GOP4 peu : 8	Réglage de l'état de sortie pour GPIO4. (Voir GOP0).
GOP5 peu : 9	Réglage de l'état de sortie pour GPIO5. (Voir GOP0).
GOP6 peu : 10	Réglage de l'état de sortie pour GPIO6. (Voir GOP0).
GOP7 peu : 11	Réglage de l'état de sortie pour GPIO7. (Voir GOP0).
GOM4 peu : 12	Masque pour définir l'état de la sortie GPIO4. (Voir GOM0).
GOM5 bits : 13	Masque pour définir l'état de la sortie GPIO5. (Voir GOM0).
GOM6 bits : 15	Masque pour définir l'état de la sortie GPIO6. (Voir GOM0).
GOM7 reg:26:0C bit:15	Masque pour définir l'état de la sortie GPIO7. (Voir GOM0).
GOP8 reg:26:0C bit:16	Réglage de l'état de sortie pour GPIO8. (Voir GOP0).

Champ	Description des champs dans le sous-registre 0x26:0C – GPIO_DOUT
GOM8 reg:26:0C bit:20	Masque pour définir l'état de la sortie GPIO8. (Voir GOM0).

## 7.2.39.5 Sous-registre 0x26:10 – GPIO\_IRQE

	Longueur (octets)	Type Mnémonique	Description
26:10	4	RW GPIO_IRQE	Activation de l'interruption GPIO

Fichier de registre : [0x26 - Contrôle et état GPIO](#), le sous-registre 0x10 est le registre d'activation d'interruption GPIO. Le registre GPIO\_IRQE permet de sélectionner une broche d'entrée GPIO comme source d'interruption dans le DW1000.

Les registres de configuration supplémentaires GPIO\_IMODE, GPIO\_ISEN, GPIO\_IBES et GPIO\_IDBE permettent de définir l'interruption comme sensible au niveau avec le contrôle de l'état bas ou haut qui génère l'interruption, ou comme sensible au front avec le contrôle du ou des fronts qui génèrent l'interruption. interruption, et comprend un circuit de rebond configurable qui peut être utilisé pour ignorer les transitoires sur l'entrée. Le registre GPIO\_IRQE contient un bit pour chaque broche GPIO pour permettre à chacune d'être sélectionnée individuellement comme source d'interruption. La définition du bit approprié sur 1 active l'entrée GPIO correspondante en tant que source d'interruption, une valeur de 0 désactive cette interruption. Lorsqu'une interruption GPIO est déclenchée, elle est signalée à l'hôte via le bit d'état d'événement GPIOIRQ dans [le fichier de registre : 0x0F - Registre d'état des événements système](#). Les bits du registre GPIO\_IRQE sont les suivants :

REG:26:10 - GPIO_IRQE - Registre d'activation d'interruption GPIO 31																																
30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
...	...	...	...	-	...	-	-	...	-	-	...	-	-	-	...	-	-	...	-	-	-	-	-	-	-	-	-	-	-	-	-	-
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Les bits identifiés ci-dessus sont décrits individuellement ci-dessous :

Champ	Description des champs dans le sous-registre 0x26:10 – GPIO_IRQE
GIRQE0 reg:26:10 bit:0	Activation de l'IRQ GPIO pour l'entrée GPIO0. Valeur 1 = activer l'entrée GPIO GPIO0 comme source d'interruption. Valeur 0 = GPIO0 n'est pas une source d'interruption.
GIRQE1 bit : 1	Activer GPIO IRQ pour l'entrée GPIO1. Valeur 1 = activer, 0 = désactiver.
Bit GIRQE2 : 2	Activer GPIO IRQ pour l'entrée GPIO2. Valeur 1 = activer, 0 = désactiver.
GIRQE3 bit : 3	Activer GPIO IRQ pour l'entrée GPIO3. Valeur 1 = activer, 0 = désactiver.
GROUPE 4 peu : 4	Activer GPIO IRQ pour l'entrée GPIO4. Valeur 1 = activer, 0 = désactiver.
GROUPE 5 peu : 5	Activer GPIO IRQ pour l'entrée GPIO5. Valeur 1 = activer, 0 = désactiver.
GROUPE 6 peu : 6	Activer GPIO IRQ pour l'entrée GPIO6. Valeur 1 = activer, 0 = désactiver.

Champ	Description des champs dans le sous-registre 0x26:10 – GPIO_IRQE
GIRQE7 peu : 7	Activation de l'IRQ GPIO pour l'entrée GPIO7. Valeur 1 = activer, 0 = désactiver.
GROUPE 8 reg:26:10 bits:8	Activer GPIO IRQ pour l'entrée GPIO8. Valeur 1 = activer, 0 = désactiver.
- reg:26:10 bits:31-9	Les bits marqués '-' sont réservés et doivent être écrits comme zéro.

#### 7.2.39.6 Sous-registre 0x26:14 – GPIO\_ISEN

	Longueur (octets)	Type Mnémonique	Description
26:14	4	RW GPIO_ISEN	Sélection du sens d'interruption GPIO

Fichier de registre : **0x26 - Contrôle et état GPIO**, le sous-registre 0x14 est le registre de sélection du sens d'interruption GPIO.

Le registre GPIO\_ISEN agit pour définir l'état/l'événement qui donne lieu à une interruption GPIO. En supposant que le GPIO est une entrée et qu'il est activé en tant qu'interruption via le registre GPIO\_IRQE, le registre GPIO\_IMODE sélectionne si l'interruption est sensible au niveau ou au front, et ce registre GPIO\_ISEN sélectionne quel niveau ou front est l'état/l'événement qui provoque l'interruption. Le registre GPIO\_ISEN contient un bit pour chaque broche GPIO afin de permettre à chacune d'être configurée individuellement. Les bits sont les suivants :

REG: 26: 14 - GPIO_ISEN - Registre de sélection de détection d'interruption GPIO																																
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
...				-	..	-	-	..	-	-	-	-	...						-	-	-	-	-	-	-	-	-	-	-	-	-	
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Les bits du registre GPIO\_ISEN identifiés ci-dessus sont décrits individuellement ci-dessous :

Champ	Description des champs dans le sous-registre 0x26:14 – GPIO_ISEN GPIO
GISENO reg:26:14 bit:0	IRQ Sense selection GPIO0 input. Valeur 0 = Interruption sensible de niveau haut active ou interruption déclenchée par le front montant. Valeur 1 = Interruption sensible de bas niveau active ou interruption déclenchée par le front descendant.
GISEN1 peu : 1	Détection GPIO IRQ pour l'entrée GPIO1. Valeur 0 = haut ou front montant, 1 = bas ou front descendant.
LA FILLE2 peu : 2	Détection GPIO IRQ pour l'entrée GPIO2. Valeur 0 = haut ou front montant, 1 = bas ou front descendant.
GISEN3 bits : 3	Détection GPIO IRQ pour l'entrée GPIO3. Valeur 0 = haut ou front montant, 1 = bas ou front descendant.
GISEN4 bits : 4	Détection GPIO IRQ pour entrée GPIO4. Valeur 0 = haut ou front montant, 1 = bas ou front descendant.
GISEN5 peu : 5	Détection GPIO IRQ pour l'entrée GPIO5. Valeur 0 = haut ou front montant, 1 = bas ou front descendant.
GISEN6 peu : 6	Détection GPIO IRQ pour l'entrée GPIO6. Valeur 0 = haut ou front montant, 1 = bas ou front descendant.
GISEN7 peu : 7	Détection GPIO IRQ pour l'entrée GPIO7. Valeur 0 = haut ou front montant, 1 = bas ou front descendant.

Champ	Description des champs dans le sous-registre 0x26:14 - GPIO_ISEN
GISEN8 reg:26:14 bits:8	Détection GPIO IRQ pour l'entrée GPIO8. Valeur 0 = haut ou front montant, 1 = bas ou front descendant.
- reg:26:14 bits:31-9	Les bits marqués '-' sont réservés et doivent être écrits comme zéro.

#### 7.2.39.7 Sous-registre 0x26:18 – GPIO\_IMODE

Segment	Longueur (octets)	Type Mnémonique	Description
26:18	4	RW GPIO_IMODE Mode d'interruption GPIO (niveau/front)	

Fichier de registre : [0x26 - Contrôle et état GPIO](#), le sous-registre 0x18 est le registre de sélection du mode d'interruption GPIO.

En supposant que le GPIO est une entrée et activé comme une interruption via le registre GPIO\_IRQE, alors ce registre

GPIO\_IMODE agit pour sélectionner si l'interruption est sensible au niveau ou déclenchée par un front. Le registre

GPIO\_IMODE contient un bit pour chaque broche GPIO afin de permettre à chacune d'être configurée individuellement. Les bits sont les suivants :

REG:26:18 – GPIO_IMODE – Registre de sélection du mode d'interruption GPIO 31																																	
30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0			
...	...	...	...	-	..	-	-	-	..	-	-	-	-	...	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Les bits du registre GPIO\_IMODE identifiés ci-dessus sont décrits individuellement ci-dessous :

Champ	Description des champs dans le sous-registre 0x26:18 – GPIO_IMODE Sélection
GIMOD0 reg:26:18 bit:0	du mode GPIO IRQ pour l'entrée GPIO0. Valeur 0 = Interruption sensible au niveau. Valeur 1 = interruption déclenchée par front.
GIMOD1 peu : 1	Sélection du mode GPIO IRQ pour l'entrée GPIO1. Valeur 0 = Niveau, 1 = Bord.
GIMOD2 bits : 2	Sélection du mode GPIO IRQ pour l'entrée GPIO2. Valeur 0 = Niveau, 1 = Bord.
GIMOD3 bits : 3	Sélection du mode GPIO IRQ pour l'entrée GPIO3. Valeur 0 = Niveau, 1 = Bord.
GIMOD4 bits : 4	Sélection du mode GPIO IRQ pour l'entrée GPIO4. Valeur 0 = Niveau, 1 = Bord.
GIMOD5 peu : 5	Sélection du mode GPIO IRQ pour l'entrée GPIO5. Valeur 0 = Niveau, 1 = Bord.
GIMOD6 peu : 6	Sélection du mode GPIO IRQ pour l'entrée GPIO6. Valeur 0 = Niveau, 1 = Bord.
GIMOD7 peu : 7	Sélection du mode GPIO IRQ pour l'entrée GPIO7. Valeur 0 = Niveau, 1 = Bord.

Champ	Description des champs dans le sous-registre 0x26:18 - GPIO_IMODE
GIMOD8 reg:26:18 bits:8	Sélection du mode GPIO IRQ pour l'entrée GPIO8. Valeur 0 = Niveau, 1 = Bord.
- reg:26:18 bits:31-9	Les bits marqués '-' sont réservés et doivent être écrits comme zéro.

#### 7.2.39.8 Sous-registre 0x26:1C – GPIO\_IBES

Champ	Longueur (octets)	Type Mnémonique	Description
26:1C	4	RW GPIO_IBES	Interruption GPIO "Both Edge" Select

Fichier de registre : [0x26 - Contrôle et état GPIO](#), le sous-registre 0x1C est le registre de sélection de l'interruption GPIO "Both Edge". Cela s'applique uniquement lorsque les interruptions sensibles aux fronts sont activées dans le registre GPIO\_IMODE. Dans ce cas, le registre GPIO\_ISEN agit normalement pour sélectionner le front qui déclenche l'interruption. Ce registre GPIO\_IBES remplace le registre GPIO\_ISEN pour sélectionner les deux fronts en tant que front déclenchant l'interruption. Le registre GPIO\_IBES contient un bit pour chaque broche GPIO afin de permettre à chacune d'être configurée individuellement. Les bits sont les suivants :

REG:26:1C – GPIO_IBES – Registre de sélection des interruptions GPIO « Les deux bords »																																													
»	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0													
...					-	..		-	-	..			-	-	..						-	-	..			-	-	-	-	-	-	-	-	-	-	-									
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Les bits du registre GPIO\_IBES identifiés ci-dessus sont décrits individuellement ci-dessous :

Champ	Description des champs dans le sous-registre 0x26:1C - GPIO_IBES
GIBES0 reg:26:1C bit:0	Sélection IRQ GPIO "Both Edge" pour l'entrée GPIO0. Valeur 0 = le registre GPIO_IMODE sélectionne le front. Valeur 1 = Les deux fronts déclenchent l'interruption.
GIBES1 peu : 1	Sélection GPIO IRQ "Both Edge" pour l'entrée GPIO1. Valeur 0 = utiliser GPIO_IMODE, 1 = les deux bords.
GIBES2 peu : 2	Sélection GPIO IRQ "Both Edge" pour l'entrée GPIO2. Valeur 0 = utiliser GPIO_IMODE, 1 = les deux bords.
GIBES3 peu : 3	Sélection GPIO IRQ "Both Edge" pour l'entrée GPIO3. Valeur 0 = utiliser GPIO_IMODE, 1 = les deux bords.
GIBES4 peu : 4	Sélection GPIO IRQ "Both Edge" pour l'entrée GPIO4. Valeur 0 = utiliser GPIO_IMODE, 1 = les deux bords.
GIBES5 peu : 5	Sélection GPIO IRQ "Both Edge" pour l'entrée GPIO5. Valeur 0 = utiliser GPIO_IMODE, 1 = les deux bords.
GIBES6 peu : 6	Sélection GPIO IRQ "Both Edge" pour l'entrée GPIO6. Valeur 0 = utiliser GPIO_IMODE, 1 = les deux bords.
GIBES7 peu : 7	Sélection GPIO IRQ "Both Edge" pour l'entrée GPIO7. Valeur 0 = utiliser GPIO_IMODE, 1 = les deux bords.

Manuel d'utilisation DW1000

Champ	Description des champs dans le sous-registre 0x26: 1C - GPIO_IBES
GIBES8 reg:26:1C bit:8	GPIO IRQ Sélection "Both Edge" pour l'entrée GPIO8. Valeur 0 = utiliser GPIO_IMODE, 1 = les deux bords.
- reg:26: bits 1C:31-9	Les bits marqués '-' sont réservés et doivent être écrits comme zéro.

### 7.2.39.9 Sous-registre 0x26:20 – GPIO ICLR

<small>IDENTIFIANT</small>	Longueur (octets)	Type Mnémonique	Description
26:20	4	RW GPIO ICLR	Verrouillage d'interruption GPIO Effacer

Fichier de registre : 0x26 - Contrôle et état GPIO, le sous-registre 0x20 est le registre d'effacement des interruptions GPIO. Lorsqu'une interruption GPIO se produit et répond aux critères configurés (bord/niveau, etc.), cet événement est verrouillé dans un verrou d'interruption interne. Pour effacer l'interruption, l'hôte doit écrire un 1 dans le bit approprié de ce registre GPIO\_ICLR. Il n'y a aucun moyen de lire le verrou d'interruption, ce qui signifie qu'un seul GPIO peut être activé pour interrompre à la fois, à moins que l'hôte ne dispose d'un autre moyen externe pour distinguer les événements. Bien que les interruptions sensibles au niveau soient verrouillées, si le niveau actif persiste, la suppression du verrouillage sera inefficace, car l'interruption se reproduira immédiatement. Le registre GPIO\_ICLR contient un bit pour chaque broche GPIO comme suit :

Les bits du registre GPIO ICLR identifiés ci-dessus sont décrits individuellement ci-dessous :

Champ	Description des champs dans le sous-registre 0x26:20 - GPIO_ICL_R
GICLR0 reg:26:20 bit:0	Verrou GPIO IRQ clair pour l'entrée GPIO0. Écrivez 1 pour effacer le verrou d'interruption GPIO0. Ecrire 0 n'a aucun effet. La lecture renvoie zéro.
GICLR1 peu : 1	Verrouillage GPIO IRQ effacé pour l'entrée GPIO1. Écrivez 1 pour effacer le verrou d'interruption.
GICLR2 peu : 2	Verrou GPIO IRQ clair pour l'entrée GPIO2. Écrivez 1 pour effacer le verrou d'interruption.
GICLR3 peu : 3	Verrou GPIO IRQ clair pour l'entrée GPIO3. Écrivez 1 pour effacer le verrou d'interruption.
GICLR4 peu : 4	Verrou GPIO IRQ clair pour l'entrée GPIO4. Écrivez 1 pour effacer le verrou d'interruption.
GICLR5 peu : 5	Verrou GPIO IRQ clair pour l'entrée GPIO5. Écrivez 1 pour effacer le verrou d'interruption.
GICLR6 peu : 6	Verrou GPIO IRQ clair pour l'entrée GPIO6. Écrivez 1 pour effacer le verrou d'interruption.

Champ	Description des champs dans le sous-registre 0x26:20 - GPIO_ICLR
GICLR7 peu : 7	Verrou GPIO IRQ clair pour l'entrée GPIO7. Écrivez 1 pour effacer le verrou d'interruption.
GICLR8 reg:26:20 bits:8	Verrou GPIO IRQ clair pour l'entrée GPIO8. Écrivez 1 pour effacer le verrou d'interruption.
- reg:26:20 bits:31-9	Les bits marqués '-' sont réservés et doivent être écrits comme zéro.

## 7.2.39.10 Sous-registre 0x26:24 – GPIO\_IDBE

nom	Longueur (octets)	Type Mnémonique	Description
26:24	4	RW GPIO_IDBE Activation anti-rebond d'interruption GPIO	

Fichier de registre : [0x26 - Contrôle et état GPIO](#), le sous-registre 0x24 est le registre d'activation anti-rebond d'interruption GPIO. Le GPIO\_IDBE contrôle une fonction de filtrage qui opère sur les entrées GPIO avant leur présentation dans la logique d'interruption GPIO. Ce circuit de filtre anti-rebond supprime les transitoires courts en utilisant l'horloge kilohertz (telle qu'activée par le bit KHZCLKEN dans le [sous-registre 0x36:00 - PMSC\\_CTRL0](#)) pour échantillonner le signal d'entrée. Voir KHZCLKDIV dans [le sous-registre 0x36:04 - PMSC\\_CTRL1](#) pour une description de l'horloge kilohertz. Le filtre anti-rebond est actif lorsqu'un changement d'état de l'entrée GPIO doit persister pendant deux cycles de cette horloge avant d'être vu par la logique de gestion des interruptions. Le registre GPIO\_IDBE contient un bit pour chaque broche GPIO comme suit :

REG: 26: 24 - GPIO_IDBE - Activation anti-rebond d'interruption GPIO 31																																
30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
...	...	...	...	...	...	...	...	...	...	...	...	...	...	...	...	...	...	...	...	...	...	...	...	...	...	...	...	...	...	...	...	
...	...	...	...	...	...	...	...	...	...	...	...	...	...	...	...	...	...	...	...	...	...	...	...	...	...	...	...	...	...	...	...	...

Les bits du registre GPIO\_IDBE identifiés ci-dessus sont décrits individuellement ci-dessous :

Champ	Description des champs dans le sous-registre 0x26:24 – GPIO_IDBE
GIDBE0 reg:26:24 bit:0	Activation anti-rebond GPIO IRQ pour GPIO0. Valeur 1 = anti-rebond activé. Valeur 0 = anti-rebond désactivé.
GUIDE1 peu : 1	Configuration anti-rebond IRQ GPIO1. Valeur 1 = anti-rebond activé, 0 = anti-rebond désactivé.
FAUX 2 peu : 2	Configuration anti-rebond IRQ GPIO2. Valeur 1 = anti-rebond activé, 0 = anti-rebond désactivé.
GIDBE3 peu : 3	Configuration anti-rebond IRQ GPIO3. Valeur 1 = anti-rebond activé, 0 = anti-rebond désactivé.
GUIDE4 peu : 4	Configuration anti-rebond GPIO4 IRQ. Valeur 1 = anti-rebond activé, 0 = anti-rebond désactivé.
GUIDE 5 peu : 5	Configuration anti-rebond IRQ GPIO5. Valeur 1 = anti-rebond activé, 0 = anti-rebond désactivé.

Manuel d'utilisation DW1000

Champ	Description des champs dans le sous-registre 0x26:24 – GPIO_IDBF GPIO6
GIDBE6 peu : 6	Configuration anti-rebond IRQ. Valeur 1 = anti-rebond activé, 0 = anti-rebond désactivé.
GIDBE7 peu : 7	Configuration anti-rebond IRQ GPIO7. Valeur 1 = anti-rebond activé, 0 = anti-rebond désactivé.
FAUX 8 reg:26:24 bits:8	Configuration anti-rebond GPIO8 IRQ. Valeur 1 = anti-rebond activé, 0 = anti-rebond désactivé.
- reg:26:24 bits:31-9	Les bits marqués '-' sont réservés et doivent être écrits comme zéro.

#### 7.2.39.11 Sous-registre 0x26:28 – GPIO\_RAW

<small>IDENTIFIANT</small>	Longueur (octets)	Type Mnémonique	Description	
26:28	4	RO	GPIO_RAW	État brut GPIO

Fichier registre : 0x26 – Contrôle et état GPIO, le sous-registre 0x28 permet de lire l'état brut de la broche GPIO. Le registre GPIO\_RAW contient un bit pour chaque broche GPIO comme suit :

Les bits du registre GPIO\_RAW identifiés ci-dessus sont décrits individuellement ci-dessous :

Champ	Description des champs dans le sous-registre 0x26:28 - GPIO_RAW
GRAWP0 reg:26:28 bits:0	Ce bit reflète l'état brut de GPIO0.
GRAPHIQUE1 peu : 1	État brut du port GPIO1.
GRAWP2 bit : 2	État brut du port GPIO2.
GRAWP3 bit : 3	État brut du port GPIO3.
GRAWP4 bits : 4	État brut du port GPIO4.
GRAWP5 peu : 5	État brut du port GPIO5.
GRAWP6 peu : 6	État brut du port GPIO6.
GRAWP7 peu : 7	État brut du port GPIO7.

Champ	Description des champs dans le sous-registre 0x26:28 – GPIO_RAW État brut
GRAWP8 reg:26:28 bits:8	du port GPIO8.
- reg:26:28 bits:31-9	Les bits marqués '-' sont réservés et doivent être écrits comme zéro.

#### 7.2.40 Fichier registre : 0x27 – Configuration du récepteur numérique

IDENTIFIANT	Longueur (octets)	Type Mnémonique	Description
0x27	-	- Configuration du récepteur numérique DRX_CONF	

Le fichier de registre [de carte de registre](#) 0x27 concerne la configuration du récepteur numérique de bas niveau. Il contient un certain nombre de sous-registres. Un aperçu de ceux-ci est donné par le tableau 29. Chacun de ces sous-registres est décrit séparément dans les sous-sections ci-dessous.

Tableau 29 : Fichier de registre : 0x27 – Aperçu de la configuration du récepteur numérique

OFFSET dans le registre 0x27	Mnémonique	Description
0x02	DRX_TUNE0b	Registre d'accord numérique 0b
0x04	DRX_TUNE1a	Registre d'accord numérique 1a
0x06	DRX_TUNE1b	Registre d'accord numérique 1b
0x08	DRX_TUNE2	Registre d'accord numérique 2
0x20	DRX_SFDTOC	Délai d'attente SFD
0x24	DRX_PRETOC	Délai de détection du préambule
0x26	DRX_TUNE4H	Registre d'accord numérique 4H
0x28	Registre d'intégrateur de récupération de porteuse <a href="#">DRX_CAR_INT</a>	
0x2C	RXPACC_NOSAT	Symboles de préambule accumulés non saturés

##### 7.2.40.1 Sous-registre 0x27:00 – DRX\_RES1

IDENTIFIANT	Longueur (octets)	Type Mnémonique	Description
27:00	2	-	Réservé

Fichier de registre : 0x27 – Configuration du récepteur numérique, le sous-registre 0x00 est une zone réservée. Veillez à ne pas écrire dans ce registre car cela pourrait entraîner un dysfonctionnement du DW1000.

##### 7.2.40.2 Sous-registre 0x27:02 – DRX\_TUNE0b

IDENTIFIANT	Longueur (octets)	Type Mnémonique	Description
27:02	2	RW DRX_TUNE0b	Registre d'accord numérique 0b

Fichier de registre : 0x27 - Configuration du récepteur numérique, le sous-registre 0x02 est un registre de réglage de 16 bits. Pour des performances optimales, la valeur ici doit changer en fonction du débit de données et selon que la séquence SFD est configurée pour être la séquence SFD conforme à la norme IEEE 802.15.4 UWB ou la configuration SFD non standard la plus performante. Les valeurs nécessaires sont données dans le tableau 30 ci-dessous. Veillez à ne pas écrire d'autres valeurs dans ce registre car cela pourrait entraîner un dysfonctionnement du DW1000.

Tableau 30 : Sous-registre 0x27:02 – Valeurs DRX\_TUNE0b

Débit de données	Configuration SFD	Valeur à programmer Sous-registre 0x27:02 – DRX_TUNE0b
110 kbit/s	SFD standard	0x000A
	SFD non standard	0x0016
850 kbit/s	SFD standard	0x0001
	SFD non standard	0x0006
6,8 Mbit/s	SFD standard	0x0001
	SFD non standard	0x0002

Remarque : Veuillez vous référer au [Tableau 21 : Configurations de séquence SFD recommandées pour de meilleures performances](#)

Données Taux	DWSFD reg:1F:00 bit:17	TNSSFD reg:1F:00 bit:20	RNSSFD reg:1F:00 bit:21	SFD_LENGTH rég:21:00 bits : 0–7	Description
6,8 Mbit/s	0	0	0	x	Lorsque le DW1000 fonctionne à 6,8 Mbps, cette programmation sélectionne le <b>SFD</b> standard IEEE à 8 symboles qui offre une robustesse suffisante puisque les données sont déjà la partie la plus faible du cadre.
850 kbit/s	1	1	1	16	Le <b>SFD</b> à 8 symboles IEEE standard est plus faible que les données à 850 kbps. Lorsque le DW1000 fonctionne à 850 kbps, cette programmation sélectionne un <b>SFD</b> à 16 symboles non standard défini par Decawave , ce qui supprime la faiblesse rendant le <b>SFD</b> plus puissant que les données à 850 kbps.
110 kbit/s	1	0	0	x	Cette programmation sélectionne un <b>SFD</b> à 64 symboles non standard défini par Decawave qui est plus robuste que le <b>SFD</b> à 64 symboles standard IEEE améliorant les performances en mode 110 kbps.

Le [tableau 22](#) ci-dessous présente des options de programmation de séquence **SFD** supplémentaires . Remarque :

La sélection de séquences **SFD** autres que la séquence SFD conforme à la norme IEEE 802.15.4-2011 UWB peut améliorer les performances, mais rendra bien sûr impossible l'interopérabilité avec un appareil configuré pour utiliser la norme **SFD** définie (ou avec un tiers périphériques utilisant le SFD standard).

Tableau 22 : Autres configurations de séquence SFD possibles

Données Taux	DWSFD reg:1F:00 bit:17	TNSSFDF régl:1F:00 peu : 20	RNSSFDF reg:1F:00 bit:21	SFD_LENGTH reg:21:00 bits:0-7	Description
850 kbit/s	0	0	0	X	Cette programmation sélectionne le <b>SFD</b> à 8 symboles tel que défini dans la norme IEEE 802.15.4, lors d'un fonctionnement à 850 kbps.
110 kbit/s	0	0	0	X	Cette programmation sélectionne le <b>SFD</b> à 64 symboles tel que défini dans la norme IEEE 802.15.4, lors d'un fonctionnement à 110 kbps.
850 kbit/s	1	0	0	X	Lorsque le DW1000 fonctionne à 850 kbps, cette programmation sélectionne un <b>SFD</b> non standard à 8 symboles défini par Decawave , qui est plus fort que le <b>SFD</b> défini par norme mais toujours un peu plus faible que les données. D'où notre recommandation du <b>SFD</b> à 16 symboles définie au tableau 21 pour les meilleures performances à 850 kbps.
6,8 Mbit/s ou 850 kbit/s	0	1	1	8 à 16	Lorsque le DW1000 fonctionne à 6,8 Mbps ou 850 kbps, cette programmation sélectionne l'utilisation d'un <b>SFD</b> configuré par l'utilisateur avec une longueur configurable dans la plage de 8 à 16 symboles. Dans ce mode, l'utilisateur est responsable de la programmation correcte de la séquence <b>SFD</b> dans le fichier de registre : 0x21 – Séquence SFD définie par l'utilisateur.
110 kbit/s	0	1	1	X	Lorsque le DW1000 fonctionne à 110 kbps, cela sélectionne l'utilisation d'un <b>SFD</b> configuré par l'utilisateur avec une longueur fixe de 64 symboles. Dans ce mode, l'utilisateur est responsable de la programmation correcte de la séquence <b>SFD</b> dans le fichier de registre : 0x21 – Séquence SFD définie par l'utilisateur.

Remarque : Les configurations autres que celles définies dans [le Tableau 21](#) ou [le Tableau 22](#) ne sont pas recommandées. Pour recevoir correctement une trame, le récepteur doit utiliser la même configuration de séquence **SFD** que celle utilisée par le dispositif de transmission distant.

Pour plus de détails sur la sélection optimale de la séquence SFD.

## 7.2.40.3 Sous-registre 0x27:04 – DRX\_TUNE1a

Identifiant	Longueur (octets)	Type Mnémonique	Description
27:04	2	RW DRX_TUNE1a	Registre d'accord numérique 1a

Fichier de registre : [0x27 - Configuration du récepteur numérique](#), le sous-registre 0x04 est un registre de réglage de 16 bits. La valeur ici doit changer en fonction de la configuration RXPRF. Les valeurs nécessaires sont données dans le tableau 31 ci-dessous. Veillez à ne pas écrire d'autres valeurs dans ce registre car cela pourrait entraîner un dysfonctionnement du DW1000.

Tableau 31 : Sous-registre 0x27:04 – Valeurs DRX\_TUNE1a

Configuration RXPRF	Valeur à programmer Sous-registre 0x27:04 – DRX_TUNE1a
(1) = PRF 16 MHz	0x0087
(2) = PRF 64 MHz	0x008D

## 7.2.40.4 Sous-registre 0x27:06 – DRX\_TUNE1b

Identifiant	Longueur (octets)	Type Mnémonique	Description
27:06	2	RW DRX_TUNE1b	Registre d'accord numérique 1b

Fichier de registre : [0x27 - Configuration du récepteur numérique](#), le sous-registre 0x06 est un registre de réglage 16 bits. La valeur ici doit changer en fonction du cas d'utilisation. Les valeurs nécessaires sont données dans le tableau 32 ci-dessous. Veillez à ne pas écrire d'autres valeurs dans ce registre car cela pourrait entraîner un dysfonctionnement du DW1000.

Tableau 32 : Sous-registre 0x27:06 – Valeurs DRX\_TUNE1b

Cas d'utilisation	Valeur à programmer Sous-registre 0x27:06 – DRX_TUNE1b
Longueurs de préambule > 1024 symboles, pour un fonctionnement à 110 kbps	0x0064
Longueurs de préambule 128 à 1024 symboles, pour un fonctionnement à 850 kbps et 6,8 Mbps	0x0020
Longueur du préambule = 64 symboles, pour un fonctionnement à 6,8 Mbps	0x0010

## 7.2.40.5 Sous-registre 0x27:08 – DRX\_TUNE2

Identifiant	Longueur (octets)	Type Mnémonique	Description
27:08	4	RW DRX_TUNE2	Registre de réglage numérique 2

Fichier de registre : [0x27 - Configuration du récepteur numérique](#), le sous-registre 0x08 est un registre de réglage. La valeur ici doit changer en fonction d'un certain nombre de paramètres. Les valeurs nécessaires sont données dans le tableau 33 ci-dessous. Veillez à ne pas écrire d'autres valeurs dans ce registre car cela pourrait entraîner un dysfonctionnement du DW1000.

Tableau 33 : Sous-registre 0x27:08 – Valeurs DRX\_TUNE2

Taille CAP (sélectionné ici)	Configuration RXPRF	Valeur à programmer Sous-registre 0x27:08 – DRX_TUNE2
8	PRF 16 MHz	0x311A002D
	PRF 64 MHz	0x313B006B
16	PRF 16 MHz	0x331A0052
	PRF 64 MHz	0x333B00BE
32	PRF 16 MHz	0x351A009A
	PRF 64 MHz	0x353B015E
64	PRF 16 MHz	0x371A011D
	PRF 64 MHz	0x373B0296

Remarque : Il s'agit de sélectionner la taille du PAC (via les bits 26 et 25 des valeurs du Tableau 33).

La taille du PAC doit être sélectionnée en fonction de la longueur de préambule attendue dans le récepteur. Pour plus de détails sur la taille du PAC et son rôle, veuillez vous référer à la section [4.1.1 – Détection de préambule](#) où le Tableau 6 donne la configuration de taille de PAC recommandée pour chaque longueur de préambule.

## 7.2.40.6 Sous-registre 0x27:0C – DRX\_RES2

Identifiant	Longueur (octets)	Type Mnémonique	Description
27:0C	20	-	Réserve

Fichier de registre : [0x27 – La configuration du récepteur numérique](#), du décalage 0x0C au décalage 0x1F inclus est une zone réservée. Veillez à ne pas écrire dans cette zone car cela pourrait entraîner un dysfonctionnement du DW1000.

## 7.2.40.7 Sous-registre 0x27:20 – DRX\_SFDTOC

IDENTIFIANT	Longueur (octets)	Type M	Rémonique	Description
27:20	2	RW	DRX_SFDTOC	Décompte du délai d'attente de détection SFD

Fichier de registre : [0x27 - Configuration du récepteur numérique](#), le sous-registre 0x20 est utilisé pour définir la période du compteur de temporisation de détection SFD 16 bits, en unités de symboles de préambule. La temporisation de détection SFD commence à s'exécuter dès que le préambule est détecté. Si la séquence SFD n'est pas détectée avant l'expiration de la période de temporisation, celle-ci interrompra la réception en cours et définira le bit d'état d'événement RXSFDTO dans le fichier de registre : [0x0F - Registre d'état des événements système](#). Les événements de temporisation SFD sont également comptés dans [le sous-registre 0x2F:10 – Compteur d'erreurs de temporisation SFD](#), en supposant que le comptage est activé par le bit EVC\_EN dans le [sous-registre 0x2F:00 – Événement Contrôle du compteur](#).

Le but de la temporisation de détection SFD est de récupérer des événements occasionnels de détection de faux préambule qui se produisent. Par défaut, cette valeur est de 4096+64+1 symboles, ce qui correspond juste au plus long préambule et à la séquence SFD possible. C'est la valeur maximale qui est sensible. Lorsqu'il est connu qu'un préambule plus court est utilisé, la valeur DRX\_SFDTOC peut être réduite de manière appropriée. Il est également recommandé de réduire davantage la valeur DRX\_SFDTOC de la taille du PAC car une taille de PAC de la longueur du préambule sera perdue dans le cadre de la détection du préambule.

**AVERTISSEMENT :** veuillez ne PAS définir DRX\_SFDTOC sur zéro (désactivation du délai de détection SFD). Avec le délai d'attente SFD désactivé et en cas de détection de faux préambule, le CI restera en mode réception jusqu'à ce qu'il soit commandé de faire autrement par le microcontrôleur externe. Cela peut entraîner une réduction significative de la durée de vie de la batterie.

## 7.2.40.8 Sous-registre 0x27:22 – DRX\_RES3

IDENTIFIANT	Longueur (octets)	Type M	Rémonique	Description
27:22	2	-	-	Réserve

Fichier de registre : [0x27 - Configuration du récepteur numérique](#), le sous-registre 0x22 est une zone réservée. Veillez à ne pas écrire dans ce registre car cela pourrait entraîner un dysfonctionnement du DW1000.

## 7.2.40.9 Sous-registre 0x27:24 – DRX\_PRETOC

IDENTIFIANT	Longueur (octets)	Type M	Rémonique	Description
27:24	2	RW	DRX_PRETOC	Décompte du délai de détection du préambule

Fichier de registre : [0x27 - Configuration du récepteur numérique](#), le sous-registre 0x24 est utilisé pour définir la période de temporisation de détection de préambule de 16 bits, en unités de symboles de taille PAC. La valeur par défaut/réinitialisée est zéro, ce qui désactive le délai de détection du préambule. Le délai de détection de préambule commence à courir dès que le récepteur est activé pour rechercher le préambule. Dans le cas d'une réception retardée (telle que commandée à l'aide de la commande RXDLYE dans le [fichier de registre : 0x0D - Registre de contrôle du système](#)), le délai de détection du préambule commence après le délai lorsque le récepteur s'allume réellement pour rechercher le préambule. Si une séquence de préambule n'est pas détectée avant le délai

expire, le délai d'attente agira pour abandonner la réception en cours et définira le bit d'état d'événement RXPTO dans le [fichier de registre : 0x0F - Registre d'état des événements système](#).

Dans les cas où une réponse est attendue à un moment particulier, ce délai d'attente peut être utilisé pour signaler que la réponse attendue ne démarre pas à l'heure et donc pour éteindre le récepteur plus tôt que ce ne serait autrement le cas (c'est-à-dire si vous utilisez simplement la trame délai d'attente). Cela peut donner une bonne économie d'énergie, dans des situations d'envoi de message et d'attente d'une réponse qui souvent ne vient pas.

Le DRX\_PRETOC est programmé en unités de taille PAC, qui peuvent être de 8, 16, 32 ou 64 symboles. Le Tableau 60 donne les longueurs des symboles de préambule. La taille du PAC est définie dans [le sous-registre 0x27:08 - DRX\\_TUNE2](#). Comme il s'agit d'un compteur 16 bits, la temporisation maximale de détection de préambule possible est de  $65535 \times (\text{taille PAC})$ , une période de plus de 500 ms pour la plus petite taille de PAC. Comme le compteur ajoute automatiquement 1 à la valeur programmée, DRX\_PRETOC doit être programmé pour être inférieur de 1 à la valeur souhaitée.

Une valeur de zéro désactive le délai de détection de préambule.

Exemple : Supposons que notre longueur de préambule est de 1 024 symboles et que la taille du PAC est définie sur 32 (conformément au tableau 6) et que nous envoyons un message et savons que la réponse (si elle est présente) viendra après exactement 30 ms (parce que le répondeur est en utilisant l'envoi différé pour commencer la réponse exactement 30 ms après la réception de notre message). Nous pouvons commander une réception retardée de 30 ms (chronométrée à partir de l'heure de transmission de notre message) et faire programmer DRX\_PRETOC à une valeur de 32, qui est la longueur du préambule (1024) divisée par la taille du PAC (32).

Notez que pendant la période de temporisation PTO, dans certaines circonstances, un préambule peut être détecté et non confirmé. Dans ce cas, le compte à rebours PTO sera suspendu (retardant le timeout) pour un minimum de 1 PAC + 32 temps de symbole, mais peut-être plus longtemps si les détections de préambule continuent. Il est donc conseillé d'utiliser également le délai d'attente SFD et le délai d'attente de trame configurés de manière appropriée pour le recevoir la trame.

#### 7.2.40.10 Sous-registre 0x27:26 – DRX\_TUNE4H

	Longueur (octets)	Type Mnémonique	Description
27:26	2	RW DRX_TUNE4H	Registre de réglage numérique

Fichier de registre : [0x27 - Configuration du récepteur numérique](#), le sous-registre 0x26 est un registre de réglage 16 bits. La valeur ici doit changer en fonction de la longueur du préambule attendue par le récepteur. Les valeurs requises sont indiquées dans le Tableau 34. Veillez à ne pas écrire d'autres valeurs dans ce registre car cela pourrait entraîner un dysfonctionnement du DW1000.

Tableau 34 : Registre 0x27:26 Valeurs DRX\_TUNE4H

Préambule de réception attendu Longueur en symboles	Valeur à programmer Sous-registre 0x27:26 – DRX_TUNE4H
64	0x0010
128 ou plus	0x0028

## 7.2.40.11 Sous-registre 0x27:28 – DRX\_CAR\_INT

Identifiant	Longueur (octets)	Type Mnémonique	Description
27:28	3	Registre d'intégrateur de récupération de porteuse RO	DRX_CAR_INT

Fichier de registre : [0x27 – Configuration du récepteur numérique](#), le sous-registre 0x28 est un registre 21 bits en lecture seule.

Le récepteur DW1000 doit compenser les décalages de fréquence entre les références de synchronisation au niveau de l'appareil de transmission et lui-même pour réussir à recevoir un paquet. Par conséquent, lorsqu'un paquet est reçu avec succès, le DW1000 dispose d'une estimation suffisamment précise du décalage de fréquence.

Cette information est disponible dans le registre de l'intégrateur de récupération de porteuse, à l'adresse 0x27, offset 0x28. Il s'agit d'un nombre de 21 bits avec les 17 bits inférieurs, la partie fractionnaire et les 4 bits supérieurs comme la partie entière du nombre.

Lorsqu'un paquet est reçu avec succès, ce registre peut être lu et converti en erreur de fréquence (en Hz) à l'aide de

$$\begin{aligned}
 &= \frac{\times 2^{-17}}{2(\text{_____})} \\
 &= \\
 &= 8192\ 110 / 1024 \\
 &= \{ 998,4 \times \\
 &= 106
 \end{aligned}$$

Foffset est l'erreur de fréquence absolue en Hz. Il peut être converti en un décalage d'horloge (en ppm) en mettant à l'échelle par la fréquence porteuse comme suit

$$\begin{aligned}
 &= -106 \times \text{_____} \\
 &= \\
 &= 6489,6 \qquad \qquad \qquad 5
 \end{aligned}$$

Le signe moins est produit par le processus de mesure du décalage d'horloge.

Pour un canal particulier, les formules se réduisent à multiplier le contenu du registre de l'intégrateur de porteuse avec la constante appropriée du tableau ci-dessous :

Tableau 35 : Constantes pour le calcul du décalage de fréquence

Débit de données	Canal 2	Canal 3	Canal 5
850 Ko/s, 6,81 Mo/s	-0.9313e-3	-0.8278e-3	-0.5731e-3
110 Ko/s	-0.1164e-3	-0.1035e-3	-0.0716e-3

## 7.2.40.12 Sous-registre 0x27:2C – RXPACC\_NOSAT

IDENTIFIANT	Longueur (octets)	Type Mnémonique	Description
27:2C	2	RO RXPACC_NOSAT	Registre de débogage numérique. Préambule accumulé non saturé de deux symboles.

Fichier de registre : 0x27 - Configuration du récepteur numérique, le sous-registre 0x2C est une valeur de débogage en lecture seule contenant un nombre de symboles de préambule accumulés sans saturation. Notez que les symboles SFD accumulés moins deux (deux symboles SFD sont toujours ignorés dans le récepteur) sont également inclus.

## 7.2.41 Fichier registre : 0x28 – Bloc de configuration RF analogique

IDENTIFIANT	Longueur (octets)	Type Mnémonique	Description
0x28	-	- RF_CONF	Configuration RF analogique

Le fichier de registre de carte de registre 0x28 concerne la configuration de bas niveau des blocs analogiques IC. Il contient un certain nombre de sous-registres. Le tableau 36 en donne un aperçu. Chacun de ces sous-registres est décrit séparément dans les sous-sections ci-dessous.

Tableau 36 : Fichier de registre : 0x28 – Présentation du bloc de configuration RF analogique

OFFSET dans le registre 0x28	Mnémonique	Description
0x00	RF_CONF	Registre de configuration RF
0x04	RF_RES1	Zone réservée 1
0x0B	RF_RXCRLH	Registre de contrôle de réception analogique
0x0C	RF_TXCTRL	Registre de contrôle TX analogique
0x10	RF_RES2	Zone réservée 2
0x2C	RF_STATUS	Registre d'état RF
0x30	LDOTUNE	Réglage de la tension LDO

## 7.2.41.1 Sous-registre 0x28:00 – RF\_CONF

IDENTIFIANT	Longueur (octets)	Type Mnémonique	Description
28:00	4	RW RF_CONF	Registre de configuration RF

Fichier de registre : 0x28 - Bloc de configuration RF analogique, le sous-registre 0x00 est un registre de configuration 32 bits pour l'émetteur-récepteur. Veillez à ne pas écrire d'autres valeurs dans la zone réservée de ce registre car cela pourrait entraîner un dysfonctionnement du DW1000.

Notez que les étapes de programmation de l'étalonnage peuvent nécessiter des écritures dans ce registre.

REG:28:00 – RF_CONF – Registre de configuration RF 31 30																														
29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
-																														-
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	

## 7.2.41.2 Sous-registre 0x28:00 – RF\_CONF

Champ	Description des champs dans Sous-registre 0x28:00 – RF_CONF
Réservé  reg:28:00 bits:31:23,7:0	Ces champs sont réservés et ne doivent pas être définis sur 1 (peut être remplacé par 0).
TXF  reg:28:00 bits:12:8	Transmettre l'activation de la force du bloc. Écrivez 0x1F pour forcer tous les blocs TX activés. L'activation de ce champ sera utilisée pour certains modes de test et d'étalonnage où nous voulons forcer l'émetteur lorsqu'il n'y a pas de paquets en cours de transmission (c'est-à-dire le mode d'onde continue).
PLAINE  reg:28:00 bits:15:13	La force du bloc PLL est activée. Écrivez 0x5 pour activer la CLK_PLL ou 0x7 pour activer à la fois la CLK_PLL et la RF PLL. L'activation de ce champ sera utilisée pour certains modes de test et d'étalonnage où nous voulons forcer les PLL lorsqu'il n'y a pas de paquets en cours de transmission (c'est-à-dire Mode Onde Continue).
LDOFEN  reg:28:00 bits:20:16	Écrivez 0x1F pour forcer l'activation de tous les LDO. L'activation de ce champ sera utilisée pour certains modes de test et d'étalonnage où nous voulons forcer les LDO lorsqu'il n'y a pas de paquets en cours de transmission (c'est-à-dire le mode d'onde continue).
TXRXSW  reg:28:00 bits:22:21	Forcez le commutateur TX/RX. Pour configurer pour TX, la valeur écrite doit être définie sur 0x2, et pour configurer pour RX, la valeur doit être définie sur 0x1.

## 7.2.41.3 Sous-registre Contrôle de puissance TX manuel - RF\_RES1

IDENTIFIANT	Longueur (octets)	Type Mnémonique	Description	
28:04	7	RW	RF_RES1	Zone réservée 1

Fichier de registre : 0x28 - Bloc de configuration RF analogique, le sous-registre 0x04 est un registre réservé. Veillez à ne pas écrire dans ce registre car cela pourrait entraîner un dysfonctionnement du DW1000.

## 7.2.41.4 Sous-registre 0x28:0B– RF\_RXCTRLH

Identifiant	Longueur (octets)	Type Mnémonique	Description
28:0B	1	RW RF_RXCTRLH	Registre de contrôle de réception analogique

Fichier de registre : 0x28 - Bloc de configuration RF analogique, le sous-registre 0x0B est un registre de contrôle 8 bits pour le récepteur. La valeur ici doit être définie en fonction du canal RX sélectionné par la configuration RX\_CHAN dans [le fichier de registre : 0x1F - Contrôle du canal](#). Les valeurs requises sont indiquées dans le Tableau 37. Veillez à ne pas écrire d'autres valeurs dans ce registre car cela pourrait entraîner un dysfonctionnement du DW1000.

Tableau 37 : Valeurs du sous-registre 0x28:0B– RF\_RXCTRLH

Canal de réception	Valeur 8 bits à programmer Sous-registre 0x28:0B– RF_RXCTRLH
1, 2, 3 ou 5	0xD8
4 ou 7	0xBC

## 7.2.41.5 Sous-registre 0x28:0C– RF\_TXCTRL

Identifiant	Longueur (octets)	Type Mnémonique	Description
28:0C	3	RW RF_TXCTRL	Registre de contrôle TX analogique

Fichier de registre : 0x28 - Bloc de configuration RF analogique, le sous-registre 0x0C est un registre de contrôle 24 bits pour l'émetteur. La valeur ici doit être définie en fonction du canal TX sélectionné par la configuration TX\_CHAN dans [le fichier de registre : 0x1F - Contrôle du canal](#). Les valeurs requises sont indiquées dans le Tableau 38. Veillez à ne pas écrire d'autres valeurs dans ce registre car cela pourrait entraîner un dysfonctionnement du DW1000.

Tableau 38 : Valeurs du sous-registre 0x28:0C– RF\_TXCTRL

Canal d'émission	Valeur 24 bits à programmer Sous-registre 0x28:0C– RF_TXCTRL
1	0x00005C40
2	0x00045CA0
3	0x00086CC0
4	0x00045C80
5	0x00 1E3FE3
7	0x001E7DE0

REG:28:0C – RF_TXCTRL – Paramètres analogiques de l'émetteur 31																														
30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RÉSERVÉ										TXMQ TXMTUNE										-										
0	0	0	0	0	0	0	0	0	1	1	0	0	1	1	1	0	1	1	1	0	0	0	0	0	0	0	0	0	0	0

Définition des champs de bits dans le sous-registre 0x28:0C– RF\_TXCTRL :

Champ	Description des champs dans le sous-registre 0x28:0C– RF_TXCTRL Ces
Réservé reg:28:0C bits:31:12,4:0	champs sont réservés. Programmez uniquement comme indiqué dans le tableau 38.
TXMTUNE reg:28:0C bits:8:5	Transmettre le registre d'accord du mélangeur. Ce registre doit être réglé comme indiqué dans le Tableau 38. Il est possible de régler pour optimiser les performances d'une partie individuelle comme décrit dans la section <a href="#">8.2.2 - Autres réglages TX à prendre en compte</a> .
TXMQ reg:28:0C bits:11:9	Registre de réglage du facteur Q du mélangeur de transmission. Ce registre doit être réglé comme indiqué dans le Tableau 38. Il est possible de régler pour optimiser les performances d'une partie individuelle comme décrit dans la section <a href="#">8.2.2 - Autres réglages TX à prendre en compte</a> .

#### 7.2.41.6 Sous-registre 0x28:10 – RF\_RES2

Identifiant	Longueur (octets)	Type Mnémonique	Description
28:10	16 RW	RF_RES2	Zone réservée 2

Fichier de registre : [0x28 - Bloc de configuration RF analogique](#), le sous-registre 0x10 est un registre réservé. Veillez à ne pas écrire dans ce registre car cela pourrait entraîner un dysfonctionnement du DW1000.

#### 7.2.41.7 Sous-registre 0x28:2C – RF\_STATUS

Identifiant	Longueur (octets)	Type Mnémonique	Description
28:2C	4	RO	RF_STATUS Registre d'état RF

Fichier de registre : [0x28 - Bloc de configuration RF analogique](#), le sous-registre 0x2C est le registre d'état de verrouillage PLL.

Généralement, il n'est pas nécessaire de surveiller ce registre. Néanmoins il peut être utile comme diagnostic en cas de problème. Le registre RF\_STATUS contient les bits d'état suivants identifiés et décrits ci-dessous :

REG:28:2C – RF_STATUS – Registre d'état RF 31 30 29																														
28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-

Les bits du registre RF\_STATUS identifiés ci-dessus sont décrits individuellement ci-dessous :

Champ	Description des champs dans le sous-registre 0x28:2C – RF_STATUS
CPLLLOCK reg:28:2C bit:0	État de verrouillage de l'horloge PLL. Il s'agit d'un indicateur d'état en LECTURE SEULE. CPLLLOCK indique que l'horloge numérique PLL est verrouillée. Remarque : Le bit PLLLDT dans <a href="#">le fichier de registre 0x24:00 – EC_CTRL</a> doit être défini pour garantir un fonctionnement fiable de ce bit CPLLLOCK.
CPLLOW reg:28:2C bit:1	Horloge PLL Bit d'état du drapeau bas. Cela indique que la PLL fonctionne un peu en dessous de sa fréquence cible, ce qui peut être une indication précoce de problèmes de verrouillage.
CPLLÉLEVÉ reg:28:2C bit:2	Bit d'état du drapeau haut de l'horloge PLL. Cela indique que la PLL fonctionne un peu plus haut que sa fréquence cible, ce qui peut être une indication précoce de problèmes de verrouillage.
RFPLLLOCK reg:28:2C bit:3	État de verrouillage RF PLL. Il s'agit d'un indicateur d'état en LECTURE SEULE. CPLLOCK indique que la RF PLL est verrouillée. Notez que cet indicateur de détection de verrouillage peut ne pas être fiable et n'est utilisé que pour le débogage fins.
- reg:28:2C bits:31-4	Réserve. Le reste de ce registre est réservé.

### 7.2.41.8 Sous-registre 0x28:30 – LDOTUNE

	Longueur (octets)	Type Mnémonique	Description
28:30	5	RW LDOTUNE	Paramètre de réglage de la tension LDO interne

REG: 28: 30 - LDOTUNE - Réglage de la tension LDO	39	38	37	36	35	34	33	32		
LDOTUNE										
1	0	0	1	0	0					

Fichier de registre : 0x28 - Bloc de configuration RF analogique, le sous-registre 0x30 est le registre de réglage de la tension LDO.

Veillez à ne pas écrire dans ce registre sauf si vous chargez la valeur calibrée depuis OTP.

Champ	Description des champs dans le sous-registre 0x28:30 – LDOTUNE Ce
LDOTUNE reg:28:30 bits:39:0	registre est utilisé pour contrôler les niveaux de tension de sortie des LDO sur puce. S'il est configuré pour cela, ce registre peut être automatiquement chargé à partir de l' <a href="#">OTP</a> si une valeur autre que la valeur par défaut est requise, sinon la valeur par défaut doit être utilisée. Assurez-vous que la valeur LDOTUNE_CAL OTP est programmée avant de tenter de la copier à cette adresse. Pour charger automatiquement la valeur OTP dans ce registre, consultez <a href="#">le sous-registre 0x2C:0 – AON_WCFG bit 12</a> .

### 7.2.42 Fichier registre : 0x29 – Réservé

IDENTIFIANT	Longueur (octets)	Type Mnémonique	Description
0x29	-	-	Réservé – ce fichier de registre est réservé

Fichier de registre : 0x29 – Réservé est réservé. Veillez à ne pas écrire dans ce registre car cela pourrait entraîner un dysfonctionnement du DW1000.

### 7.2.43 Fichier de registre : 0x2A – Bloc d'étalonnage du transmetteur

IDENTIFIANT	Longueur (octets)	Type Mnémonique	Description
0x2A	-	- TX CAL	Bloc d'étalonnage du transmetteur

Le fichier de registre [de carte de registre](#) 0x2A est le bloc d'étalonnage de transmission concerné par la garantie de la configuration optimale du signal de transmission. Il contient un certain nombre de sous-registres. Le tableau 39 en donne un aperçu. Chacun de ces sous-registres est décrit séparément dans les sous-sections ci-dessous.

Tableau 39 : Fichier de registre : 0x2A – Aperçu du bloc d'étalonnage du transmetteur

OFFSET dans le registre 0x2A	Mnémonique	Description
0x00	TC_SARC	Étalonnage de l'émetteur - contrôle SAR
0x03	TC_SARL	Étalonnage de l'émetteur - Dernières lectures SAR
0x06	TC_SARW	Étalonnage de l'émetteur - Lectures SAR au dernier réveil
0x08	TC_PG_CTRL	Étalonnage de l'émetteur - Contrôle du générateur d'impulsions
0x09	TC_PG_STATUS	Étalonnage du transmetteur – État du générateur d'impulsions
0x0B	TC_PGDELAY	Étalonnage de l'émetteur - Délai du générateur d'impulsions
0x0C	TC_PGTTEST	Étalonnage de l'émetteur - Test du générateur d'impulsions

#### 7.2.43.1 Sous-registre 0x2A:00 – TC\_SARC

IDENTIFIANT	Longueur (octets) 2	Type Mnémonique	Description
2A:00		RW	TC_SARC

Fichier de registre : 0x2A - Bloc d'étalonnage du transmetteur, sous-registre 0x00, contient le sous-registre bitmap suivant

des champs:

REG_2A:00 – TC_SARC – Contrôle SAR d'étalonnage de l'émetteur 31 30 29																															
28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0			
...																															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0		

Définition des champs de bits dans le sous-registre 0x2A:00 – TC\_SARC :

Champ	Description des champs dans le sous-registre 0x2A:00 - TC_SARC
SAR_CTRL reg:2A:00 bit:0	L'écriture de 1 active l'activation du SAR et l'écriture de 0 efface l'activation. L'activation doit être réglée sur un minimum de 2,5 µs pour laisser au SAR le temps de terminer sa lecture.
- reg:2A:00 bits:15-1	Les bits marqués '-' dans le registre 0x2A:00 sont réservés et doivent toujours être écrits à zéro pour éviter tout dysfonctionnement du DW1000.

#### 7.2.43.2 Sous-registre 0x2A:03 – TC\_SARL

Longueur (octets)	Type Mnémonique	Description
3	RO	TC_SARL

Fichier de registre : 0x2A - Le bloc d'étalonnage du transmetteur, sous-registre 0x03, contient les sous-champs bitmap suivants :

REG:2A:03 – TC_SARL – Étalonnage de l'émetteur Dernières lectures SAR 31 30 29																													
28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
..				-	-	-	...					-	SAR_LTEMP														SAR_LVBAT		
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Définition des champs de bits dans le sous-registre 0x2A:03 – TC\_SARL :

Champ	Description des champs dans le sous-registre 0x2A:03 – TC_SARL
SAR_LVBAT reg:2A:03 bits:7-0	<p>Dernière lecture SAR pour le niveau de tension. La valeur 8 bits rapportée ici est la lecture de la tension depuis la dernière fois que l'A/D SAR a été utilisé pour échantillonner la sortie du moniteur de tension de la batterie. Le LSB est d'environ 6 mV. La valeur peut être convertie en tension réelle en utilisant la formule :</p> $\text{Tension (volts)} = ((\text{SAR_LVBAT} - \text{OTP\_READ(Vmeas @ 3,3 V)}) / 173) + 3,3$ <p>Cela utilise la lecture de 3,3 V stockée dans l'OTP qui a été enregistrée lors du test de production. La plage de mesure effective est de 2,25 V à 3,76 V. Pour plus de détails, reportez-vous à Pour plus de détails, reportez-vous à la section 6.4 – Mesure de la température et de la tension du circuit intégré.</p>

Champ	Description des champs dans le sous-registre 0x2A:03 – TC_SARL Dernière
SAR_LTEMP reg:2A:03 bits:15–8	<p>lecture SAR pour le niveau de température. La valeur 8 bits rapportée ici est la lecture de température de l'échantillonnage SAR A/D du capteur de température interne DW1000. Le LSB est d'environ 1,14 °C. La valeur peut être convertie en température réelle en utilisant la formule :</p> $\text{Température (°C)} = ((\text{SAR\_LTEMP} - \text{OTP\_READ(Vtemp @ 23°C)}) \times 1,14) + 23$ <p>Cela utilise la lecture de 23°C stockée dans l'OTP qui a été enregistrée pendant le test de production.</p> <p>Pour plus de détails, reportez-vous à la section <a href="#">6.4 – Mesure de la température et de la tension du circuit intégré</a>.</p>
- reg:2A:03 bits:23–16	Les bits marqués '-' dans le registre 0x2A:03 sont réservés et doivent toujours être écrits à zéro pour éviter tout dysfonctionnement du DW1000.

#### 7.2.43.3 Sous-registre 0x2A:06 – TC\_SARW

Identifiant	Longueur (octets)	Type	Métonymie	Description
2A:06	2	RO	TC_SARW	Étalonnage de l'émetteur - Lectures SAR au dernier réveil

Fichier de registre : [0x2A - Le bloc d'étalonnage du transmetteur](#), sous-registre 0x06, est un registre d'état de 16 bits qui contient les sous-champs bitmap suivants :

REG:2A:06 – TC_SARW – Lectures SAR d'étalonnage de l'émetteur au dernier réveil 31 30 29 28 27																										
26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SAR_WTEMP								SAR_WVBAT																		
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0											

Définition des champs de bits dans le sous-registre 0x2A:06 – TC\_SARW :

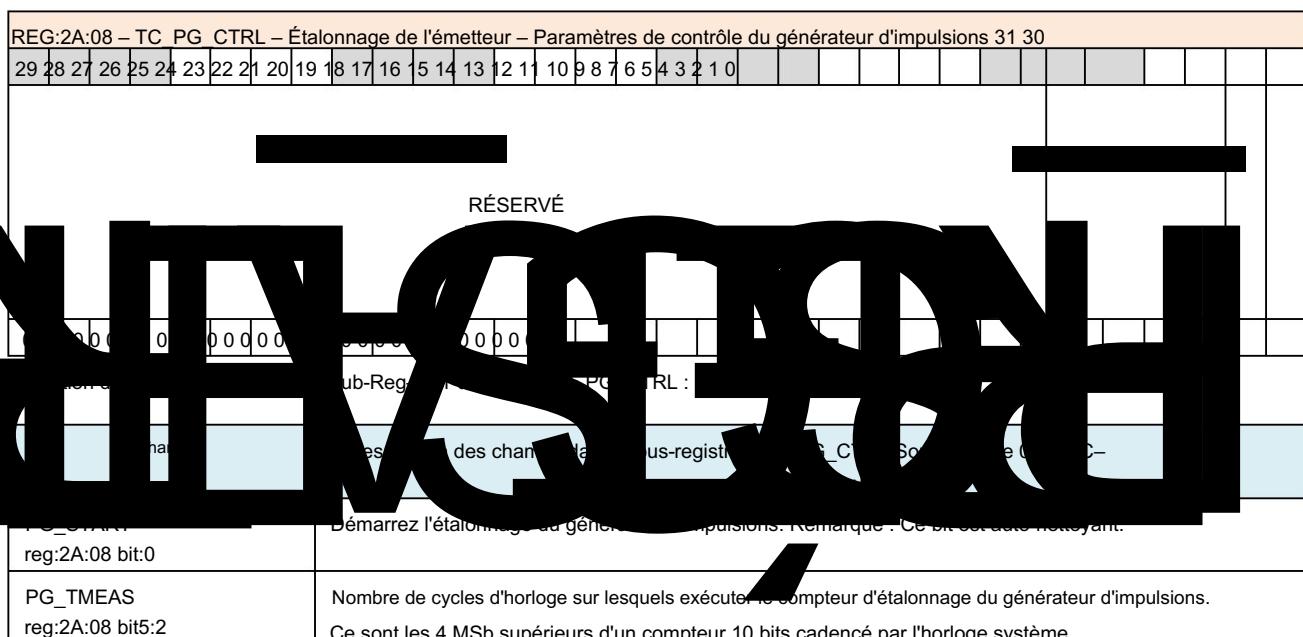
Champ	Description des champs dans le sous-registre 0x2A:06 – Lecture TC_SARW
SAR_WBAT reg:2A:06 bits:7–0	SAR du niveau de tension relevé lors du dernier événement de réveil. La valeur 8 bits rapportée ici est la lecture de la tension à partir de l'échantillonnage SAR A/N de la sortie du moniteur de tension de la batterie pendant le réveil. Pour que cela soit valide, le DW1000 doit avoir été réinitialisé ou réveillé avec le bit ONW_RADC activé dans le <a href="#">sous-registre (sauvegardé) 0x2C:00 - AON_WCFG</a> .
SAR_WTEMP reg:2A:06 bits:15–8	Lecture SAR du niveau de température prise lors du dernier événement de réveil. La valeur 8 bits rapportée ici est la lecture de température de l'échantillonnage SAR A/D du capteur de température interne DW1000 pendant le réveil. Pour que cela soit valide, le DW1000 doit avoir été réinitialisé ou réveillé avec le bit ONW_RADC activé dans le <a href="#">sous-registre (sauvegardé) 0x2C:00 – AON_WCFG</a> .

#### 7.2.43.4

### Sous-registre 0x2A:08 – TC\_PG\_CTRL

	Longueur (octets)	Type Mnémonique	Description
2A:08	1	RW TC_PG_CTRL	Étalonnage du transmetteur – Commande du générateur d'impulsions

Fichier de registre : 0x2A - Le bloc d'étalonnage de l'émetteur, sous- registre 0x08, est un registre de contrôle de 16 bits qui contient les sous-champs bitmap suivants :



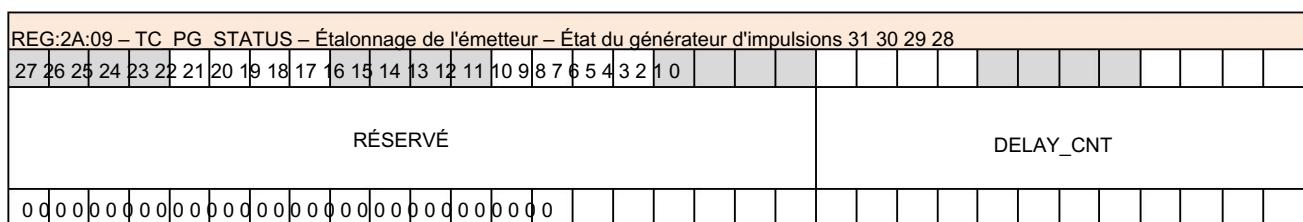
Ce registre contrôle l'étalonnage du générateur d'impulsions. Lorsqu'un étalonnage est terminé, il génère un décompte de retard du générateur d'impulsions basé sur la valeur actuelle de TC\_PGDELAY. La valeur de comptage est alors stockée automatiquement dans le registre TC\_PG\_STATUS. Ce compte de retard donne une réflexion cohérente de la bande passante quelle que soit la température.

## 7.2.43.5

#### Sous- registre 0x2A:09 – TC PG STATUS

	Longueur (octets)	Type Mnémonique	Description
2A:09	2	RO TO PG STATUS	Étalonnage du transmetteur – État PG

Fichier de registre : 0x2A - Le bloc d'étalonnage du transmetteur, sous-registre 0x09, est un registre d'état de 32 bits qui contient les sous-champs bitmap suivants :



La valeur de référence requise pour la compensation de largeur de bande de température est le contenu du registre TC\_PG\_STATUS. Cela représente un compteur qui s'incrémente à chaque impulsion générée par le générateur d'impulsions interne du CI DW1000. Intuitivement, cette valeur de comptage (appelée PG\_COUNT) variera inversement avec la valeur TC\_PGDELAY - si le délai entre les impulsions augmente, le nombre d'impulsions dans un laps de temps donné diminuera, et vice versa. DELAY\_CNT représente un compteur qui s'incrémente à chaque impulsion générée par le générateur d'impulsions interne du CI DW1000.

La valeur TC\_PGDELAY ne donnera pas la même bande passante pour des températures variables. La valeur PG\_COUNT, cependant, donnera une bande passante stable à toutes les températures. Il est pris comme référence car le DW1000 dispose d'une procédure d'auto-étalonnage du générateur d'impulsions ; la procédure prend une valeur PG\_COUNT et calcule la valeur TC\_PGDELAY à partir de celle-ci. Cette valeur TC\_PGDELAY peut ensuite être programmée pour donner la bande passante souhaitée.

Plus de détails sur l'utilisation de ces registres pour la compensation de température de bande passante peuvent être trouvés dans la note d'application suivante : APS023 Part 2.

#### 7.2.43.6 Sous-registre 0x2A:0B – TC\_PGDELAY

Identifiant	Longueur (octets)	Type Mnémonique	Description
2A:0B	1	RW TC_PGDELAY	Étalonnage du transmetteur – Délai du générateur d'impulsions

Fichier de registre : [0x2A - Bloc d'étalonnage de l'émetteur](#), le sous-registre 0x0B est un registre de configuration 8 bits permettant de définir la valeur du délai du générateur d'impulsions. Cela définit efficacement la largeur des impulsions transmises en définissant efficacement la bande passante de sortie. La valeur utilisée ici dépend du canal TX sélectionné par la configuration TX\_CHAN dans le fichier Registre : 0x1F – Contrôle du canal. Les valeurs recommandées sont données dans le tableau 40 ci-dessous ; notez cependant que ces valeurs peuvent devoir être ajustées pour la conformité à la réglementation spectrale en fonction des circuits externes.

Tableau 40 : Sous-registre 0x2A:0B – Valeurs recommandées TC\_PGDELAY

Canal d'émission	Valeur 8 bits à programmer Sous-registre 0x2A:0B – TC_PGDELAY
1	0xC9
2	0xC2
3	0xC5
4	0x95
5	0xB5
7	0x93

## 7.2.43.7 Sous-registre 0x2A:0C – TC\_PGTTEST

IDENTIFIANT	Longueur (octets)	Type Mnémonique	Description
2A:0C	1	RW TC_PGTTEST	Étalonnage du transmetteur – Test du générateur d'impulsions

Fichier de registre : 0x2A – Bloc d'étalonnage de l'émetteur, le sous-registre 0x0C est un registre de configuration 8 bits à utiliser pour régler l'émetteur en mode onde continue (CW). Ce mode CW est utilisé pendant l'opération d'ajustement du cristal qui peut être effectuée au stade de la fabrication du module dans le cadre de l'étalonnage de la fréquence de fonctionnement de l'oscillateur à cristal. À tout autre moment, pour un fonctionnement normal, la valeur de ce registre doit être laissée à sa valeur de mise sous tension par défaut de 0x00.

Tableau 41 : Sous-registre 0x2A:0C – TC\_PGTTEST

## Sous-registre 0x2A:0C – Valeurs TC\_PGTTEST

MODE	Valeur 8 bits à programmer Sous-registre 0x2A:0C – TC_PGTTEST
Fonctionnement normal	0x00
Mode de test d'onde continue (CW)	0x13

Pour plus de détails sur l'ajustage du cristal, veuillez vous reporter à la section [8.1 – Étalonnage IC – Ajustement de l'oscillateur à cristal](#).

## 7.2.44 Fichier de registre : 0x2B - Bloc de contrôle du synthétiseur de fréquence

IDENTIFIANT	Longueur (octets)	Type Mnémonique	Description
0x2B	-	-	Bloc de contrôle du synthétiseur de fréquence

Le fichier de registre de carte de registre 0x2B est le bloc de contrôle du synthétiseur de fréquence. Sa fonctionnalité principale est la génération de la fréquence porteuse nécessaire au canal d'exploitation. Il contient un certain nombre de sous-registres. Le tableau 42 en donne un aperçu. Chacun de ces sous-registres est décrit séparément dans les sous-sections ci-dessous.

Tableau 42 : Fichier de registre : 0x2B – Présentation du bloc de commande du synthétiseur de fréquence

OFFSET dans le registre 0x2B	Mnémonique	Description
0x00	FS_RES1	Synthétiseur de fréquence – Zone réservée 1
0x07	FS_PLLCFG	Synthétiseur de fréquence – Configuration PLL
0x0B	FS_PLLTUNE	Synthétiseur de fréquence – PLL Tuning
0x0C	FS_RES2	Synthétiseur de fréquence – Zone réservée 2
0x0E	FS_XTALT	Synthétiseur de fréquence - Crystal trim
0x0F	FS_RES3	Synthétiseur de fréquence – Zone réservée 3

## 7.2.44.1 Sous-registre 0x2B:00 – FS\_RES1

	Longueur (octets)	Type Mnémonique	Description	
2B:00	7	RW	FS_RES1	Synthétiseur de fréquence – Zone réservée 1

Fichier de registre : 0x2B - Bloc de contrôle du synthétiseur de fréquence, le sous-registre 0x00 est un registre réservé. Veillez à ne pas écrire dans cette zone car cela pourrait entraîner un dysfonctionnement du DW1000.

## 7.2.44.2 Sous-registre 0x2B:07 – FS\_PLLCFG

	Longueur (octets)	Type Mnémonique	Description	
2B:07	4	RW FS_PLLCFG		Synthétiseur de fréquence – configuration PLL

Fichier de registre : 0x2B - Bloc de contrôle du synthétiseur de fréquence, le sous-registre 0x07 est le registre de configuration PLL.

La valeur ici doit être définie en fonction du canal utilisé (c'est-à-dire en fonction de la configuration RX\_CHAN et TX\_CHAN dans le [fichier de registre : 0x1F - Contrôle du canal](#)). Les valeurs requises sont données dans le tableau 43.

Veillez à ne pas écrire d'autres valeurs dans ce registre car cela pourrait entraîner un dysfonctionnement du DW1000.

Tableau 43 : Sous-registre 0x2B:07 – Valeurs FS\_PLLCFG

Canal d'exploitation	Valeur 32 bits à programmer Sous-registre 0x2B:07 – FS_PLLCFG
1	0x09000407
2,4	0x08400508
3	0x08401009
5,7	0x0800041D

## 7.2.44.3 Sous-registre 0x2B:0B – FS\_PLLTUNE

	Longueur (octets)	Type Mnémonique	Description	
2B : 0B	1	RW FS_PLLTUNE	Synthétiseur de fréquence – Réglage PLL	

Fichier de registre : 0x2B - Bloc de contrôle du synthétiseur de fréquence, le sous-registre 0x0B est un registre de réglage PLL. La valeur ici doit être définie en fonction du canal utilisé (c'est-à-dire en fonction de la configuration RX\_CHAN et TX\_CHAN dans le [fichier de registre : 0x1F - Contrôle du canal](#)). Les valeurs requises sont indiquées dans le Tableau 44. Veillez à ne pas écrire d'autres valeurs dans ce registre car cela pourrait entraîner un dysfonctionnement du DW1000.

Tableau 44 : Sous-registre 0x2B:0B – Valeurs FS\_PLLTUNE

Canal d'exploitation	Valeur 8 bits à programmer Sous-registre 0x2B:0B – FS_PLLTUNE
1	0x1E
2,4	0x26
3	0x56
5,7	0xBE

## 7.2.44.4 Sous-registre 0x2B:0C – FS\_RES2

IDENTIFIANT	Longueur (octets)	Type M	Mémonique	Description
2B:0C	2	RW	FS_RES2	Synthétiseur de fréquence – Zone réservée 2

Fichier de registre : 0x2B - Bloc de contrôle du synthétiseur de fréquence, le sous-registre 0x0C est une zone réservée. Veillez à ne pas écrire dans cette zone car cela pourrait entraîner un dysfonctionnement du DW1000.

## 7.2.44.5 Sous-registre 0x2B:0E – FS\_XTALT

IDENTIFIANT	Longueur (octets)	Type M	Mémonique	Description
2B:0E	1	RW	FS_XTALT	Synthétiseur de fréquence - Crystal trim

Fichier de registre : 0x2B - Bloc de contrôle du synthétiseur de fréquence, le sous-registre 0x0E est le registre de compensation du cristal. Cela permet un contrôle précis de l'oscillateur à cristal pour régler assez précisément les fréquences de fonctionnement du DW1000. Pour plus de détails sur l'utilisation de ce registre, veuillez vous reporter à la section [8.1 – Étalonnage IC – Ajustement de l'oscillateur à cristal](#).

NB : Les bits 7:5 doivent toujours être réglés sur « 011 » binaire. Le non-respect de cette valeur entraînera un dysfonctionnement du DW1000.

REG: 2B: 0E - FS_XTALT - Réglage de la garniture de cristal	7	6	5	4	3	2	1	0				
RRR												
0 1 1 0 0 0 0 0												

Les bits du registre FS\_XTALT identifiés ci-dessus sont décrits individuellement ci-dessous :

Champ	Description des champs dans le sous-registre 0x2B:0E - FS_XTALT
RÉSERVÉ reg:2B:0E bit:7:5	Ce champ est réservé.  NB : Toute modification de la valeur de ce champ entraînera un dysfonctionnement du DW1000.
XTALT reg:2B:2C bit:1	Garniture en cristal. Les cristaux peuvent être ajustés à l'aide de ce paramètre de registre pour éliminer les erreurs, voir <a href="#">8.1 – Étalonnage IC – Ajustement de l'oscillateur à cristal</a> .

#### 7.2.44.6 Sous-registre 0x2B:0F – FS\_RES3

IDENTIFIANT	Longueur (octets)	Type Mnémonique	Description	
2B:0F	6	RW	FS_RES3	Synthétiseur de fréquence – Zone réservée 3

Fichier de registre : 0x2B - Bloc de contrôle du synthétiseur de fréquence, le sous-registre 0x0F est une zone réservée. Veuillez à ne pas écrire dans cette zone car cela pourrait entraîner un dysfonctionnement du DW1000.

#### 7.2.45 Fichier de registre : 0x2C - Interface de contrôle du système toujours active

IDENTIFIANT	Longueur (octets)	Type Mnémonique	Description	
0x2C	-	- N'IMPORTE QUEL	Toujours sur le bloc d'interface de contrôle du système	

Le fichier de registre [de carte de registre](#) 0x2C est le bloc de contrôle du système Always-On (AON).

Le bloc AON contient un tableau de configuration basse consommation qui reste sous tension tant que l'alimentation (de la batterie, par exemple) est fournie au DW1000 via la broche VDDAON. Les configurations utilisateur, à partir des registres d'interface hôte accessibles par SPI, peuvent être automatiquement enregistrées dans la mémoire AON lorsque le DW1000 entre dans les états SLEEP ou DEEPSLEEP et automatiquement restaurées à partir de la mémoire AON lorsque le DW1000 sort de veille. Une discussion supplémentaire sur ces modes peut être trouvée dans la section [2.4.1 - SOMMEIL et SOMMEIL PROFOND](#).

Ce [fichier de registre : 0x2C - L'interface de contrôle du système toujours active](#) contrôle les fonctions qui restent activées lorsque le CI entre dans ses états de veille ou de veille profonde à faible consommation d'énergie , et configure les activités que le DW1000 doit effectuer lorsque le CI se réveille de ces états de veille. Il contient un certain nombre de sous-registres. Le tableau 45 en donne un aperçu. Chacun de ces sous-registres est décrit séparément dans les sous-sections ci-dessous.

Tableau 45 : Fichier de registre : 0x2C – Vue d'ensemble du contrôle du système toujours actif

OFFSET dans le registre 0x2C	Mnémonique	Description
0x00	AON_WCFG	Registre de configuration de réveil AON
0x02	AON_CTRL	Registre de contrôle AON
0x03	ANY_RDAT	Résultat des données de lecture d'accès direct AON
0x04	AON_ADDR	Adresse d'accès direct AON
0x05	-	réservé
0x06	AON_CFG0	Registre de configuration AON 0
0x0A	AON_CFG1	Registre de configuration AON 1

## 7.2.45.1 Sous-registre 0x2C:00 – AON\_WCFG

Identifiant	Longueur (octets)	Type Mnémonique	Description
2C:00	2	RW AON_WCFG	Registre de configuration de réveil AON

Fichier de registre : [0x2C - Contrôle système permanent](#), le sous-registre 0x00 est un registre de configuration 16 bits utilisé pour contrôler ce que fait le circuit intégré DW1000 lorsqu'il se réveille à partir des états de veille ou de veille profonde à faible consommation. Le registre AON\_WCFG contient les sous-champs bitmap suivants :

REG:2C:00 – AON_WCFG – Registre de configuration de réveil AON 31 30 29																															
28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0			
...																															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
ONW_RADC	reg:2C:00	bit:0	Au réveil Exécutez les convertisseurs analogique-numérique (de température et de tension). Le DW1000 est équipé de convertisseurs A/N 8 bits pour échantillonner la température du circuit intégré et sa tension de batterie d'entrée. Le réglage de ce bit entraînera le lancement automatique des mesures de température et de tension de batterie d'entrée lorsque le DW1000 sort des états SLEEP ou DEEPSLEEP . En conséquence, la température est mesurée avant que le circuit intégré ne chauffe (et peut donc être une bonne mesure de la température ambiante autour du circuit intégré), et la tension de la batterie est mesurée avant qu'une consommation de courant significative ne se produise (ce qui peut être utile pour vérifier la batterie santé). Les valeurs de température et de tension résultantes sont disponibles dans <a href="#">le sous-registre 0x2A:06 – TC_SARW</a> . Pour plus de détails sur cette fonctionnalité, veuillez vous reporter à la section <a href="#">6.4 – Mesure de la température et de la tension du circuit intégré</a> .																												
ONW_RX	reg:2C:00	bit:1	Au réveil, allumez le récepteur. Avec ce bit, il est possible de faire la transition IC vers RX automatiquement dans le cadre du réveil IC. L'une des utilisations de cela est de mettre en œuvre un schéma que nous appelons Low-Power Listening. Voir la section <a href="#">4.4 – Écoute à faible puissance</a> pour plus de détails.																												
-	reg:2C:00	bits :[divers]	Les bits marqués '-' dans le registre 0x2C:00 sont réservés et doivent toujours être écrits à zéro pour éviter tout dysfonctionnement du DW1000.																												
ONW_LEUI	reg:2C:00	bit:3	Au réveil, chargez l'EUI de la mémoire OTP dans le fichier de registre : 0x01 - Identifiant <a href="#">unique étendu</a> . Lorsque ce bit est défini sur 1, la valeur EUI programmée dans la mémoire OTP sera chargée dans le <a href="#">fichier de registre : 0x01 - Identifiant unique étendu</a> lorsque le DW1000 sort de SLEEP ou DEEPSLEEP.																												
ONW_LDC	reg:2C:00	bit:6	Au réveil, téléchargez les configurations de la mémoire AON dans le jeu de registres de l'interface hôte. Lorsque le bit ONW_LDC est mis à 1, les valeurs des registres de configuration utilisateur sont restaurées à leurs valeurs de configuration de pré-veille. Lorsque le bit ONW_LDC est à 0, les valeurs des registres de configuration utilisateur reviennent à leur valeur de réinitialisation à la mise sous tension lorsque le DW1000 sort de SLEEP ou DEEPSLEEP.																												

Définition des champs de bits dans [le sous-registre 0x2C:00 – AON\\_WCFG](#) :

Champ	Description des champs dans le sous-registre 0x2C:00 – AON_WCFG																														
ONW_RADC	Au réveil Exécutez les convertisseurs analogique-numérique (de température et de tension). Le DW1000 est équipé de convertisseurs A/N 8 bits pour échantillonner la température du circuit intégré et sa tension de batterie d'entrée. Le réglage de ce bit entraînera le lancement automatique des mesures de température et de tension de batterie d'entrée lorsque le DW1000 sort des états SLEEP ou DEEPSLEEP . En conséquence, la température est mesurée avant que le circuit intégré ne chauffe (et peut donc être une bonne mesure de la température ambiante autour du circuit intégré), et la tension de la batterie est mesurée avant qu'une consommation de courant significative ne se produise (ce qui peut être utile pour vérifier la batterie santé). Les valeurs de température et de tension résultantes sont disponibles dans <a href="#">le sous-registre 0x2A:06 – TC_SARW</a> . Pour plus de détails sur cette fonctionnalité, veuillez vous reporter à la section <a href="#">6.4 – Mesure de la température et de la tension du circuit intégré</a> .																														
ONW_RX	Au réveil, allumez le récepteur. Avec ce bit, il est possible de faire la transition IC vers RX automatiquement dans le cadre du réveil IC. L'une des utilisations de cela est de mettre en œuvre un schéma que nous appelons Low-Power Listening. Voir la section <a href="#">4.4 – Écoute à faible puissance</a> pour plus de détails.																														
-	Les bits marqués '-' dans le registre 0x2C:00 sont réservés et doivent toujours être écrits à zéro pour éviter tout dysfonctionnement du DW1000.																														
ONW_LEUI	Au réveil, chargez l'EUI de la mémoire OTP dans le fichier de registre : 0x01 - Identifiant <a href="#">unique étendu</a> . Lorsque ce bit est défini sur 1, la valeur EUI programmée dans la mémoire OTP sera chargée dans le <a href="#">fichier de registre : 0x01 - Identifiant unique étendu</a> lorsque le DW1000 sort de SLEEP ou DEEPSLEEP.																														
ONW_LDC	Au réveil, téléchargez les configurations de la mémoire AON dans le jeu de registres de l'interface hôte. Lorsque le bit ONW_LDC est mis à 1, les valeurs des registres de configuration utilisateur sont restaurées à leurs valeurs de configuration de pré-veille. Lorsque le bit ONW_LDC est à 0, les valeurs des registres de configuration utilisateur reviennent à leur valeur de réinitialisation à la mise sous tension lorsque le DW1000 sort de SLEEP ou DEEPSLEEP.																														

Champ	Description des champs dans le sous-registre 0x2C:00 – AON_WCFG Au réveil,
ONW_L64P reg:2C:00 bit:7	chargez le jeu de paramètres de fonctionnement du récepteur Length64 . Lorsque le bit ONW_L64P est défini sur 1, le jeu de paramètres de fonctionnement du récepteur Length64 est sélectionné lorsque le DW1000 sort de SLEEP ou DEEPSLEEP ou est réinitialisé. Lorsque le bit ONW_L64P est à 0, le jeu de paramètres de fonctionnement du récepteur revient à sa valeur de réinitialisation à la mise sous tension (le jeu de paramètres de fonctionnement par défaut) lorsque le DW1000 sort de SLEEP ou DEEPSLEEP ou est réinitialisé. Pour plus de détails sur le jeu de paramètres de fonctionnement du récepteur, voir la section <a href="#">7.2.46.8 – Jeux de paramètres de fonctionnement du récepteur</a> .  NB : Ce bit doit être à zéro pour que la réinitialisation sélectionne le jeu de paramètres de fonctionnement par défaut.
PRES_SLEEP reg:2C:00 bit:8	Préservez le sommeil. Ce bit détermine ce que fait le DW1000 en ce qui concerne les commandes de veille ARXSLP et ATXSLP dans le sous-registre 0x36:04 - PMSC_CTRL1 après un événement de réveil.  Lorsque le bit PRES_SLEEP est défini sur 1, ces commandes de veille ne sont pas effacées au réveil, de sorte que, par exemple, le DW1000 peut se remettre en veille après un échec de réception. Ceci doit être réglé pour un fonctionnement correct de l'écoute à faible consommation d'appel. Voir la section 4.4 – Écoute à faible puissance pour plus de détails sur les configurations requises.
ONW_LLDE reg:2C:00 bit:11	Au réveil, chargez le microcode LDE. L'algorithme LDE est implémenté dans un microcode stocké dans une zone ROM spéciale sur le DW1000 mais exécuté à partir d'une zone RAM. Avant que le LDE ne soit exécuté, le DW1000 doit le copier de la ROM vers la RAM. L'algorithme LDE est chargé de générer un horodatage RX précis et de calculer certaines statistiques de qualité du signal liées au paquet reçu. Voir <a href="#">Fichier de registre : 0x2E - Interface de détection de bord avant</a> pour plus de détails sur la fonctionnalité LDE. Si le DW1000 se réveille pour recevoir une trame et qu'il est important d'horodater cette trame reçue, le bit ONW_LLDE doit être défini sur 1 pour que le LDE soit chargé dans la RAM. Si l'horodatage n'est pas requis, le bit ONW_LLDE peut être laissé à 0 pour économiser ce chargement et économiser de l'énergie dans le processus.
ONW_LLD0 reg:2C:00 bit:12	Au réveil, chargez la valeur LDOTUNE d'OTP. Lorsque le DW1000 se réveille des états SLEEP ou DEEPSLEEP, la valeur stockée dans l'adresse OTP 0x4 sera automatiquement écrite dans le sous-registre 0x28:0x30 -

#### 7.2.45.2 Sous-registre 0x2C:02 – AON\_CTRL

Identifiant	Longueur (octets)	Type Mnémonique	Description
2C:02	1	RW AON_CTRL Registre de contrôle AON	

Fichier de registre : 0x2C - Contrôle système permanent, le sous-registre 0x02 est un registre de contrôle 8 bits. Les bits de ce registre provoquent en général une activité directe à l'intérieur du bloc AON par rapport à la mémoire AON stockée. Les bits agissent alors comme des commandes qui sont traitées par le DW1000 et les bits sont automatiquement effacés au fur et à mesure que l'activité est prise.

Le registre AON\_CTRL contient les bits de contrôle suivants :

REG:2C:02 – AON_CTRL – Registre de contrôle AON 31 30																															
29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		

Définition des champs de bits dans le sous-registre 0x2C:02 – AON\_CTRL :

Champ	Description des champs dans le sous-registre 0x2C:02 – AON_CTRL
RESTAURER reg:2C:02 bit:0	Lorsque ce bit est défini, le DW1000 copie les configurations utilisateur de la mémoire AON vers le jeu de registres de l'interface hôte. Le bit RESTORE s'effacera automatiquement lorsque cette commande sera exécutée.
SAUVEGARDER reg:2C:02 bit:1	Lorsque ce bit est défini, le DW1000 copie les configurations utilisateur du registre d'interface hôte défini dans la mémoire AON. Il procédera ensuite au téléchargement des configurations de bloc AON. Le bit SAVE s'effacera automatiquement lorsque cette commande sera exécutée.
UPL_CFG reg:2C:02 bit:2	Téléchargez les configurations de bloc AON sur l'AON. Ce contrôle copiera les configurations AON des deux registres : <a href="#">Sous-registre 0x2C:06 – AON_CFG0</a> et <a href="#">Sous-registre 0x2C:0A – AON_CFG1</a> dans les registres de configuration AON. Cela peut être fait par exemple pour entrer en mode SLEEP après l'avoir correctement configuré dans ces deux registres, bien que SLEEP puisse être automatiquement entré sous certaines conditions par des configurations appropriées dans <a href="#">le fichier de registre : 0x36 - Gestion de l'alimentation et contrôle du système</a> . Si l'UPL_CFG est défini dans un but autre que la mise en veille, il doit être explicitement effacé immédiatement après utilisation car il ne s'auto-efface pas.
DCA_READ reg:2C:02 bit:3	Accès direct à la mémoire AON en lecture. Lorsque ce bit est défini (et que l'accès direct est activé via le bit DCA_ENAB ci-dessous), il commande une lecture directe de la mémoire de stockage du tableau de configuration à faible consommation. L'adresse à lire est spécifiée dans <a href="#">le sous-registre 0x2C:04 – AON_ADDR</a> et les données de lecture résultantes sont présentées dans <a href="#">le sous-registre 0x2C:03 – AON_RDAT</a> . Cet accès est nécessaire pour récupérer le résultat d'une mesure d'étalonnage sur l'oscillateur basse consommation, voir bit LPOSC_CAL dans le <a href="#">sous-registre 0x2C:0A – AON_CFG1</a> .
— reg:2C:02 bits:6-4	Les bits marqués '-' dans le registre 0x2C:02 sont réservés et doivent toujours être écrits à zéro pour éviter tout dysfonctionnement du DW1000.
DCA_ENAB reg:2C:02 bit:7	Bit de validation d'accès direct à la mémoire AON. Ce bit doit être mis à 1 pour permettre au DCA_READ ci-dessus de fonctionner. Remarque : DCA_ENAB doit être réinitialisé à 0 pour permettre la sauvegarde/restauration automatique des configurations utilisateur vers/depuis la mémoire AON, nécessaire au bon fonctionnement lors de l'entrée et de la sortie des modes SLEEP et DEEPSLEEP .

Tableau 46 : Configurations conservées dans la matrice de mémoire AON

Registre de configuration	Registre de configuration	
Fichier de registre : 0x03 - Identifiant PAN et adresse courte	Sous-registre 0x28:0B – RF_RXCTRLH	
Fichier de registre : 0x04 - Configuration du système	Sous-registre 0x28:0C – RF_TXCTRL	
Fichier de registre : 0x08 – Transmit Frame Control2	Sous-registre 2A:0B – TC_PGDELAY	
Fichier de registre : 0x0E - Registre de masque d'événements système	Sous-registre 0x2B:07 – FS_PLLCFG	
Fichier de registre : 0x1D – Mode SNIFF3	Sous-registre 0x2B:0E – FS_XTALT	
Fichier de registre : 0x1E - Contrôle de la puissance d'émission	Sous-registre 0x2C:00 – AON_WCFG	
Fichier de registre : 0x1F - Contrôle des canaux	Sous-registre 0x2C:06 – AON_CFG0	
Fichier de registre : 0x21 – Séquence SFD définie par l'utilisateur <sup>4</sup>	Sous-registre 0x2C:0A – AON_CFG1	
Sous-registre 0x23:04 – AGC_TUNE1	Sous-registre 0x2E:1804 – LDE_RXANTD5	
Sous-registre 0x23:04 – AGC_TUNE1	Sous-registre 0x2E:1806 – LDE_CFG2	
Sous-registre 0x23:12 – AGC_TUNE3	<p>* Pour le fonctionnement NLOS, cette valeur a été optimisée en tant que 0x0003. Se référer aux notes d'application sur NLOS disponibles sur <a href="http://www.Decawave.com">www.Decawave.com</a> pour plus d'informations.</p> <p>Sous-registre 0x2E:2804 – LDE_REPC</p>	
Sous-registre 0x26:00 – GPIO_MODE	Sous-registre 0x36:00 – PMSC_CTRL0 <sup>6</sup>	
Fichier de registre : 0x27 – Configuration du récepteur numérique	Sous-registre 0x36:04 – PMSC_CTRL17	
	Sous-registre 0x36:0C – PMSC_SNOZT	
	Sous-registre 0x36:28 – PMSC_LEDC8	

<sup>2</sup> Seuls les 32 bits bas sont conservés.<sup>3</sup> Tous les bits sont conservés à l'exception du bit 0. Le bit zéro est perdu et restauré à 0.<sup>4</sup> Seul le champ SFD\_LENGTH du premier octet est conservé.<sup>5</sup> Le retard de l'antenne TX dans [le fichier de registre : 0x18 - Le retard de l'antenne de l'émetteur](#) n'est pas conservé, mais finit par être corrompu par une partie du retard de l'antenne RX conservé. Après un réveil puis pour un horodatage TX correct Le délai d'antenne TX devra être reprogrammé.<sup>6</sup> Les bits conservés sont : 23, 15, 12, 11 et 6. Les autres reprennent leur valeur de réinitialisation lors de l'initialisation du réveil.<sup>7</sup> Tous conservés à l'exception du champ KHZCLKDIV qui revient à sa valeur de réinitialisation lors de l'initialisation du réveil.<sup>8</sup> Seul le bit BLNKEN est conservé, le champ BLINK\_TIM revient à sa valeur de réinitialisation lors de l'initialisation du réveil.

## 7.2.45.3

## Sous-registre 0x2C:03 – AON\_RDAT

Identifiant	Longueur (octets)	Type Mnémonique	Description
2C:03	1	RW AON_RDAT	Résultat des données de lecture d'accès direct AON

Fichier de registre : 0x2C - Contrôle système permanent, le sous-registre 0x03 est un registre 8 bits utilisé pour renvoyer le résultat d'une lecture par accès direct d'un emplacement dans la matrice de mémoire AON. L'emplacement à partir duquel lire est spécifié par le [sous-registre 0x2C:04 – AON\\_ADDR](#) et la lecture est initiée à l'aide du bit de contrôle DCA\_READ dans [le sous-registre 0x2C:02 – AON\\_CTRL](#).

## 7.2.45.4

## Lecture à partir d'une adresse spécifiée dans la mémoire AON

La figure 28 montre le flux procédural de lecture à partir de l'adresse spécifiée dans la mémoire AON :

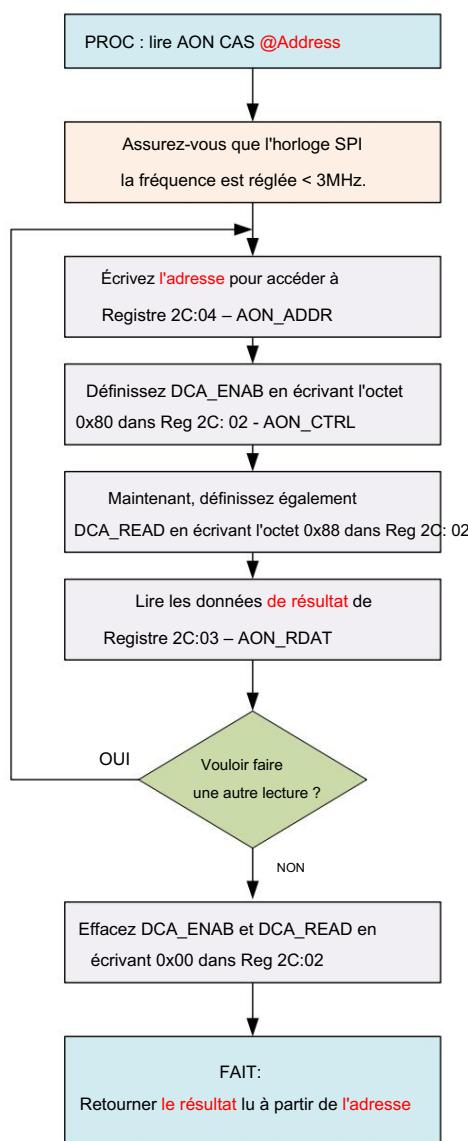


Figure 28 : Organigramme pour la lecture directe de l'adresse AON

#### 7.2.45.5 Sous-registre 0x2C:04 – AON\_ADDR

	Longueur (octets)	Type Mnémonique	Description
2C:04	1	RW AON_ADDR	Adresse d'accès direct AON

Fichier de registre : 0x2C - Contrôle du système toujours activé, le sous-registre 0x04 est un registre de 8 bits utilisé pour spécifier l'adresse pour une lecture à accès direct de la matrice de mémoire AON. La lecture est lancée à l'aide du bit de contrôle DCA\_READ dans le sous-registre 0x2C:02 – AON\_CTRL et le résultat de la lecture est renvoyé dans le sous-registre 0x2C:03 – AON\_RDAT.

#### 7.2.45.6 Sous-registre 0x2C:05 – AON RES1

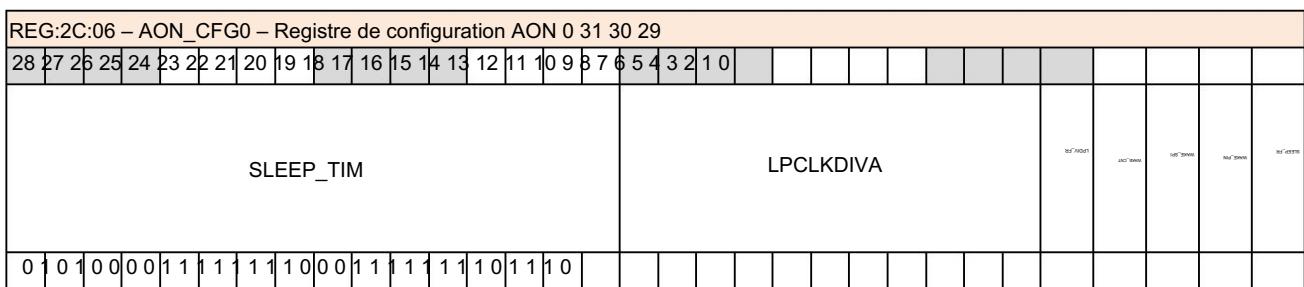
	Longueur (octets)	Type Mnémonique	Description
2C:05	1	RW AON_RES1	AON Zone réservée 1

Fichier de registre : 0x2C - Contrôle système permanent, le sous-registre 0x05 est réservé.

### 7.2.45.7 Sous-registre 0x2C:06 – AON CFG0

	Longueur (octets)	Type Mnémonique	Description
2C:06	4	RW AON_CFG0	Registre de configuration AON 0

Fichier de registre : 0x2C - Contrôle du système toujours activé, le sous-registre 0x06 est un registre de configuration 32 bits pour le bloc toujours activé. Les champs de ce registre sont interprétés à l'intérieur du bloc AON, ce qui ne peut se produire qu'après leur chargement dans le bloc AON via la commande UPL\_CFG dans le [sous-registre 0x2C:02 - AON\\_CTRL](#). Le registre AON\_CFG0 contient les champs suivants :



Les champs du registre AON\_CFG0 identifiés ci-dessus sont décrits individuellement ci-dessous :

Champ	Description des champs dans le sous-registre 0x2C:06 – AON_CFG0 Il s'agit
SLEEP_FR reg:2C:06 bit:0	du bit de configuration d'activation de veille. Afin de mettre le DW1000 dans l' état SLEEP , ce bit doit être défini, puis la configuration doit être téléchargée vers l'AON à l'aide du bit UPL_Cfg dans le <a href="#">sous-registre 0x2C:02 - AON_CTRL</a> . L' état SLEEP peut également être entré via les contrôles ATXSLP ou ARXSLP dans <a href="#">le sous-registre 0x36:04 - PMSC_CTRL1</a> , qui effectuera automatiquement le téléchargement de la configuration vers l'AON et définira ce contrôle SLEEP_EN.

Champ	Description des champs dans le sous-registre 0x2C:06 – AON_CFG0
WAKE_PIN reg:2C:06 bit:1	Réveillez-vous en utilisant la broche WAKEUP . Ce bit de configuration permet à la ligne WAKEUP de faire sortir le DW1000 des états SLEEP ou DEEPSLEEP en mode opérationnel. Par défaut, la configuration WAKE_PIN est 1, activant la ligne WAKEUP comme signal de réveil. Le réglage du bit de configuration WAKE_PIN sur 0 signifie que la ligne WAKEUP ne peut pas sortir le DW1000 de SLEEP ou DEEPSLEEP. Voir <a href="#">la REMARQUE ci-dessous</a> sur les événements de réveil.
WAKE_SPI reg:2C:06 bit:2	Réveillez-vous en utilisant l'accès SPI. Ce bit de configuration permet à SPICSn de faire sortir le DW1000 de SLEEP ou DEEPSLEEP en mode opérationnel. Par défaut, la configuration WAKE_SPI est 1, activant l'entrée SPICSn comme signal de réveil. Le réglage du bit de configuration WAKE_SPI sur 0 signifie que SPICSn ne peut pas réveiller le DW1000 depuis SLEEP ou DEEPSLEEP. Voir <a href="#">REMARQUE ci-dessous</a> sur les événements de réveil.
WAKE_CNT reg:2C:06 bit:3	Réveillez-vous lorsque le compteur de sommeil s'est écoulé. Ce bit de configuration permet au compteur de sommeil de faire sortir le DW1000 de SLEEP en mode opérationnel. Par défaut, la configuration WAKE_CNT est 1, activant le compteur de sommeil comme signal de réveil. Le réglage du bit de configuration WAKE_CNT sur 0 signifie que le compteur de sommeil ne peut pas réveiller le DW1000 depuis SLEEP. Voir <a href="#">la REMARQUE ci-dessous</a> sur les événements de réveil.
LPDIV_FR reg:2C:06 bit:4	Configuration d'activation du diviseur de faible puissance. Ce bit active un diviseur d'horloge à faible puissance, qui permet une source alternative d'horloge pour le compteur de temps de sommeil. Lorsque LPDIV_EN est égal à 0, le compteur de temps de sommeil compte les cycles de l'oscillateur en anneau à faible puissance. Lorsque LPDIV_EN est à 1, le compteur de temps de sommeil compte les cycles de l'horloge LP. Voir LPCLKDIVA ci-dessous pour plus de détails à ce sujet.  REMARQUE : bien que l'horloge LP soit plus précise que l'oscillateur en anneau à faible puissance, elle est des milliers de fois plus gourmande en énergie et, pour cette raison, peu d'applications l'utiliseront.
LPCLKDIVA reg:2C:06 bits:15–5	Ce champ spécifie un nombre de diviseurs pour diviser la fréquence brute de l'oscillateur DW1000 XTAL afin de définir une fréquence d'horloge LP. Cette horloge LP et la fonctionnalité LPCLKDIVA ne sont activées que lorsque le bit de configuration LPDIV_EN est défini sur 1. L'entrée de fréquence brute de l'oscillateur XTAL de 38,4 MHz vers le diviseur d'horloge LP est prédivisée par 2 pour donner une horloge interne de 19,2 MHz appelée XT1 . Le champ LPCLKDIVA est de 11 bits permettant des diviseurs jusqu'à 2047 ou des fréquences d'horloge LP jusqu'à 9,4 kHz. Une valeur LPCLKDIVA de 0 ou 1 donne une fréquence d'horloge LP correspondant à la fréquence XT1 brute de 19,2 MHz.
SLEEP_TIM reg:2C:06 bits:31–16	Temps de sommeil. Ce champ configure la valeur écoulée du décompte du temps de sommeil. Les unités de SLEEP_TIM dépendent du temporisateur en cours d'exécution. Lorsque l'oscillateur à faible puissance fonctionne, les unités dépendent de la fréquence d'oscillation de l'oscillateur RING interne du CI, qui se situe entre environ 7 000 et 13 000 Hz en fonction des variations de processus au sein du CI. Cette fréquence peut être mesurée à l'aide du bit de commande LPOSC_CAL (étalonnage de l'oscillateur à faible puissance) dans le <a href="#">sous-registre 0x2C:0A - AON_CFG1</a> afin que les temps de repos puissent être définis avec plus de précision. Si LPDIV_EN est défini sur 1, le compteur de temps de sommeil compte les cycles de l'horloge LP comme défini par LPCLKDIVA ci-dessous. Notez que bien qu'il s'agisse d'une horloge plus précise, elle n'est pas recommandée pour le sommeil général car elle consomme beaucoup plus d'énergie que le sommeil basé sur l'oscillateur en anneau.  Le champ SLEEP_TIM a une largeur de 16 bits, mais représente les 16 bits supérieurs d'un compteur de 28 bits, c'est-à-dire que le bit de poids faible est égal à 4096 comptes. Ainsi, par exemple, si la fréquence de l'oscillateur en anneau est de 9500 Hz, programmer SLEEP_TIM avec une valeur de 24 produirait un temps de veille de $24 \times 4096 \div 9500$ , soit environ 10,35 secondes.

REMARQUE : Il existe trois mécanismes pour réveiller le DW1000 : en utilisant la ligne WAKEUP lorsque la configuration WAKE\_PIN est 1, en utilisant SPICSn lorsque la configuration WAKE\_SPI est 1 et en utilisant la minuterie de veille lorsque la configuration WAKE\_CNT est 1 et que le compteur de veille est activé via le bit SLEEP\_CEN dans

**Sous-registre 0x2C:0A – AON\_CFG1.** Si aucun de ces mécanismes de réveil n'est activé et que le DW1000 est mis en mode DEEPSLEEP , il n'y aura aucun moyen de mettre le CI hors veille, sauf en coupant l'alimentation à la broche VDDAON (et en le court-circuitant à 0 volts pour accélérer la mise hors tension du CI).

#### 7.2.45.8 Sous-registre 0x2C:0A – AON\_CFG1

Identifiant	Longueur (octets)	Type Mnémonique	Description
2C:0A	2	RW AON_CFG1	Registre de configuration AON 1

Fichier de registre : 0x2C - Contrôle du système toujours activé, le sous-registre 0x0A est un registre de configuration 16 bits pour les paramètres du bloc toujours activé (AON). Les champs de ce registre sont interprétés à l'intérieur du bloc AON, et cela ne peut se produire qu'après le chargement du registre dans le bloc AON via la commande UPL\_CFG dans le [sous-registre 0x2C:02 - AON\\_CTRL](#). Le registre AON\_CFG1 contient les champs suivants :

REG:2C:0A – AON_CFG1 – Registre de configuration AON 1 31 30 29																															
28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	N		

Les champs du registre AON\_CFG1 identifiés ci-dessus sont décrits individuellement ci-dessous :

Champ	Description des champs dans le sous-registre 0x2C:0A – AON_CFG1
SLEEP_CEN reg:2C:0A bit:0	Ce bit active le compteur de sommeil. Pour un fonctionnement correct du compteur de sommeil (compteur décroissant) lors du chargement d'une nouvelle valeur dans le champ SLEEP_TIM du <a href="#">sous-registre 0x2C:06 - AON_CFG0</a> , il est recommandé de régler SLEEP_CEN sur 0 avant de mettre à jour SLEEP_TIM. Le mode opératoire recommandé est alors le suivant :  (a) Mettre SLEEP_CEN (dans AON_CFG1) à 0. (b) Mettre UPL_CFG (dans AON_CTRL) à 1, pour l'appliquer au bloc AON . · Programmez la nouvelle valeur de SLEEP_TIM (dans AON_CFG0). (d) Réglez SLEEP_CEN sur 1. I Mettre UPL_CFG à 1, pour appliquer le nouveau temps de repos et activer le compteur dans l'AON.
SMXX reg:2C:0A bit:1	Ce bit doit être mis à 0 pour un fonctionnement correct dans l' état SLEEP dans le DW1000. Par défaut, ce bit est défini sur 1. Le système hôte doit définir ce bit sur zéro dans le cadre de l'initialisation ou du contrôle de l'entrée du DW1000 dans l' état SLEEP pour garantir le bon fonctionnement du mode SLEEP .
LPOSC_CAL reg:2C:0A bit:2	Ce bit active la fonction d'étalement qui mesure la période de l'oscillateur interne de faible puissance du CI. La fréquence de fonctionnement de cet oscillateur dépend des variations de processus au sein du CI ainsi que de la tension et de la température de fonctionnement. Il devrait se situer entre environ 7 000 et 13 000 Hz. En utilisant ce bit LPOSC_CAL, il est alors possible de mesurer la période d'oscillation en comptes de l'horloge interne XTAL_DIV2 du CI, qui fonctionne à une fréquence de 19,2 MHz. En utilisant ces informations, il est alors possible de déterminer plus précisément la valeur à définir dans le champ SLEEP_TIM (du <a href="#">sous-registre 0x2C:06 - AON_CFG0</a> ) pour une période de sommeil souhaitée particulière.

Champ	Description des champs dans le sous-registre 0x2C:0A – AON_CFG1
	<p>La procédure de fonctionnement recommandée pour cela utilise alors ceci est alors de :</p> <ul style="list-style-type: none"> <li>(a) Assurez-vous que la fréquence de fonctionnement SPI est définie sur &lt; 3 MHz. (Pendant la procédure, le système utilise l' horloge XTI 19,2 MHz qui ne prend pas en charge les débits de données SPI plus élevés). (b) Réglez ce bit LPOSC_CAL sur 1 et téléchargez-le dans le bloc AON en basculant le Bit UPL_CFG (dans AON_CTRL) I1 et retour à 0.</li> <li>- Effacez le bit LPOSC_CAL à 0 et chargez-le dans le bloc AON en basculant UPL_CFG (dans AON_CTRL) sur 1 et de nouveau sur 0. (d) Forcez l'horloge système à être l'horloge XTI 19,2 MHz, en réglant SYSCLKS ( dans Sub <a href="#">Enregistrez 0x36:00 – PMSC_CTRL0</a>) à 01 (binaire).</li> <li>I Attendez 400 µs pour vous assurer qu'une valeur de comptage d'étalonnage est disponible. Il s'agit d'une valeur de 16 bits comptant le nombre de périodes d'horloge de l' horloge XTI à 19,2 MHz qu'il a fallu pour terminer une période complète de l'oscillateur en anneau à faible puissance.</li> <li>(f) Les 8 MSB du compteur de période de l'oscillateur en anneau sont accessibles à l'adresse mémoire AON 118 décimale (0x76) et ses 8 LSB sont accessibles à l'adresse mémoire AON 117 décimale (0x75). Veuillez vous référer à la section <a href="#">7.2.45.4 - Lecture à partir d'une adresse spécifiée dans la mémoire AON</a> pour les détails de la procédure définie pour la lecture de la mémoire AON. (g) Après avoir lu le compteur de période, restaurez le mode automatique de l'horloge système en remettant la configuration SYSCLKS à 0.</li> </ul> <p>La fréquence de fonctionnement de l'oscillateur en anneau est donnée par 19,2 MHz divisé par la valeur du compteur de période.</p>
– reg:2C:0A bits:15-3	Bits réservés

#### 7.2.46 Fichier de registre : 0x2D – Interface mémoire OTP

IDENTIFIANT	Longueur (octets)	Type Mnémonique	Description	
0x2D	-	OTP_IF	Interface de mémoire programmable une seule fois	

Le fichier de [registre de carte de registre](#) 0x2D est l'interface de mémoire OTP. Cela permet un accès en lecture aux paramètres stockés dans la mémoire OTP, et c'est également l'interface via laquelle les paramètres sont programmés dans la mémoire OTP.

L'interface mémoire OTP contient un certain nombre de sous-registres. Un aperçu de ces sous-registres est donné par le tableau 47, et chacun est ensuite décrit séparément dans les sous-sections ci-dessous.

**REMARQUE :** La programmation de la mémoire OTP est une activité unique, toutes les valeurs programmées par erreur ne peuvent pas être corrigées. Lors de la programmation de la mémoire OTP, veillez également à n'écrire que dans les zones désignées - la programmation ailleurs peut endommager de manière permanente la capacité du DW1000 à fonctionner normalement.

Pour plus de détails sur la mémoire OTP, veuillez vous reporter à la section [6.3 – Utilisation de la mémoire OTP sur puce](#).

Tableau 47 : Fichier de registre : 0x2D – Présentation de l'interface mémoire OTP

OFFSET dans le registre 0x2D	Mnémonique	Description
0x00	OTP_WDAT	Données d'écriture OTP
0x04	OTP_ADDR	Adresse OTP

OFFSET dans le registre 0x2D	Mnémonique	Description
0x06	OTP_CTRL	Contrôle OTP
0x08	OTP_STAT	Statut OTP
0x0A	OTP_RDAT	Données de lecture OTP
0x0E	OTP_SRDAT	OTP SR lire les données
0x12	OTP_SF	Fonction spéciale OTP

#### 7.2.46.1 Sous-registre 0x2D:00 – OTP\_WDAT

IDENTIFIANT	Longueur (octets)	Type Mnémonique	Description
2D:00	4	RW OTP_WDAT	Données d'écriture OTP

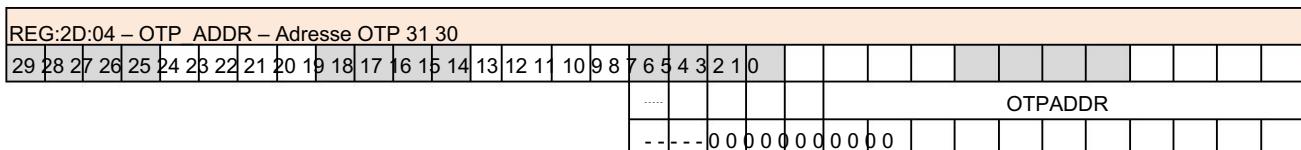
Fichier de registre : 0x2D – Interface mémoire OTP, le sous-registre 0x00 est un registre 32 bits. La valeur de données à programmer dans un emplacement OTP doit être écrite ici avant d'invoquer la fonction de programmation.

L'écriture dans la mémoire OTP est une procédure complexe. Pour plus de détails à ce sujet, veuillez vous reporter à la section [6.3.2 – Programmation d'une valeur dans la mémoire OTP](#).

#### 7.2.46.2 Sous-registre 0x2D:04 – OTP\_ADDR

IDENTIFIANT	Longueur (octets)	Type Mnémonique	Description
2D:04	2	RW OTP_ADDR	Adresse OTP

Fichier de registre : 0x2D - Interface de mémoire OTP, le sous-registre 0x04 est un registre de 16 bits utilisé pour sélectionner l'adresse dans le bloc de mémoire OTP auquel on accède (pour lire ou écrire) cette interface de mémoire OTP. Le registre OTP\_ADDR contient les champs suivants :



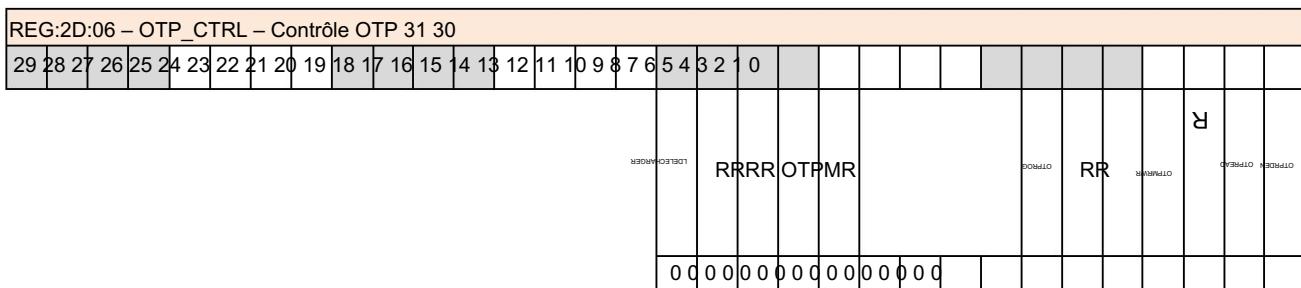
Les champs du registre OTP\_ADDR sont décrits ci-dessous :

Champ	Description des champs dans le sous-registre 0x2D:04 – OTP_ADDR Ce champ
OTPADDR	de 11 bits spécifie l'adresse dans la mémoire OTP qui sera accessible en lecture ou en écriture.
reg:2D:04 bits:10 – 0	Pour plus de détails sur la carte mémoire OTP et les procédures de lecture et d'écriture de la mémoire OTP, veuillez vous référer à <a href="#">la section 6.3 - Utilisation de la mémoire OTP sur puce</a> .
- reg:2D:04 bits:15 – 11	Réservé. Le reste de ce registre est réservé.

#### 7.2.46.3 Sous-registre 0x2D:06 – OTP\_CTRL

Identifiant	Longueur (octets)	Type Mnémonique	Description
2D:06	2	RW OTP_CTRL Contrôle OTP	

Fichier de registre : 0x2D - Interface de mémoire OTP, le sous-registre 0x06 est un registre de 16 bits utilisé pour contrôler le fonctionnement de la mémoire OTP via le processus de lecture et d'écriture. Le registre OTP\_CTRL contient les champs suivants :



Les champs du registre OTP\_CTRL sont décrits ci-dessous :

Champ	Description des champs dans le sous-registre 0x2D:06 – OTP_CTRL Bits
R reg:2D:06 bit:divers	réservés. Peut être remplacé par leur valeur par défaut.
OTPRDEN reg:2D:06 bit:0	Ce bit force l'OTP en mode lecture manuelle. Ce bit doit être défini si vous utilisez le bit OTPREAD pour émettre une commande de lecture.
OTPREAD reg:2D:06 bit:1	Ce bit commande une opération de lecture à partir de l'adresse spécifiée dans le registre OTP_ADDR, la valeur lue sera alors disponible dans le registre OTP_RDAT. Ce bit s'effacera automatiquement lorsque l'opération de lecture sera terminée.
	Pour plus de détails sur la carte mémoire OTP et les procédures de lecture et d'écriture de la mémoire OTP, veuillez vous référer à <a href="#">la section 6.3 - Utilisation de la mémoire OTP sur puce</a> .
OTPMRW reg:2D:06 bit:3	Écriture de registre en mode OTP. Ce bit doit être mis à 1 puis effacé lors de l'application d'un nouveau mode à l'OTP.
	Ce bit est utilisé pour configurer les circuits initiaux du bloc OTP. Ils ont été utilisés lors de la programmation de l'OTP.
	Pour une description sur la façon de piloter ces bits, voir l'exemple de code dans <a href="#">6.3.2 Programmation d'une valeur dans la mémoire OTP</a> .
OTPPROG reg:2D:06 bit:6	La définition de ce bit entraînera l'écriture du contenu de OTP_WDAT dans OTP_ADDR. Ce bit doit être effacé une fois la programmation terminée comme indiqué par le sous-registre 0x2D:08 – OTP_STAT. Pour une
	description sur la façon de piloter ces bits, voir l'exemple de code dans <a href="#">6.3.2 Programmation d'une valeur dans la mémoire OTP</a> .
OTPMR reg:2D:06 bit:10:7	Registre du mode OTP. Ces bits sont utilisés pour configurer les circuits internes du bloc OTP.
	Ils sont utilisés lors de la programmation de l'OTP. Pour une description sur la façon de piloter ces bits, voir l'exemple de code dans <a href="#">6.3.2 Programmation d'une valeur dans la mémoire OTP</a> .

Champ	Description des champs dans le sous-registre 0x2D:06 – OTP_CTRL
LDELECHARGER reg:2D:06 bit:15	<p>Ce bit force le chargement du microcode LDE. L'algorithme LDE est chargé de générer un horodatage RX précis et de calculer certaines statistiques de qualité du signal liées au paquet reçu. Voir <a href="#">Fichier de registre : 0x2E - Interface de détection de bord avant</a> pour plus de détails sur la fonctionnalité LDE. L'algorithme LDE est implémenté dans un microcode stocké dans une zone ROM spéciale sur le DW1000 mais exécuté à partir d'une zone RAM. Après la mise sous tension du DW1000 (ou après avoir quitté les états SLEEP ou DEEPSLEEP), la RAM LDE est vide. Avant que le LDE ne soit exécuté, le code doit être copié de la ROM vers la RAM. Cela doit être fait avant que le récepteur ne soit activé s'il est important d'horodater cette trame reçue. Définissez LDELOAD sur 1 pour lancer le chargement, il s'effacera automatiquement lorsque le chargement sera terminé. Si le code LDE n'est pas chargé avant l'activation du récepteur, la commande LDERUNE (activation de l'exécution LDE) dans le <a href="#">sous-registre 0x36:04 - PMSC_CTRL1</a> doit être désactivée (réglée à zéro).</p> <p>Lors du réveil de SLEEP ou DEEPSLEEP pour recevoir une trame, si le bit ONW_LLDE (dans <a href="#">le sous-registre 0x2C:00 - AON_WCFG</a>) a été configuré sur 1, alors la charge LDE sera effectuée automatiquement dans le cadre de la sortie de l'état de veille.</p>

#### 7.2.46.4 Sous-registre 0x2D:08 – OTP\_STAT

Identifiant	Longueur (octets)	Type Mnémonique	Description
2D:08	2	RW OTP_STAT Statut OTP	

Fichier de registre : 0x2D – Interface mémoire OTP, le sous-registre 0x08 est un registre 16 bits utilisé pour donner des informations d'état sur la progression de l'activité de programmation OTP. Le registre OTP\_STAT contient les champs suivants :

REG:2D:08 – OTP_STAT – Statut OTP 31 30																															
29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Les champs du registre OTP\_STAT sont décrits ci-dessous :

Champ	Description des champs dans le sous-registre 0x2D:08 – OTP_STAT
OTPPRGD reg:2D:04 bit:0	Programmation OTP terminée. Ce bit d'état indique que la programmation du mot de 32 bits de OTP_WDAT à l'adresse spécifiée par OTP_ADDR est terminée. L'écriture dans la mémoire OTP est une procédure complexe. Pour plus de détails à ce sujet, veuillez vous reporter à la section <a href="#">6.3.2 – Programmation d'une valeur dans la mémoire OTP</a> .
OTPVPOK reg:2D:04 bit:1	Tension de programmation OTP OK. Ce bit d'état indique que le niveau VPP est suffisant pour programmer la mémoire OTP. Pour plus de détails sur la programmation OTP, veuillez vous reporter à la section <a href="#">6.3 – Utilisation de la mémoire OTP sur puce</a> .

Champ	Description des champs dans le sous-registre 0x2D:08 – OTP_STAT
- reg:2D:00 bits:divers	Réserve. Les bits marqués '-' sont réservés.

#### 7.2.46.5 Sous-registre 0x2D:0A – OTP\_RDAT

Identifiant	Longueur (octets)	Type Mnémonique	Description
2D:0A	4	R	OTP_RDAT Données de lecture OTP

Fichier de registre : [0x2D – Interface mémoire OTP](#), le sous-registre 0x0A est un registre 32 bits. La valeur de données lue à partir d'un emplacement OTP apparaîtra ici après l'appel de la fonction de lecture OTP. Pour plus de détails sur la carte mémoire OTP et les procédures de lecture de la mémoire OTP, veuillez vous reporter à la section [6.3 - Utilisation de la mémoire OTP sur puce](#).

#### 7.2.46.6 Sous-registre 0x2D:0E – OTP\_SRDAT

Identifiant	Longueur (octets)	Type Mnémonique	Description
2D:0E	4	RW OTP_SRDAT	Registre spécial OTP Lire les données

Fichier de registre : [0x2D – Interface mémoire OTP](#), le sous-registre 0x0E est un registre 32 bits. La valeur de données stockée dans l'emplacement OTP SR (0x400) apparaîtra ici après la mise sous tension. Pour plus de détails sur la carte mémoire OTP et les procédures de lecture de la mémoire OTP, veuillez vous reporter à la section [6.3 - Utilisation de la mémoire OTP sur puce](#).

#### 7.2.46.7 Sous-registre 0x2D:12 – OTP\_SF

Identifiant	Longueur (octets)	Type Mnémonique	Description
2D:12	1	RW	OTP_SF Fonction spéciale OTP

Fichier de registre : [0x2D - Interface de mémoire OTP](#), le sous-registre 0x12 est un registre de fonction spéciale de 8 bits utilisé pour sélectionner et charger des ensembles de paramètres opérationnels spéciaux pour le récepteur. Voir [7.2.46.8 – Jeux de paramètres de fonctionnement du récepteur](#) pour plus de détails. Le registre OTP\_SF contient les champs suivants :

REG:2D:12 – OTP_SF – Fonction spéciale OTP 31 30																															
29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
-																															

Les champs du registre OTP\_SF sont décrits ci-dessous :

Champ	Description des champs dans le sous-registre 0x2D:08 – OTP_STAT
OPS_KICK reg:2D:12 bit:0	Lorsqu'il est activé, ce bit initie un chargement du jeu de paramètres de fonctionnement sélectionné par la configuration OPS_SEL ci-dessous. (Ce contrôle se trouve dans le bloc OTP car les jeux de paramètres sont dans la mémoire OTP pendant leur développement, se déplaçant uniquement vers la ROM pour le CI de production).
LDO_KICK reg:2D:12 bits:1	Lorsqu'il est activé, ce bit initie le chargement du paramètre LDOTUNE_CAL de l'adresse OTP 0x4 dans le registre <a href="#">Sous-registre 0x28:30 – LDOTUNE</a> . Voir la section <a href="#">Se réveiller du sommeil</a> pour plus de détails.
OPS_SEL reg:2D:12 bits:6,5	Sélection du jeu de paramètres de fonctionnement. Cela sélectionne le jeu de paramètres de fonctionnement à charger lorsque OPS_KICK est appelé. Les valeurs autorisées sont :  00 : Sélection du jeu de paramètres 0 – Length64. 01 : Sélectionner le jeu de paramètres 1 – Serré. 10 : Sélectionnez le jeu de paramètres par défaut. 11 : Réservé. Ne sélectionnez pas cette valeur.  Voir la section <a href="#">7.2.46.8 – Jeux de paramètres de fonctionnement du récepteur</a> ci-dessous pour les détails d'utilisation de ces jeux de paramètres de fonctionnement.
- rég:2D:12 Autres bits	Réserve. Les bits marqués '-' sont réservés.

#### 7.2.46.8 Jeux de paramètres de fonctionnement du récepteur

Le récepteur DW1000 a la capacité de fonctionner avec des ensembles de paramètres spécifiques qui se rapportent à la façon dont il acquiert le signal de préambule et décode les données. Trois ensembles de paramètres de fonctionnement distincts sont définis dans le CI pour être sélectionnés par le concepteur du système hôte en fonction des caractéristiques du système. Le tableau 48 ci-dessous répertorie et définit ces ensembles de paramètres de fonctionnement en indiquant leurs utilisations recommandées.

Tableau 48 : jeux de paramètres de fonctionnement du récepteur

Ensemble	Description
10 – Par défaut	Il s'agit du jeu de paramètres de fonctionnement par défaut. Ce jeu de paramètres est conçu pour fonctionner à tous les débits de données et peut tolérer un décalage d'horloge total entre l'émission et le récepteur de l'ordre de 40 ppm (par exemple 20 ppm XTAL dans l'émetteur et le récepteur). Elle n'est cependant pas optimale pour le très court préambule.  Le jeu de paramètres de fonctionnement par défaut est sélectionné lors de la réinitialisation de l'appareil ou de la sortie des modes veille, dans les deux cas uniquement lorsque le bit ONW_L64P (sauvegardé dans <a href="#">7.2.45.1 - Sous-registre 0x2C:00 - AON_WCFG</a> ) est 0, ce qui signifie ne pas charger un paramètre alternatif ensemble.
00 – Longueur64	Ce jeu de paramètres de fonctionnement est conçu pour donner de bonnes performances pour des préambules très courts, c'est-à-dire la longueur 64 préambule. Cependant, cette optimisation des performances a un coût, à savoir qu'elle ne peut pas tolérer de grands décalages de cristaux. Afin d'utiliser ce paramètre de fonctionnement, le décalage d'horloge total entre l'émetteur et le récepteur doit être maintenu en dessous de 15 ppm (par exemple 7,5 ppm XTAL dans l'émetteur et le récepteur).  Ce jeu de paramètres length64 peut être chargé automatiquement lors de la réinitialisation de l'appareil ou de la sortie des modes veille, lorsque le bit ONW_L64P (enregistré dans <a href="#">7.2.45.1 – Sous-registre 0x2C:00 – AON_WCFG</a> ) est 1, et il peut également être chargé sous le contrôle direct de l'hôte en utilisant les contrôles OPS_KICK et OPS_SEL dans <a href="#">le sous-registre 0x2D:08 - OTP_STAT</a> .

Ensemble	Description
01 – Serré	Cet ensemble de paramètres de fonctionnement maximise la plage de fonctionnement du système. Cependant, cette optimisation des performances a à nouveau un coût, à savoir que le décalage cristallin total entre l'émetteur et le récepteur doit être maintenu très serré, égal ou inférieur à environ 1 ppm. Cela pourrait être fait, par exemple, en utilisant des TCXO de 0,5 ppm de très haute qualité à la fois dans l'émetteur et le récepteur. Le paramètre de fonctionnement Tight ne peut être sélectionné que via le contrôle direct de la charge de l'hôte à l'aide des commandes OPS_KICK et OPS_SEL dans le <a href="#">sous-registre 0x2D:08 - OTP_STAT</a> .

Pour la plupart des applications, le jeu de paramètres de fonctionnement par défaut est le meilleur choix. L'utilisation d'autres ensembles de paramètres de fonctionnement peut améliorer les performances dans des cas d'utilisation particuliers, mais nécessite un contrôle plus strict des fréquences d'horloge sur le réseau d'appareils qui doivent interfonctionner.

#### 7.2.47 Fichier de registre : 0x2E – Interface de détection de front montant

IDENTIFIANT	Longueur (octets)	Type	Mnémonique	Description
0x2E	-	-	LDE_IF	Interface de détection de bord d'attaque

Le fichier de registre [de carte de registre](#) 0x2E est l'interface de contrôle/état LDE. La fonction de détection de bord d'attaque est chargée d'analyser les données de l'accumulateur (disponibles dans [le fichier de registre : 0x25 - Mémoire CIR de l'accumulateur](#)), pour trouver le premier chemin et calculer l'horodatage RX écrit dans [le fichier de registre : 0x15 - Recevoir l'horodatage](#) et les informations de diagnostic. écrit dans [le fichier de registre : 0x12 – Rx Frame Quality Information](#). L'interface LDE contient un certain nombre de sous-registres. Un aperçu de ces sous-registres est donné par le tableau 49 et chacun est ensuite décrit séparément dans les sous-sections ci-dessous.

Tableau 49 : Fichier de registre : 0x2E – Présentation de l'interface de détection de front montant

OFFSET dans le registre 0x2E	Mnémonique	Description
0x0000	<a href="#">LDE_THRESH</a>	Rapport de seuil LDE
0x0806	<a href="#">LDE_CFG1</a>	Registre de configuration LDE 1
0x1000	<a href="#">LDE_PPINDX</a>	Indice de chemin de crête LDE
0x1002	<a href="#">LDE_PPAMPL</a>	Amplitude du chemin de crête LDE
0x1804	<a href="#">LDE_RXANTD</a>	Configuration du délai d'antenne de réception LDE
0x1806	<a href="#">LDE_CFG2</a>	Registre de configuration LDE 2
0x2804	<a href="#">LDE_REPC</a>	Configuration du coefficient de réplique LDE

**VEUILLEZ NOTER :** D'autres zones dans l'espace d'adressage du fichier de registre : 0x2E - Interface de détection de bord d'attaque sont réservées. Pour garantir le bon fonctionnement de l'algorithme LDE (c'est-à-dire pour éviter une perte de performances ou un dysfonctionnement), il faut veiller à ne pas écrire dans des emplacements d'octets autres que ceux définis dans les sous-sections ci-dessous.

##### 7.2.47.1 Sous-registre 0x2E:0000 – LDE\_THRESH

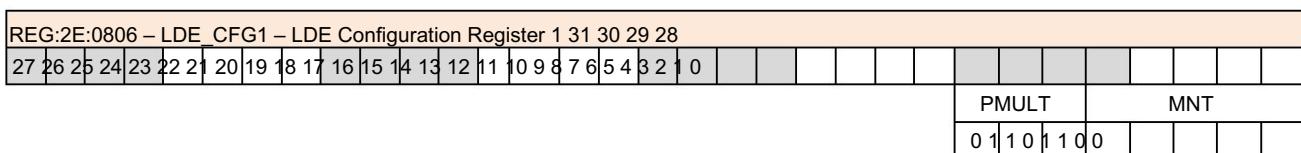
IDENTIFIANT	Longueur (octets)	Type	Mnémonique	Description
2E:0000	2	RO	<a href="#">LDE_THRESH</a>	Rapport de seuil LDE

**Fichier de registre : 0x2E - Interface de détection de bord avant**, le sous-registre 0x0000 est un registre d'état de 16 bits indiquant le seuil utilisé pour trouver le premier chemin. Ce seuil est calculé à partir d'une estimation du bruit réalisé lors de l'analyse par l'algorithme LDE des données de l'accumulateur. Ce rapport de seuil peut présenter un intérêt diagnostique dans certaines circonstances.

#### 7.2.47.2 Sous-registre 0x2E:0806 – LDE CFG1

Identifiant	Longueur (octets)	Type Mnémonique	Description
2E:0806	1	RW LDE_CFG1	Registre de configuration LDE 1

Fichier de registre : 0x2E – Leading Edge Detection Interface, le sous-registre 0x0806 est un registre de configuration 8 bits contenant les champs suivants :



Les champs du registre LDE\_CFG1 sont décrits ci-dessous :

Champ	Description des champs dans le sous-registre 0x2E:0806 – Multiplicateur de seuil
MNT reg:2E:0806 bits:4-0	<p>de bruit LDE_CFG1. Il s'agit d'un facteur par lequel le niveau de bruit observé est multiplié pour définir le seuil de la première recherche de chemin de l'algorithme LDE. Par défaut, NTM est 12. Cette valeur s'est avérée bien fonctionner et offre un niveau de performance de compromis raisonnable entre un déclenchement erroné sur des pics de bruit et l'absence de véritables premiers chemins atténus (sans visibilité directe).</p> <p>Plus récemment, une valeur NTM de 13 a été utilisée dans notre logiciel de pilote de périphérique pour donner plus de précision dans des conditions LOS rapprochées. Lorsque les performances NLOS sont plus importantes pour l'application, la valeur NTM par défaut de 0x07 (Remarque : cela définit les 5 bits supérieurs sur 0) serait un meilleur choix. Se référer aux notes d'application sur NLOS disponibles sur <a href="http://www.Decawave.com">www.Decawave.com</a> pour plus d'informations.</p>
PMULT reg:2E:0806 bits:7-5	<p>Multiplicateur de crête. Ceci établit un facteur par lequel la valeur de crête du bruit estimé est augmentée afin d'établir le seuil pour la première recherche de chemin. Par défaut, cette valeur est de 3, ce qui donne un facteur de 1,5, qui s'est avéré bien fonctionner. Pour les opérations NLOS, ces bits doivent être définis sur 0.</p>

NB : Afin d'éviter tout dysfonctionnement, veillez à n'écrire qu'un seul octet dans le registre LDE CFG1.

7.2.47.3 Sous-registre 0x2E:1000 – LDE PPINDX

IDENTIFIANT	Longueur (octets)	Type Mnémonique	Description
2E:1000	2	RO LDE_PPINDX	Index de chemin de crête LDE

Fichier de registre : **0x2E – Leading Edge Detection Interface**, sous-registre 0x1000, est le registre LDE Peak Path Index (LDE\_PPINDX). Il s'agit d'un registre d'état de 16 bits signalant la position dans l'accumulateur que l'algorithme LDE a déterminée pour contenir le chemin d'amplitude maximale. Cette valeur est définie lors de l'analyse par l'algorithme LDE des données de l'accumulateur. Cette valeur peut présenter un intérêt diagnostique dans certains

circonstances. L'amplitude de la valeur à cet indice est rapportée dans [le sous-registre 0x2E:1002 – LDE\\_PPAMPL](#).

#### 7.2.47.4 Sous-registre 0x2E:1002 – LDE\_PPAMPL

IDENTIFIANT	Longueur (octets)	Type Mnémonique	Description
2E:1002	2	RO LDE_PPAMPL	Amplitude du chemin de crête LDE

Fichier de registre : [0x2E – Leading Edge Detection Interface](#), sous-registre 0x1002, est le registre LDE Peak Path Amplitude (LDE\_PPAMPL). Il s'agit d'un registre d'état 16 bits signalant l'amplitude du signal de crête vu dans la mémoire de données de l'accumulateur lors de l'analyse de l'algorithme LDE (l'indice auquel cela se produit est signalé dans le sous-registre 0x2E: 1000 - LDE\_PPINDX) . Cette valeur peut présenter un intérêt diagnostique dans certaines circonstances.

#### 7.2.47.5 Sous-registre 0x2E:1804 – LDE\_RXANTD

IDENTIFIANT	Longueur (octets)	Type Mnémonique	Description
2E:1804	2	RW LDE_RXANTD	Configuration du délai d'antenne de réception LDE

Fichier de registre : [0x2E - Interface de détection de bord d'attaque](#), le sous-registre 0x1804 est un registre de configuration 16 bits permettant de définir le retard de l'antenne de réception. Le retard de l'antenne du récepteur est utilisé pour tenir compte du retard entre l'arrivée du RMARKER (le début du PHR) à l'antenne et le moment où le RMARKER est détecté et horodaté par le circuit RX numérique interne. Les unités ici sont les mêmes que celles utilisées pour l'heure système et les horodatages, c'est-à-dire 499,2 MHz × 128, donc le bit le moins significatif est d'environ 15,65 picosecondes.

La valeur programmée dans cette valeur de registre LDE\_RXANTD est soustraite (par l'algorithme LDE) de l'horodatage brut [RX\\_RAWST](#) à par l'algorithme LDE qui effectue un certain nombre d'autres mises à jour et ajustements (y compris la détection et la prise en compte de la première position de chemin dans l'accumulateur) dans afin de générer la valeur [RX\\_STAMP](#) entièrement ajustée également dans [le fichier de registre : 0x15 - Recevoir l'horodatage](#).

Veuillez vous référer à la section [8.3 – Étalonnage IC – Délai d'antenne](#) pour plus de détails sur l'étalonnage du délai d'antenne.

#### 7.2.47.6 Sous-registre 0x2E:1806– LDE\_CFG2

IDENTIFIANT	Longueur (octets)	Type Mnémonique	Description
2E:1806	2	RW LDE_CFG2	Registre de configuration LDE 2

Fichier de registre : [0x2E - Interface de détection de bord avant](#), le sous-registre 0x1806 est un registre de réglage de configuration LDE 16 bits. La valeur ici doit changer en fonction de la configuration RXPRF. Les valeurs par défaut requises sont données dans le tableau 50 ci-dessous. D'autres valeurs peuvent être appropriées dans certaines circonstances, comme détaillé dans les informations sur les applications de Decawave.

Tableau 50 : Sous-registre 0x2E:1806 – Valeurs LDE\_CFG2

Configuration RXPRF	Valeur à programmer Sous-registre 0x2E:1806 – LDE_CFG2
(1) = PRF 16 MHz	0x1607*
(2) = PRF 64 MHz	0x0607

\* Pour le fonctionnement NLOS, cette valeur a été optimisée en tant que 0x0003. Reportez-vous aux notes d'application sur NLOS disponible sur [www.Decawave.com](http://www.Decawave.com) pour plus d'informations.

#### 7.2.47.7 Sous-registre 0x2E:2804 – LDE\_REPC

IDENTIFIANT	Longueur (octets)	Type Mnémonique	Description
2E:2804	2	RW	LDE_REPC

Fichier de registre : [0x2E - Interface de détection de bord avant](#), le sous-registre 0x2804 est un registre de configuration 16 bits permettant de définir le coefficient d'évitement de réplique. L'accumulateur fonctionne sur la séquence de préambule pour donner la réponse impulsionale du canal. Cela fonctionne grâce à la propriété d'auto-corrélation périodique parfaite des séquences de préambule IEEE 802.15.4 UWB. L'auto-corrélation n'est pas parfaite lorsqu'il existe un décalage d'horloge important entre l'émetteur distant et le récepteur local. Dans ces circonstances, des répliques de faible amplitude de la réponse impulsionale du canal apparaissent de manière répétée tout au long de la plage de l'accumulateur. L'ampleur de cet effet dépend du décalage d'horloge et du code de préambule utilisé. Pour éviter que le LDE ne voie par erreur l'un de ces signaux répliques comme front montant, le seuil utilisé pour détecter le premier chemin est artificiellement relevé d'un facteur dépendant du décalage d'horloge mesuré. Pour des performances optimales, ce facteur doit également dépendre du code de préambule sélectionné dans le récepteur. Pour ce faire, la configuration LDE\_REPC doit être définie en fonction de la configuration du code de préambule du récepteur. Les valeurs requises sont indiquées dans le Tableau 51. Ces valeurs s'appliquent uniquement aux débits de données de 850 kbps et 6,8 Mbps.

Tableau 51 : Sous-registre 0x2E:2804 – Valeurs LDE\_REPC

\* Pour le fonctionnement NLOS, cette valeur a été optimisée en tant que 0x0003. Reportez-vous aux notes d'application sur NLOS disponible sur [www.Decawave.com](http://www.Decawave.com) pour plus d'informations.

#### Sous-registre 0x2E: 2804 - Configurations LDE\_REPC pour (850 kbps et 6,8 Mbps)

Configuration RX_PCODE9	Valeur LDE_REPC à définir	Paramétrage RX_PCODE	Valeur LDE_REPC à définir
1	0x5998	13	0x3AE0
2	0x5998	14	0x35C2
3	0x51EA	15	0x2B84

<sup>9</sup> La configuration RX\_PCODE est définie Fichier de registre : 0x1F - Contrôle de canal

Configuration RX_PCODE9	LDE_REPC valeur à définir	Paramétrage RX_PCODE	LDE_REPC valeur à définir
4	0x428E	16	0x35C2
5	0x451E	17	0x3332
6	0x2E14	18	0x35C2
7	0x8000	19	0x35C2
8	0x51EA	20	0x47AE
9	0x28F4	21	0x3AE0
dix	0x3332	22	0x3850
11	0x3AE0	23	0x30A2
12	0x3D70	24	0x3850

NB : Lors d'un fonctionnement à 110 kbps, les valeurs non signées du Tableau 51 doivent être divisées par 8 (décalage à droite de 3, décalage des zéros dans les bits de poids fort), avant la programmation dans le sous- registre 0xE2:2804 - LDE\_REPC.

#### 7.2.48 Fichier de registre : 0x2F – Interface de diagnostic numérique

IDENTIFIANT	Longueur (octets)	Type Mn	Mnémonique	Description
0x2F	41	-	YOU_DIAG	Interface de diagnostic numérique

Le fichier de registre [de carte de registre](#) 0x2F est l'interface de diagnostic numérique. Il contient un certain nombre de sous-registres qui donnent des informations de diagnostic. Un aperçu de ceux-ci est donné par le tableau 52. Chacun de ces sous-registres est décrit séparément dans les sous-sections ci-dessous.

Tableau 52 : Fichier de registre : 0x2F – Présentation de l'interface de diagnostic numérique

OFFSET dans le registre 0x2F	Mnémonique	Description
0x00	EVC_CTRL	Contrôle du compteur d'événements
0x04	EVC_PHE	Compteur d'erreurs PHR
0x06	EVC_RSE	Compteur d'erreurs RSD
0x08	EVC_FCG	Compteur bon de séquence de contrôle de trame
0x0A	EVC_FCE	Compteur d'erreurs de séquence de vérification de trame
0x0C	EVC_FFR	Compteur de rejet de filtre de trame
0x0E	EVC_OVR	Compteur d'erreurs de dépassement de réception
0x10	EVC_STO	Compteur de temporisation SFD
0x12	EVC_PTO	Compteur de temporisation de préambule
0x14	EVC_FWTO	Compteur de délai d'attente de trame RX
0x16	EVC_TXFS	Compteur d'envoi de trames TX

OFFSET dans le registre 0x2F	Mnémonique	Description
0x18	EVC_HPW	Compteur d'avertissement de demi-période
0x1A	EVC_TPW	Compteur d'avertissement de mise sous tension de l'émetteur
0x1C	EVC_RES1	Diagnostic numérique Zone réservée 1
0x24	DIAG_TMC	Registre de contrôle du mode test

#### 7.2.48.1 Sous-registre 0x2F:00 - Contrôle du compteur d'événements

Longueur (octets)	Type Mnémonique	Description
4	SRW EVC_CTRL	Contrôle du compteur d'événements

Fichier de registre : 0x2F - Interface de diagnostic numérique, le sous-registre 0x00 est le registre de contrôle du compteur d'événements.

REG:2F:00 – EVC_CTRL – Contrôle du compteur																																
d'événements	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
...	-	..	-	-	..	-	-	-	-	..	-	-	-	-	-	-	-	-	..	-	-	-	-	-	-	-	-	-	-	-	-	
...	-	..	-	-	..	-	-	-	-	..	-	-	-	-	-	-	-	-	..	-	-	-	-	-	-	-	-	-	-	-	0	0

Les champs du registre EVC\_CTRL sont destinés à s'effacer automatiquement. Ainsi, les compteurs d'événements peuvent être activés ou effacés, mais ne peuvent pas être désactivés. Le registre attend une écriture de longueur minimale de deux octets dans les deux octets les plus bas du registre. Si une écriture d'un octet est effectuée dans ce registre, les bits ne s'effaceront pas comme prévu.

Les bits du registre EVC\_CTRL identifiés ci-dessus sont décrits individuellement ci-dessous :

Champ	Description des champs dans le sous-registre 0x2F:00 – Event Counter Control Event
EVC_EN reg:2F:00 bit:0	Counters Enable. Le bit EVC_EN agit pour activer les compteurs d'événements. Lorsque le bit EVC_EN est à zéro, aucun des compteurs d'événements ne sera mis à jour. Lorsque le bit EVC_EN est défini sur 1, il active le comptage d'événements. Un certain nombre de sous-registres du fichier de registre : 0x2F - Interface de diagnostic numérique, contiennent des compteurs de divers événements système - voir ci-dessous pour la description détaillée des paramètres comptés. Si le système hôte ne s'intéresse pas à ces compteurs d'événements, une petite quantité d'énergie est économisée en n'activant pas le comptage d'événements.
EVC_CLR reg:2F:00 bit:1	Compteurs d'événements Effacer. Le bit EVC_CLR agit pour remettre les compteurs d'événements à zéro. Cela ne peut pas être fait tant que le bit EVC_EN est activé. La procédure correcte pour effacer les compteurs d'événements consiste à écrire 0x02 dans le <a href="#">sous-registre 0x2F:00 - Contrôle du compteur d'événements</a> pour désactiver le comptage et remettre les valeurs du compteur à zéro, puis d'écrire 0x01 dans le <a href="#">sous-registre 0x2F:00 - Contrôle du compteur d'événements</a> pour réactiver le comptage si nécessaire.
- reg:2F:00 bits:31-2	Les bits restants du <a href="#">sous-registre 0x2F:00 – Event Counter Control</a> sont réservés et doivent toujours être mis à zéro pour éviter tout dysfonctionnement de l'appareil.

## 7.2.48.2      Sous-registre 0x2F:04 - Compteur d'erreurs PHR

Identifiant	Longueur (octets)	Type Mnémonique	Description
2F:04	2	RO EV C_PHE	Compteur d'événements d'erreur PHR

Fichier de registre : 0x2F - Interface de diagnostic numérique, le sous-registre 0x04 est le compteur d'événements d'erreur d'en-tête PHY.

REG:2F:04 – EVC_PHE – Compteur d'erreurs PHR																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
-	...																														
EVC_PHE																															
0																															

Les champs du registre EVC\_PHE sont décrits ci-dessous :

Champ	Description des champs dans le sous-registre 0x2F:04 - Compteur d'erreurs PHR
EVC_PHE reg:2F:04 bits:11–0	Compteur d'événements d'erreur PHR. Le champ EVC_PHE est un compteur 12 bits d'erreurs d'en-tête PHY. Cela compte le signalement des événements d'erreur RXPHE dans <a href="#">le fichier de registre : 0x0F - Registre d'état des événements système</a> . NB : Pour que ce compteur soit actif, le comptage doit être activé en définissant le bit EVC_EN dans le <a href="#">sous-registre 0x2F:00 - Contrôle du compteur d'événements</a> .
- embouts : 15–12	Les bits restants de ce registre sont réservés.

#### 7.2.48.3 Sous-registre 0x2F:06 - Compteur d'erreurs RSD

Longueur (octets)	Type Mnémonique	Description
2	RO EVC_RSE	Compteur d'événements d'erreur RSD

Fichier de registre : [0x2F - Interface de diagnostic numérique](#), le sous-registre 0x06 est le compteur d'événements d'erreur RSD.

REG:2F:06 – EVC_RSE – Compteur d'erreurs RSD																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
-	...																														
EVC_RSE																															
0																															

Les champs du registre EVC\_RSE sont décrits ci-dessous :

Champ	Description des champs dans le sous-registre 0x2F: 06 - Compteur d'erreurs RSD du
EVC_RSE reg:2F:06 bits:11–0	décodeur Reed Solomon (perte de synchronisation de trame) Compteur d'événements d'erreur. Le champ EVC_RSE est un compteur 12 bits des événements d'erreur non corrigibles qui peuvent se produire pendant le décodage Reed Solomon. Cela compte le signalement des événements d'erreur RXRFSL dans <a href="#">le fichier de registre : 0x0F - Registre d'état des événements système</a> . NB : Pour que ce compteur soit actif, le comptage doit être activé en définissant le bit EVC_EN dans le <a href="#">sous-registre 0x2F:00 - Contrôle du compteur d'événements</a> .
- embouts : 15–12	Les bits restants de ce registre sont réservés.

#### 7.2.48.4 Sous-registre 0x2F:08 – FCS Good Counter

Longueur (octets)	Type Mnémonique	Description
2	RO EVC_FCG	Compteur d'événements corrects de séquence de vérification de trame

Fichier de registre : [0x2F - Interface de diagnostic numérique](#), le sous-registre 0x08 est le compteur d'événements FCS corrects.

REG:2F:08 – EVC_FCG – Séquence de contrôle de trame Bon compteur d'événements																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
-	...																														
EVC_FCG																0															
Les bits du registre EVC_FCG sont décrits ci-dessous :																															

Les bits du registre EVC\_FCG sont décrits ci-dessous :

Champ	Description des champs dans le sous-registre 0x2F:08 - FCS Good Counter
EVC_FCG reg:2F:08 bits:11–0	Compteur d'événements corrects de séquence de vérification de trame. Le champ EVC_FCG est un compteur 12 bits des trames reçues avec une bonne séquence CRC/FCS. Cela compte le rapport des événements RXFCG dans <a href="#">le fichier de registre : 0x0F - Registre d'état des événements système</a> . NB : Pour que ce compteur soit actif, le comptage doit être activé en définissant le bit EVC_EN dans le <a href="#">sous-registre 0x2F:00 - Contrôle du compteur d'événements</a> .
- embouts : 15–12	Les bits restants de ce registre sont réservés.

#### 7.2.48.5 Sous-registre 0x2F:0A - Compteur d'erreurs FCS

IDENTIFIANT	Longueur (octets)	Type Mnémonique	Description
2F:0A	2	RO EVC_FCE	Compteur d'erreurs de séquence de vérification de trame

Fichier de registre : [0x2F - Interface de diagnostic numérique](#), le sous-registre 0x0A est le compteur d'événements d'erreur FCS.

REG:2F:0A – EVC_FCE – Compteur d'erreurs FCS																																
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
-	...																															
EVC_FCE																0																
Les bits du registre EVC_FCE sont décrits ci-dessous :																																

Les bits du registre EVC\_FCE sont décrits ci-dessous :

Champ	Description des champs dans le sous-registre 0x2F:0A - Compteur d'erreurs FCS
EVC_FCE reg:2F:0A bits:11–0	Compteur d'événements d'erreur de séquence de vérification de trame. Le champ EVC_FCE est un compteur 12 bits des trames reçues avec une mauvaise séquence CRC/FCS. Cela compte le signalement des événements RXFCE dans <a href="#">le fichier de registre : 0x0F - Registre d'état des événements système</a> . NB : Pour que ce compteur soit actif, le comptage doit être activé en définissant le bit EVC_EN dans le <a href="#">sous-registre 0x2F:00 - Contrôle du compteur d'événements</a> .
- embouts : 15–12	Les bits restants de ce registre sont réservés.

#### 7.2.48.6 Sous-registre 0x2F: 0C - Compteur de rejet de filtre de trame

IDENTIFIANT	Longueur (octets)	Type Mnémonique	Description
2F:0C	2	RO EVC_FFR	Compteur de rejet de filtre de trame

Fichier de registre : [0x2F - Interface de diagnostic numérique](#), le sous-registre 0x0C est le compteur de rejet de filtre de trame.

REG:2F:0C – EVC_FFR – Compteur de rejet de filtre de trame 31 30																																
29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0			
-	...																															
EVC_FFR																																
-	...																															0

Les bits du registre EVC\_FFR sont décrits ci-dessous :

Champ	Description des champs dans le sous-registre 0x2F:0C – Compteur d'événements de rejet de filtre de trame
EVC_FFR reg:2F:0C bits:11–0	trame Compteur d'événements de rejet de filtre de trame. Le champ EVC_FFR est un compteur 12 bits des trames rejetées par la fonction de filtrage des trames en réception. Il s'agit essentiellement d'un décompte des rapports d'événements AFFREJ (dans le <a href="#">fichier de registre : 0x0F - Registre d'état des événements système</a> ). NB : Pour que ce compteur soit actif, le comptage doit être activé en définissant le bit EVC_EN dans le <a href="#">sous-registre 0x2F:00 - Contrôle du compteur d'événements</a> .
- embouts : 15–12	Les bits restants de ce registre sont réservés.

#### 7.2.48.7 Sous-registre 0x2F: 0E - Compteur d'erreurs de dépassement de réception

Identifiant	Longueur (octets)	Type Mnémonique	Description
2F:0E	2	RO EVC_OVR	Compteur d'erreurs de dépassement de réception

Fichier de registre : [0x2F - Interface de diagnostic numérique](#), le sous-registre 0x0E est le compteur d'erreurs de dépassement de réception.

REG:2F:0E – EVC_OVR – Compteur d'erreurs de dépassement																																
de réception	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
-	...																														EVC_OVR	
-	...																														0	

Les bits du registre EVC\_OVR sont décrits ci-dessous :

Champ	Description des champs dans le sous-registre 0x2F: 0C - Compteur d'événements d'erreur de dépassement de réception
EVC_OVR reg:2F:0E bits:11–0	fréquence de réception du compteur de rejet de filtre de trame. Le champ EVC_OVR est un compteur 12 bits d'événements de dépassement de réception. Il s'agit essentiellement d'un décompte des rapports d'événements RXOVR dans le <a href="#">fichier de registre : 0x0F - Registre d'état des événements système</a> . L'EVC_OVR sera incrémenté une fois pour chaque rejet de trame RX qui se produit pendant qu'une condition de dépassement persiste. NB : Pour que ce compteur soit actif, le comptage doit être activé en définissant le bit EVC_EN dans le <a href="#">sous-registre 0x2F:00 - Contrôle du compteur d'événements</a> .
- embouts : 15–12	Les bits restants de ce registre sont réservés.

#### 7.2.48.8 Sous-registre 0x2F:10 – Compteur d'erreurs de temporisation SFD

Identifiant	Longueur (octets)	Type Mnémonique	Description
2F:10	2	RO EVC_STO	Compteur d'erreurs de temporisation SFD

Fichier de registre : [0x2F - Interface de diagnostic numérique](#), le sous-registre 0x10 est le compteur d'erreurs de temporisation SFD.

REG:2F:10 – EVC_STO – Compteur d'erreurs de temporation SFD																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
-	...																														
EVC_STO																															
0																															

Les bits du registre EVC\_STO sont décrits ci-dessous :

Champ	Description des champs dans le sous-registre 0x2F:10 – Compteur d'erreurs de temporation SFD
EVC_STO reg:2F:10 bits:11–0	Compteur d'événements d'erreurs de temporation SFD. Le champ EVC_STO est un compteur 12 bits d'événements d'erreur de temporation SFD. Il s'agit essentiellement d'un décompte des rapports RXSFDTO dans le fichier de registre : <a href="#">0x0F - Registre d'état des événements système</a> . NB : Pour que ce compteur soit actif, le comptage doit être activé en définissant le bit EVC_EN dans le sous-registre <a href="#">0x2F:00 - Contrôle du compteur d'événements</a> .
- embouts : 15–12	Les bits restants de ce registre sont réservés.

#### 7.2.48.9 Sous-registre 0x2F: 12 - Compteur d'événements de temporation de détection de préambule

IDENTIFIANT	Longueur (octets)	Type Mnémonique	Description
2F:12	2	RO EVC_PTO	Compteur d'événements de temporation de détection de préambule

Fichier de registre : [0x2F - Interface de diagnostic numérique](#), le sous-registre 0x12 est le compteur d'événements de temporation de préambule.

REG:2F:12 – EVC_PTO – Compteur d'événements de temporation de détection de préambule																																
préambule	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
-	...																															
EVC_PTO																																
0																																

Les bits du registre EVC\_PTO sont décrits ci-dessous :

Champ	Description des champs dans le sous-registre 0x2F:12 – Événement de temporation de détection de préambule Comptoir
EVC_PTO reg:2F:12 bits:11–0	Compteur d'événements de temporation de détection de préambule. Le champ EVC_PTO est un compteur 12 bits d'événements de temporation de détection de préambule. Il s'agit essentiellement d'un décompte des rapports RXPTO, dans le fichier de registre : <a href="#">0x0F - Registre d'état des événements système</a> . NB : Pour que ce compteur soit actif, le comptage doit être activé en définissant le bit EVC_EN dans le sous-registre <a href="#">0x2F:00 - Contrôle du compteur d'événements</a> .
- embouts : 15–12	Les bits restants de ce registre sont réservés.

#### 7.2.48.10 Sous-registre 0x2F: 14 - Compteur d'événements de temporation d'attente de trame RX

IDENTIFIANT	Longueur (octets)	Type Mnémonique	Description
2F:14	2	RO EVC_FWTO	Compteur de délai d'attente de trame RX

Fichier de registre : 0x2F - Interface de diagnostic numérique, le sous-registre 0x14 est l'événement de temporisation d'attente de trame RX

Les bits du registre EVC\_FWTO sont décrits ci-dessous :

Champ	Description des champs dans le sous-registre 0x2F:14 – Compteur d'événements de délai d'attente de trame RX
EVC_FWTO reg:2F:14 bits:11–0	Compteur d'événements de délai d'attente de trame RX. Le champ EVC_FWTO est un compteur 12 bits d'événements de temporisation d'attente de trame de réception. Il s'agit essentiellement d'un décompte de la notification des événements RXRFTO dans <a href="#">le fichier de registre : 0x0F - Registre d'état des événements système</a> . NB : Pour que ce compteur soit actif, le comptage doit être activé en définissant le bit EVC_EN dans le <a href="#">sous-registre 0x2F:00 - Contrôle du compteur d'événements</a> .
- embouts : 15-12	Les bits restants de ce registre sont réservés.

7.2.48.11 Sous-registre 0x2F:16 – Compteur d'envoi de trame TX

Identifiant	Longueur (octets)	Type Mnémonique	Description
2F:16	2	RO EVC TXFS	Compteur d'envoi de trames TX

Fichier de registre : 0x2F - Interface de diagnostic numérique, le sous-registre 0x16 est le compteur d'envoi de trame TX.

Les bits du registre EVC TXFS sont décrits ci-dessous :

Champ	Description des champs dans le sous-registre 0x2F:16 – Compteur d'événements d'envoi de trame TX.
EVC_TXFS reg:2F:16 bits:11–0	<p>trame TX. Le champ EVC_TXFS est un compteur 12 bits de trames de transmission envoyées. Celui-ci est incrémenté à chaque fois qu'une trame est envoyée. Il s'agit essentiellement d'un décompte de la notification des événements TXFRS dans le <a href="#">fichier de registre : 0x0F - Registre d'état des événements système</a>.</p> <p>NB : Pour que ce compteur soit actif, le comptage doit être activé en définissant le bit EVC_EN dans le <a href="#">sous-registre 0x2F:00 - Contrôle du compteur d'événements</a>.</p>
- embouts : 15–12	Les bits restants de ce registre sont réservés.

7.2.48.12 Sous-registre 0x2E:18 - Compteur d'avertissement de demi-période

Définissant	Longueur (octets)	Type Mnémonique	Description
2F:18	2	RO EMC HPW	Compteur d'avertissement de demi-période

Fichier de registre : 0x2F - Interface de diagnostic numérique, le sous-registre 0x18 est le compteur d'avertissement de demi-période.

REG:2F:18 – EVC_HPW – Compteur d'avertissement de demi-période																12	11	10	9	8	7	6	5	4	3	2	1	0		
-	...																													

Les bits du registre EVC\_HPW sont décrits ci-dessous :

Champ	Description des champs dans le sous-registre 0x2F:18 – Compteur d'événements d'avertissement
EVC_HPW reg:2F:18 bits:11–0	de demi-période Compteur d'événements d'avertissement de demi-période. Le champ EVC_HPW est un compteur 12 bits d'"avertissements de demi-période". Il s'agit du décompte des rapports d'événements HPDWARN dans le fichier de registre : 0x0F - Registre d'état des événements système. Celles-ci concernent l'appel tardif de la fonctionnalité de transmission ou de réception différée. Veuillez vous référer à la description du bit HPDWARN pour plus de détails sur cet événement et sa signification. NB : Pour que ce compteur soit actif, le comptage doit être activé en définissant le bit EVC_EN dans le sous-registre 0x2F:00 - Contrôle du compteur d'événements.
- embouts : 15–12	Les bits restants de ce registre sont réservés.

#### 7.2.48.13 Sous-registre 0x2F:1A - Compteur d'avertissement de mise sous tension de l'émetteur

Identifiant	Longueur (octets)	Type Mnémonique	Description
2F:1A	2	RO EVC_TPW	Compteur d'avertissement de mise sous tension de l'émetteur

Fichier de registre : 0x2F - Interface de diagnostic numérique, le sous-registre 0x1A est le compteur d'avertissement de mise sous tension TX.

REG:2F:1A – EVC_TPW – Compteur d'avertissement de mise sous tension de l'émetteur																12	11	10	9	8	7	6	5	4	3	2	1	0		
-	...																													

Les bits du registre EVC\_TPW sont décrits ci-dessous :

Champ	Description des champs dans le sous-registre 0x2F:1A - Compteur d'avertissement de mise sous tension de l'émetteur
EVC_TPW reg:2F:1A bits:11–0	Compteur d'événements d'avertissement de mise sous tension de l'émetteur. Le champ EVC_TPW est un compteur 12 bits de "Transmitter Power-Up Warnings". Il s'agit du décompte des rapports des événements TXPUTE dans le fichier de registre : 0x0F - Registre d'état des événements système. Ceux-ci se rapportent à un temps d'envoi retardé qui est trop court pour permettre une mise sous tension correcte des blocs TX avant que la transmission retardée ne doive commencer. Veuillez vous référer à la description du bit TXPUTE pour plus de détails sur cet événement. NB : Pour que ce compteur soit actif, le comptage doit être activé en définissant le bit EVC_EN dans le sous-registre 0x2F:00 - Contrôle du compteur d'événements.
- embouts : 15–12	Les bits restants de ce registre sont réservés.

## 7.2.48.14 Sous-registre 0x2F:1C – EVC\_RES1

Décrivant	Longueur (octets)	Type Mnémonique	Description
2F:1C	8	RW EVC_RES1	Diagnostic numérique Zone réservée 1

Fichier de registre : [0x2F - Interface de diagnostic numérique](#), le sous-registre 0x1C est un registre réservé. Veillez à ne pas écrire dans ce registre car cela pourrait entraîner un dysfonctionnement du DW1000.

## 7.2.48.15 Sous-registre 0x2F:24 - Contrôle du mode de test de diagnostic numérique

Décrivant	Longueur (octets)	Type Mnémonique	Description
2F:24	2	RW DIAG_TMC	Registre de contrôle du mode test

Fichier de registre : [0x2F - Interface de diagnostic numérique](#), le sous-registre 0x24 est le registre de contrôle du mode de test.

REG:2F:24 – DIAG_TMC – Contrôle du mode de test de diagnostic numérique																																	
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-		
reg:2F:24	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	
bits:DIVERS	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	
TX_PSTM reg:2F:24 bit:4	Mode de test du spectre de puissance de transmission. Ce mode de test est fourni pour aider à prendre en charge les tests spectraux des approbations réglementaires. Lorsque le bit TX_PSTM est activé, il permet une transmission répétée des données depuis le TX_BUFFER. Pour utiliser ce mode de test, le canal de fonctionnement, le code de préambule, la longueur des données, le décalage, etc. doivent tous être configurés comme pour une transmission normale.  Le délai de démarrage à démarrage entre les trames est programmé dans le registre DX_TIME. Il s'agit d'une utilisation spéciale de ce registre, où les bits 31 à 0 sont utilisés, et la valeur est programmée en unités d'un quart de la fréquence fondamentale de 499,2 MHz (~ 8 ns). Pour envoyer une trame par milliseconde, une valeur de 124800 ou 0x0001E780 doit être programmée dans le registre DX_TIME. Une valeur <4 ne doit pas être utilisée. Une valeur de temps inférieure à la durée de trame entraînera un espacement inter-trame imprévisible et ne doit pas être utilisée. Pour envoyer des trames consécutives, la valeur temporelle doit être définie sur la durée de la trame.  Lorsque le mode, le délai et le tampon TX ont été configurés et que le bit TX_PSTM est défini, le mode TX répété est lancé en définissant le bit TXSTRRT dans le <a href="#">fichier de registre : 0x0D - Registre de contrôle du système</a> .  Pour quitter le mode de test Transmit Power Spectrum, réinitialisez le bit TX_PSTM à zéro.																																

Les bits du registre DIAG\_TMC identifiés ci-dessus sont décrits individuellement ci-dessous :

Champ	Description des champs du sous-registre 0x2F:24 – Contrôle du mode de test des diagnostics numériques Ces
-	bits du registre DIAG_TMC sont réservés et doivent toujours être mis à zéro pour éviter tout dysfonctionnement de l'appareil.
reg:2F:24 bits:DIVERS	Mode de test du spectre de puissance de transmission. Ce mode de test est fourni pour aider à prendre en charge les tests spectraux des approbations réglementaires. Lorsque le bit TX_PSTM est activé, il permet une transmission répétée des données depuis le TX_BUFFER. Pour utiliser ce mode de test, le canal de fonctionnement, le code de préambule, la longueur des données, le décalage, etc. doivent tous être configurés comme pour une transmission normale.  Le délai de démarrage à démarrage entre les trames est programmé dans le registre DX_TIME. Il s'agit d'une utilisation spéciale de ce registre, où les bits 31 à 0 sont utilisés, et la valeur est programmée en unités d'un quart de la fréquence fondamentale de 499,2 MHz (~ 8 ns). Pour envoyer une trame par milliseconde, une valeur de 124800 ou 0x0001E780 doit être programmée dans le registre DX_TIME. Une valeur <4 ne doit pas être utilisée. Une valeur de temps inférieure à la durée de trame entraînera un espacement inter-trame imprévisible et ne doit pas être utilisée. Pour envoyer des trames consécutives, la valeur temporelle doit être définie sur la durée de la trame.  Lorsque le mode, le délai et le tampon TX ont été configurés et que le bit TX_PSTM est défini, le mode TX répété est lancé en définissant le bit TXSTRRT dans le <a href="#">fichier de registre : 0x0D - Registre de contrôle du système</a> .  Pour quitter le mode de test Transmit Power Spectrum, réinitialisez le bit TX_PSTM à zéro.

### 7.2.49 Fichiers registre : 0x30 à 0x35 – Réservé

IDENTIFIANT	Longueur (octets)	Type Mnémonique		Description
0x30 pour 0x35	-	-	-	Réservé – ces fichiers de registre sont réservés

Les fichiers de [registre de carte de registre](#) 0x30 à 0x35 sont réservés pour une utilisation future. Veillez à ne pas écrire dans ces registres car cela pourrait entraîner un dysfonctionnement du DW1000.

### 7.2.50 Fichier de registre : 0x36 - Gestion de l'alimentation et contrôle du système

IDENTIFIANT	Longueur (octets)	Type Mnémonique		Description
0x36	-	-	SMSP	Bloc de contrôle du système de gestion de l'alimentation

Le fichier de registre [de carte de registre](#) 0x36 est un bloc de contrôle pour la gestion de l'alimentation et le contrôle du système DW1000.

Un aperçu de ceux-ci est donné par le tableau 53. Chacun de ces sous-registres est décrit séparément dans les sous-sections ci-dessous.

Tableau 53 : Fichier de registre : 0x36 – Présentation de la gestion de l'alimentation et du contrôle du système

OFFSET dans le registre 0x36	Mnémonique	Description
0x00	PMSC_CTRL0	Registre de contrôle PMSC 0
0x04	PMSC_CTRL1	Registre de contrôle PMSC 1
0x08	PMSC_RES1	Zone réservée PMSC 1
0x0C	PMSC_SNOZT	Registre de temps de répétition PMSC
0x10	PMSC_RES2	Zone réservée PMSC 2
0x26	PMSC_TXFSEQ	Contrôle de séquençage TX à grain fin PMSC
0x28	PMSC_LED_C	Registre de contrôle LED PMSC

#### 7.2.50.1 Sous-registre 0x36:00 – PMSC\_CTRL0

IDENTIFIANT	Longueur (octets)	Type Mnémonique		Description
36:00	4	RW PMSC_CTRL0	Registre de contrôle PMSC 0	Registre de contrôle PMSC 0

Fichier de registre : 0x36 - Gestion de l'alimentation et contrôle du système, le sous-registre 0x00 est un registre de contrôle 32 bits relatif à l'activation de la synchronisation de divers blocs numériques dans le DW1000. Ce registre comporte également un champ permettant d'appliquer une réinitialisation appliquée par logiciel au CI. Le registre PMSC\_CTRL0 contient les sous-champs suivants :

REG:36:00 – PMSC_CTRL0 – Registre de contrôle PMSC 0																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
REDÉMARRAGE EN DOUCEUR	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
1	1	1	1	0	0	0	0	0	1	1	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Les champs du registre PMSC\_CTRL0 identifiés ci-dessus sont décrits individuellement ci-dessous :

Champ	Description des champs dans le sous-registre 0x36:00 – PMSC_CTRL0
-	Les bits marqués '-' sont réservés et doivent être conservés à leur valeur de réinitialisation.
SYSCLKS reg:36:00 bits:1,0	<p>Sélection de l'horloge système. Ceci sélectionne la source d'horloge pour l'horloge système DW1000.</p> <p>Les valeurs autorisées sont :</p> <ul style="list-style-type: none"> <li>00 : Auto - L'horloge système fonctionnera à partir de l' horloge XTI 19,2 MHz jusqu'à ce que la PLL soit calibrée et verrouillé, il basculera sur l'horloge PLL 125 MHz.</li> <li>01 : force l'horloge système à être l' horloge XTI 19,2 MHz .</li> <li>10 : Forcer l'horloge système à l'horloge PLL 125 MHz. (Si cette horloge n'est pas présente, le DW1000 se bloquera essentiellement avec d'autres communications SPI impossibles. Dans ce cas, une réinitialisation externe sera nécessaire pour récupérer).</li> <li>11 : Réservé.</li> </ul> <p>Cette commande est utilisée pour certaines procédures, par exemple pour régler l'horloge système sur l' horloge XTI 19,2 MHz pour un accès manuel à la mémoire OTP.</p>
RXCLKS reg:36:00 bits:3,2	<p>Sélection de l'horloge du récepteur. Ceci sélectionne la source d'horloge pour le récepteur DW1000.</p> <p>Les valeurs autorisées sont :</p> <ul style="list-style-type: none"> <li>00 : Auto – L'horloge RX sera désactivée jusqu'à ce qu'elle soit requise pour une opération RX, moment auquel elle sera activée pour utiliser l'horloge PLL 125 MHz.</li> <li>01 : Forcer l'activation de l'horloge RX et l'horloge provenant de l'horloge XTI 19,2 MHz 10 :</li> <li>Forcer l'activation de l'horloge RX et provenant de l'horloge PLL 125 MHz. (NB : assurez-vous que l'horloge PLL est présente).</li> <li>11 : Forcer l'arrêt de l'horloge RX.</li> </ul> <p>Ce contrôle est utilisé pour certaines procédures, par exemple après une opération de réception, si le système hôte veut lire l'estimation de la réponse impulsionale du canal (CIRE) à des fins de diagnostic, l'horloge de réception doit être présente pour accéder à la mémoire de l'accumulateur.</p>

Champ	Description des champs dans le sous-registre 0x36:00 – PMSC_CTRL0
TXCLKS reg:36:00 bits:5,4	<p>Sélection de l'horloge de l'émetteur. Ceci sélectionne la source d'horloge pour l'émetteur DW1000.</p> <p>Les valeurs autorisées sont :</p> <p>00 : Auto – L'horloge TX sera désactivée jusqu'à ce qu'elle soit requise pour une opération TX, moment auquel elle sera activée pour utiliser l'horloge PLL 125 MHz.</p> <p>01 : Forcer l'activation de l'horloge TX et l'horloge provenant de l' horloge XTI 19,2 MHz</p> <p>10 : Forcer l'activation de l'horloge TX et provenant de l'horloge PLL 125 MHz. (NB : assurez-vous que l'horloge PLL est présente).</p> <p>11 : Forcer l'arrêt de l'horloge TX.</p> <p>Cette commande est utilisée pour certaines procédures, par exemple lors de la configuration du mode de transmission continue utilisé lors de l'étalonnage de la puissance de sortie et des tests réglementaires.</p>
AFFRONTER reg:36:00 bit:6	Forcer l'activation de l'horloge de l'accumulateur. En fonctionnement normal, ce bit doit être mis à 0 pour permettre au PMSC de contrôler l'horloge de l'accumulateur comme nécessaire pour le fonctionnement normal du récepteur. Si le système hôte veut lire les données de l'accumulateur, ce bit FACE et le bit AMCE (ci-dessous) doivent être mis à 1 pour permettre à la lecture de l'accumulateur de fonctionner correctement. (température et tension) Activation de l'horloge du convertisseur analogique-
ADCCE reg:36:00 bit:10	numérique. Le DW1000 est équipé de convertisseurs A/N 8 bits pour échantillonner la température du circuit intégré et sa tension de batterie d'entrée. Le CI peut échantillonner automatiquement la température et la tension lorsqu'il se réveille de SLEEP ou DEEPSLEEP. Ceci est contrôlé par le bit ONW_RADC dans <a href="#">le sous-registre 0x2C:00 – AON_WCFG</a> . Si le système hôte souhaite lancer des mesures de température et/ou de tension à d'autres moments, l'horloge du convertisseur analogique-numérique doit être activée via ce bit ADCCE. Pour plus de détails sur cette fonctionnalité, veuillez vous reporter à la section <a href="#">6.4 – Mesure de la température et de la tension du circuit intégré</a> .
AMCE reg:36:00 bit:15	Activation de l'horloge de la mémoire de l'accumulateur. En fonctionnement normal, ce bit doit être mis à 0 pour permettre au PMSC de contrôler l'horloge de la mémoire de l'accumulateur comme nécessaire pour le fonctionnement normal du récepteur. Si le système hôte veut lire les données de l'accumulateur, ce bit AMCE et le bit FACE (ci-dessus) doivent être mis à 1 pour permettre à la lecture de l'accumulateur de fonctionner correctement.
GPCE reg:36:00 bit:16	Activer l'horloge GPIO. Afin d'utiliser les lignes de port GPIO, l'activation GPCE doit être définie sur 1 pour activer l'horloge dans le bloc GPIO. Le bit GPRN (ci-dessous) doit également être défini sur 1 pour sortir le port GPIO de son état de réinitialisation.
GPRN reg:36:00 bit:17	Réinitialisation GPIO (NON), actif bas. Afin d'utiliser les lignes de port GPIO, le bit GPRN doit être défini sur 1 pour sortir le port GPIO de son état de réinitialisation. Le bit d'activation GPCE (ci-dessus) doit également être défini sur 1 pour activer l'horloge dans le bloc GPIO.

Champ	Description des champs dans le sous-registre 0x36:00 – PMSC_CTRL0 GPIO De-
GPDCE reg:36:00 bit:18	<p>bounce Clock Enable. Le port GPIO DW1000 comprend une fonctionnalité anti-rebond qui peut être appliquée aux lignes d'entrée utilisées comme source d'interruption. Le circuit de filtre anti-rebond synchronise les entrées GPIO dans le DW1000 et supprime les transitoires courts en exigeant que l'entrée persiste pendant deux cycles de cette horloge avant qu'elle ne soit vue par la logique de gestion des interruptions. (Voir <a href="#">Sous-registre 0x26:24 – GPIO_IDBE</a> pour plus de détails). Afin d'utiliser la fonctionnalité anti-rebond du port GPIO, ce bit GPDCE doit être défini sur 1 pour activer l'horloge dans le bloc GPIO. Le bit GPDRN (ci-dessous) doit également être défini sur 1 pour sortir le circuit du filtre anti-rebond du port GPIO de son état de réinitialisation.</p> <p>Ce bit GPDCE sert également à activer l'horloge qui contrôle la fonctionnalité de clignotement des LED et doit donc être activé pour que les LED fonctionnent correctement. Voir <a href="#">Sous-registre 0x26:00 - GPIO_MODE</a> pour plus de détails sur l'activation de la fonctionnalité LED sur les lignes GPIO.</p> <p>Remarque : Comme cette horloge utilise l'horloge kilohertz, les diviseurs et les activations appropriés doivent être configurés en fonction de la fonctionnalité souhaitée. Voir KHZCLKEN ci-dessous et KHZCLKDIV dans <a href="#">le sous-registre 0x36:04 - PMSC_CTRL1</a>.</p>
GPDRN reg:36:00 bit:19	Réinitialisation anti-rebond GPIO (NON), actif bas. Afin d'utiliser le circuit de filtre anti-rebond du port GPIO, le bit GPDRN doit être défini sur 1 pour sortir le circuit de filtre anti-rebond de sa réinitialisation. État. Le bit d'activation GPDCE (ci-dessus) doit également être défini sur 1 pour activer l'horloge dans le circuit anti-rebond GPIO.
KHZCLKEN reg:36:00 bit:23	Horloge kilohertz Activer. Lorsque ce bit est mis à 1, il active le diviseur. La valeur du diviseur est définie par KHZCLKDIV dans <a href="#">le sous-registre 0x36:04 - PMSC_CTRL1</a> .
PLL2_SEQ_FR reg:36:00 bit:24	La valeur 0 signifie normal (contrôle de séquencement TX), la valeur 1 signifie le contrôle du mode RX SNIFF.
REDEMARRAGE EN DOUCEUR reg:36:00 bits:31–28	<p>Ces quatre bits réinitialisent l'IC TX, RX, l'interface hôte et le PMSC lui-même, permettant essentiellement une réinitialisation de l'IC sous contrôle logiciel. Ces bits doivent être remis à zéro pour forcer une réinitialisation, puis remis à un pour un fonctionnement normal. La procédure correcte pour réaliser cette réinitialisation consiste à :</p> <p>(a) Réglez SYSLKS sur 01 (b) Effacez SOFTRESET à tous les zéros (c) Réglez SOFTRESET à tous les uns</p> <p>Le bloc AON n'est pas réinitialisé par cette activité et peut donc prendre des mesures après la réinitialisation en fonction de la configuration dans le <a href="#">sous-registre 0x2C: 00 - AON_WCFG</a>.</p> <p>Pour appliquer une réinitialisation logicielle du récepteur uniquement, effacez et définissez le bit 28 uniquement.</p>

## 7.2.50.2 Sous-registre 0x36:04 – PMSC\_CTRL1

	Longueur (octets)	Type Mnémonique	Description
36:04	4	RW PMSC_CTRL1	Registre de contrôle PMSC 1

Fichier de registre : 0x36 - Gestion de l'alimentation et contrôle du système, le sous-registre 0x04 est un registre de contrôle 32 bits.

Le registre PMSC\_CTRL1 contient les sous-champs suivants :

REG:36:04 – PMSC_CTRL1 – Registre de contrôle PMSC 1 31 30																																	
29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
KHZCLKDIV	..			-	.....													NAS1d	SZONS	SZOND	STENON	STSOON											
1	0	0	0	0	0	1	0	0	0	0	0	1	1	1	0	0	1	1	0	0	0												

Les champs du registre PMSC\_CTRL1 identifiés ci-dessus sont décrits individuellement ci-dessous :

Champ	Description des champs dans le sous-registre 0x36:04 – PMSC_CTRL1
-	Les bits marqués '-' sont réservés et doivent être conservés à leur valeur de réinitialisation.
ARX2INIT reg:36:04 bit:1	Passage automatique du mode réception à l' état INIT . Si le bit ARX2INIT est défini, alors le DW1000 passera automatiquement à l' état INIT après une tentative de réception tant qu'il n'y a pas d'interruptions non masquées en attente. Cette commande est utilisée pour activer le mode SNIFF à faible rapport cyclique. Veuillez vous référer à la section <a href="#">4.5.2 – Mode SNIFF à faible rapport cyclique</a> pour plus de détails sur cette fonctionnalité.
PKTSEQ reg:36:04 bits:10-3	L'écriture de 0 dans PKTSEQ désactive le contrôle PMSC des sous-systèmes RF analogiques. Pour activer le contrôle PMSC de ces blocs, une valeur de 0xE7 doit être écrite.
ATXSLP reg:36:04 bit:11	Après TX automatiquement dormir. Si ce bit est défini, le DW1000 passera automatiquement en mode SLEEP ou DEEPSLEEP après la fin de la transmission d'une trame tant qu'il n'y a pas d'interruptions non masquées en attente. Ce bit est effacé lorsque le DW1000 sort du mode veille, sauf si le bit PRES_SLEEP est défini dans le <a href="#">sous-registre 0x2C:00 – AON_WCFG</a> . Avant d'utiliser cette fonctionnalité ATXSLP, les configurations AON dans le <a href="#">fichier de registre : 0x2C - L'interface de contrôle du système toujours active</a> doit être définie pour permettre la fonctionnalité de réveil DW1000 appropriée. L'une des utilisations pour cela serait dans un appareil qui transmet périodiquement un message (par exemple TDOA RTLS Tag) pour ramener le DW1000 à son état de puissance le plus bas immédiatement après la transmission, économisant ainsi de l'énergie. REMARQUE : Le bit SLEEP_EN dans le <a href="#">sous-registre 0x2C:06 – AON_CFG0</a> doit être défini pour activer cette fonctionnalité.
ARXSLP reg:36:04 bit:12	Après RX automatiquement dormir. Si ce bit est défini, le DW1000 passera automatiquement en mode SLEEP après une tentative de réception tant qu'il n'y a pas d'interruptions non masquées en attente. Avant d'utiliser ARXSLP, les configurations AON dans le <a href="#">fichier de registre : 0x2C - L'interface de contrôle du système toujours activé</a> doivent être définies pour permettre la fonctionnalité de réveil DW1000 appropriée. Ce bit est effacé lorsque le DW1000 sort du mode veille, à moins que le bit PRES_SLEEP ne soit défini dans le <a href="#">sous-registre 0x2C:00 - AON_WCFG</a> . L'une des utilisations de ce bit est de mettre en œuvre un schéma appelé écoute à faible puissance. Voir la section <a href="#">4.4 – Écoute à faible puissance</a> pour plus de détails.  REMARQUE : Le bit SLEEP_EN dans le <a href="#">sous-registre 0x2C:06 – AON_CFG0</a> doit être défini pour activer cette fonctionnalité.
SNOZE reg:36:04 bit:13	Activer la répétition. Un SNOOZE est comme un SLEEP sauf que le snooze utilise l' horloge XTI à 19,2 MHz et que la période de temps de snooze est spécifiée par le champ SNOZ_TIM du <a href="#">sous-registre 0x36:0C - PMSC_SNOZT</a> . La répétition est plus précisément chronométrée que le sommeil, mais consomme plus d'énergie que le sommeil. Ceci est utilisé pour mettre en œuvre le schéma d'écoute à faible puissance, voir la section <a href="#">4.4 - Écoute à faible puissance</a> pour plus de détails.

Champ	Description des champs dans le sous-registre 0x36:04 – PMSC_CTRL1
SNOZR reg:36:04 bit:14	Répéter la répétition. Le bit SNOZR est défini pour permettre au minuteur de répétition de se répéter indéfiniment. SNOOZE-> RX-> SNOOZE-> RX-> etc.
PLSYN reg:36:04 bit:15	Cela active une horloge spéciale de 1 GHz utilisée pour certains modes SYNC externes. Si cela n'est pas nécessaire, pour économiser de l'énergie, la configuration PLLSYN doit être laissée sur 0. Voir <a href="#">Fichier de registre : 0x24 – Contrôle de synchronisation externe</a> pour plus de détails.
LDERUNE reg:36:04 bit:17	Activation de l'exécution LDE. Ce bit permet l'exécution de l'algorithme LDE. LDERUNE est 1 par défaut, ce qui signifie que l'algorithme LDE sera exécuté dès que le SFD sera détecté dans le récepteur. Lorsque LDERUNE est défini sur zéro, l'algorithme LDE ne sera pas exécuté et le RX_STAMP dans <a href="#">le fichier de registre : 0x15 - L'horodatage de réception</a> ne sera pas mis à jour. Pour cela, le code LDE doit être chargé de la ROM dans sa RAM d'exécution, ce qui est réalisé à l'aide du contrôle LDELOAD dans le <a href="#">sous-registre 0x2D: 06 - OTP_CTRL</a> , et peut également être effectué automatiquement lors du réveil de SLEEP ou DEEPSLEEP via le contrôle ONW_LLDE dans <a href="#">Sous-registre 0x2C:00 – AON_WCFG</a> . Si le code LDE n'est pas chargé, la commande LDERUNE doit être désactivée avant d'allumer le récepteur.
KHZCLKDIV reg:36:04 bits:31–26	Diviseur d'horloge kilohertz. Ce champ spécifie un diviseur d'horloge conçu pour donner une horloge de plage de kilohertz qui est utilisée dans le DW1000 pour la fonctionnalité de clignotement de LED et également pour la fonctionnalité GPIO de rebond. L'entrée du diviseur kHz est l' horloge XTI 19,2 MHz (qui est le XTAL brut 38,4 MHz ÷ 2). Le champ KHZCLKDIV spécifie les 6 premiers bits d'un compteur 10 bits permettant des diviseurs jusqu'à 2016 ou des fréquences d'horloge de 9,5 kHz à 600 kHz. L'horloge résultante est utilisée directement dans le circuit anti-rebond GPIO (voir <a href="#">sous-registre 0x26:24 - GPIO_IDBE</a> ). Un autre diviseur est appliqué pour la fonctionnalité de clignotement de la LED, voir <a href="#">le sous-registre 0x36:28 - PMSC_LED</a> .

#### 7.2.50.3 Sous-registre 0x36:08 – PMSC\_RES1

IDENTIFIANT	Longueur (octets)	Type	Mémoire	Description
36:08	4	RW	PMSC_RES1	Zone réservée PMSC 1

Fichier de registre : 0x36 - Gestion de l'alimentation et contrôle du système, le sous-registre 0x08 est un registre réservé. Veillez à ne pas écrire dans ce registre car cela pourrait entraîner un dysfonctionnement du DW1000.

#### 7.2.50.4 Sous-registre 0x36:0C – PMSC\_SNOZT

IDENTIFIANT	Longueur (octets)	Type	Mémoire	Description
36:0C	1	RW	PMSC_SNOZT	Registre de temps de répétition PMSC

Fichier de registre : 0x36 - Gestion de l'alimentation et contrôle du système, le sous-registre 0x0C est un registre 8 bits permettant de spécifier la période de répétition. Le registre PMSC\_SNOZT contient les sous-champs suivants :

REG: 36: 0C - PMSC_SNOZT - Registre de temps de répétition PMSC 31																															
30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0																SNOZ_TIM															
0 1 0 0 0 0 0 0																															

Les champs du registre PMSC\_CTRL1 identifiés ci-dessus sont décrits individuellement ci-dessous :

Champ	Description des champs dans le sous-registre 0x36:0C – PMSC_SNOZT Snooze
SNOZ_TIM reg:36:0C bits:7–0	<p>Time Period. Ces bits sont les 8 bits supérieurs d'un temporisateur 17 bits qui définit la période de répétition en unités de l' horloge interne XTI 19,2 MHz . La valeur par défaut 0x40 (ou décimal 64), donne une période de <math>64 \times 512 / 19,2 \text{e}6</math> secondes, soit 1.7 ms. La répétition est activée via le bit SNOZE dans <a href="#">le sous-registre 0x36:04 - PMSC_CTRL1</a>, et est utilisée pendant l'écoute à faible puissance. Voir la section <a href="#">4.4 – Écoute à faible puissance</a> pour plus de détails.</p> <p>Notez que le compteur ajoute automatiquement 1 à la valeur programmée, donc SNOZ_TIM doit être programmé pour être inférieur de 1 à la valeur souhaitée.</p>

#### 7.2.50.5 Sous-registre 0x36:10 – PMSC\_RES2

IDENTIFIANT	Longueur (octets)	Type	Mnémonique	Description
36:10	22 RW	PMSC_RES2	Zone réservée PMSC 2	

Fichier de registre : 0x36 - Gestion de l'alimentation et contrôle du système, le sous-registre 0x10 est un registre réservé. Veillez à ne pas écrire dans ce registre car cela pourrait entraîner un dysfonctionnement du DW1000.

#### 7.2.50.6 Sous-registre 0x36:26 – PMSC\_TXFSEQ

IDENTIFIANT	Longueur (octets)	Taper	Mnémonique	Description
36:26	2 RW		PMSC_TXFSEQ	Contrôle de séquençage TX à grain fin PMSC

Fichier de registre : 0x36 - Gestion de l'alimentation et contrôle du système, le sous-registre 0x26 est utilisé pour contrôler la fonction de séquençement de puissance à grain fin TX. Le registre PMSC\_TXFSEQ contient les sous-champs suivants :

REG: 36: 26 - PMSC_TXFSEQ - Registre de contrôle de séquençage TX à grain fin PMSC 15 14 13																															
12 11 10 9 8 7 6 5 4 3 2 1 0																TXFINESEQ															
0 0 0 0 1 0 1 1 0 0 1 1 1 1 0 0																															

Les champs du registre PMSC\_TXFSEQ identifiés ci-dessus sont décrits ci-dessous :

Champ	Description des champs dans le sous-registre 0x36:26 - PMSC_TXFSEQ L'écriture
TXFINESEQ reg:36:26 bits:15-0	de 0 dans ce champ désactivera le séquençage de puissance à grain fin TX, requis pour certains modes de test et d'étalonnage (transmission en onde continue). Pour activer le séquencement de puissance à grain fin, la valeur par défaut de 0x0B74 doit être réécrite dans ce registre.  Notez que le séquençage de puissance à grain fin TX doit être désactivé si un amplificateur de puissance externe est utilisé avec le DW1000.

#### 7.2.50.7 Sous-registre 0x36:28 – PMSC\_LED

Identifiant	Longueur (octets)	Type	Mnémonique	Description
36:28	4	RW	PMSC_LED	Registre de contrôle des voyants PMSC

Fichier de registre : 0x36 - Gestion de l'alimentation et contrôle du système, le sous-registre 0x28 est un registre de contrôle de LED 32 bits. Le registre PMSC\_LED contient les sous-champs suivants :

REG: 36: 28 - PMSC_LED - Registre de contrôle des LED PMSC																																
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
...				-	..	-	-	..			-	BLNKNOW -				...			-	-	-	ION	BLINK_TIM									
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0									

Les champs du registre PMSC\_LED identifiés ci-dessus sont décrits individuellement ci-dessous :

Champ	Description des champs dans le sous-registre 0x36:28 - PMSC_LED
-	Les bits marqués '-' sont réservés et doivent être conservés à leur valeur de réinitialisation.
BLINK_TIM reg:36:28 bits:7-0	Valeur de comptage du temps de clignotement. Ce champ détermine combien de temps les voyants restent allumés après un événement qui les a activés. Ce temps est spécifié en unités de 14 ms, donc la valeur par défaut de 0x20 donnera un clignotement allumé de 400 ms suivi d'un clignotement éteint de 400 ms. Le bit BLNKEN (ci-dessous) doit être défini pour activer cette fonctionnalité de clignotement.
NOIR reg:36:28 bits:8	Clignotement activé. Lorsque ce bit est défini sur 1, la fonction de clignotement de la LED est activée. Étant donné que le compteur de clignotements de LED utilise la minuterie basse fréquence KHZCLK, cette minuterie doit être activée conformément au <a href="#">sous-registre 0x36:00 - PMSC_CTRL0</a> et configurée conformément au <a href="#">sous-registre 0x36:04 - PMSC_CTRL1</a>
BLNKNOW reg:36:28 bits:19:16	Déclenche manuellement un clignotement de LED. Il y a un bit de déclenchement par LED IO.

### 7.2.51 Fichiers de registre : 0x37 à 0x3F – Réservé

Identifiant	Longueur (octets)	Type Mnémonique		Description
0x37 pour 0x3F	-	-	-	Réservé – ces fichiers de registre sont réservés

Les fichiers de [registre de carte de registre](#) 0x36 à 0x3F sont réservés pour une utilisation future. Veillez à ne pas écrire dans ces registres car cela pourrait entraîner un dysfonctionnement du DW1000.

## 8 Étalonnage DW1000

Les caractéristiques de fonctionnement et les performances du DW1000 dépendent du CI lui-même, de ses circuits externes et de son environnement de fonctionnement. Pour donner des performances optimales, il est nécessaire de calibrer le CI pour tenir compte des facteurs qui affectent son fonctionnement.

Certains paramètres d'étalement dépendent uniquement des variations naturelles qui se produisent dans le silicium du CI lors de sa fabrication. Ceux-ci sont généralement mesurés lors du test de production de circuits intégrés et les paramètres d'étalement requis sont écrits dans la mémoire OTP du DW1000. Le logiciel du système hôte peut ensuite utiliser ces valeurs lors de la configuration du DW1000 pour optimiser les performances du DW1000.

Certains paramètres d'étalement dépendent d'éléments de circuit externes au CI. Ceux-ci ne peuvent être déterminés que lors de la fabrication du module de produit dans lequel le DW1000 est soudé. Ces paramètres sont généralement mesurés pendant le test de production du module et les paramètres d'étalement requis sont stockés quelque part dans le module. Une zone de la mémoire OTP du DW1000 a été définie pour les paramètres d'étalement du test du module. Le logiciel du système hôte utilisera ces données d'étalement lors de la configuration du DW1000 pour optimiser les performances du DW1000.

Certains paramètres d'étalement peuvent varier en fonction de l'environnement opérationnel du DW1000. Par exemple, certains paramètres peuvent devoir être modifiés s'il y a de grandes variations de la température ambiante (par exemple, passer d'une zone chaude à une chambre froide) ou s'il y a des changements importants dans la tension d'alimentation de la batterie.

Dans de telles circonstances, afin d'optimiser les performances du DW1000, le logiciel du système hôte peut surveiller la tension et la température à l'aide du DW1000 et ajuster la configuration en conséquence.

Les éléments du DW1000 qui peuvent être soumis à un étalement sont :

- Réglage du cristal - le DW1000 contient des condensateurs de réglage qui peuvent affiner le fonctionnement fréquence de son oscillateur à cristal
- Puissance de sortie et spectre de l'émetteur - le spectre de sortie du DW1000 est réglable pour répondre réglementations spectrales régionales et maximiser la puissance de sortie pour atteindre le plus grand fonctionnement gamme.
- Retard d'antenne – le retard d'antenne du DW1000 peut être réglé avec précision pour donner la meilleure portée ou précision de localisation.

Les sous-sections ci-dessous détaillent l'étalement de ces paramètres du DW1000.

### 8.1 Étalonnage IC - Ajustement de l'oscillateur à cristal

Le DW1000 est spécifié pour fonctionner avec des décalages d'horloge entre les nœuds de transmission et de réception allant jusqu'à  $\pm 20$  ppm. La sensibilité du récepteur du DW1000 peut être améliorée en réduisant le décalage relatif des horloges entre les nœuds de transmission et de réception. Une façon de réduire le décalage consiste à utiliser des oscillateurs à cristal compensés en température (TCXO) dans les nœuds de transmission et de réception ou juste d'un côté de la liaison. L'utilisation de TCXO augmente le coût du système et la consommation de courant, de sorte qu'ils ne sont généralement utilisés que dans des scénarios d'ancrage fixe.

Lorsque des cristaux sont utilisés comme référence d'horloge, le DW1000 offre la possibilité de régler la fréquence de l'oscillateur en commutant des batteries de condensateurs internes en parallèle avec les condensateurs de charge externes associés au

cristal choisi. Cet ajustement peut être utilisé pour réduire l'erreur de fréquence initiale du cristal et pour compenser la dérive de température et de vieillissement, si nécessaire.

La quantité de découpage est programmable via [le sous-registre 0x2B: 0E - FS\\_XTALT](#).

### 8.1.1 Méthode d'étalonnage

La fréquence d'oscillation du cristal de 38,4 MHz ne peut pas être observée directement car il n'est pas possible de sonder les broches d'entrée XTAL1 et XTAL2 sans perturber l'oscillation. La méthode utilisée consiste à déduire la fréquence d'oscillation du cristal en observant la sortie de l'émetteur à l'aide d'un analyseur de spectre ou d'un compteur de fréquence.

Le DW1000 est configuré pour transmettre un signal d'onde continue (CW) à une fréquence de canal particulière. Il est suggéré d'utiliser le canal 5 car plus la fréquence est élevée, plus il est facile d'observer les changements progressifs dans la sortie. Tout en mesurant avec précision la fréquence centrale de la transmission, la valeur de compensation est ajustée jusqu'à ce que la fréquence de sortie soit aussi proche que possible de la fréquence souhaitée (par exemple 6489,6 MHz pour le canal 5).

Afin de permettre aux circuits d'ajustage internes une plage de programmation aussi large que possible, les condensateurs de charge externes doivent être choisis pendant la phase de conception de la carte de sorte qu'en moyenne (testé sur un certain nombre de cartes), le réglage du registre d'ajustage du cristal soit proche de milieu de gamme qui est une valeur décimale 5 bits de 15 ou 0xF.

Configuration des tests :

Réinitialisez l'appareil afin qu'il soit dans un état connu avant de lancer la procédure de test.

Configurez l'émetteur comme décrit dans les étapes suivantes, puis surveillez la sortie RF sur un analyseur de spectre ou un fréquencemètre.

Procédure de configuration de l'émetteur :

1. Sous-registre 0x28:00 – RF\_CONF 2.

Ecrire 0x00000000 dans le [sous-registre 0x36:04 – PMSC\\_CTRL1](#)

3. Ecrire la valeur correcte pour le canal sélectionné dans le [sous-registre 0x28:0C – RF\\_TXCTRL](#), voir tableau 37, par exemple 0x1E3FE0 pour canal 5.

4. Écrivez une valeur appropriée dans [le fichier de registre : 0x1E – Transmit Power Control](#), comme celle du canal sélectionné, voir [Tableau 20 : Valeurs de référence Register file : 0x1E – Transmit Power Control](#).

5. Écrivez la valeur du canal sélectionné dans le [sous-registre 0x2B:07 – FS\\_PLLCFG](#), par exemple 0x0800041D pour canal 5, voir [Tableau 43 : Sous-registre 0x2B:07 – Valeurs FS\\_PLLCFG](#).

6. Écrivez la valeur correcte pour le canal sélectionné dans le [sous-registre 0x2B:0B – FS\\_PLLTUNE](#), par exemple 0xBE pour canal 5. Voir tableau 44

7. Écrivez 0x22 dans PMSC\_CTRL0 pour activer les horloges appropriées, voir [le sous-registre 0x36:00 – PMSC\\_CTRL0](#).

8. Écrivez 0x00000000 dans le registre réservé [Sous-registre 0x36:26 – PMSC\\_TXFSEQ](#).

9. [Sous-registre 0x28:00 – RF\\_CONF](#)

Activer le mode CW :

Ensemble

[Sous-registre 0x2A: 0C - TC\\_PGTTEST à 0x13 pour activer le mode de test d'onde continue \(CW\).](#)

Définissez le registre de trim sur le réglage moyen, par exemple 0x0F, tout en conservant les valeurs réservées requises dans les bits les plus significatifs du registre, voir les notes de champ réservées pour le [sous-registre 0x2B:0E - FS\\_XTALT](#) :

Définissez le [sous-registre 0x2B:0E – FS\\_XTALT](#) sur 0x6F.

Tout en surveillant la fréquence CW, ajustez le registre de compensation (5 bits) jusqu'à ce que la fréquence souhaitée soit obtenue.

La figure 30 montre que l'ajustement est généralement linéaire et que la valeur finale est généralement atteinte avec seulement un ou deux ajustements.

La valeur de compensation du cristal doit ensuite être stockée dans la mémoire OTP, voir la section [6.3.2 – Programmation d'une valeur dans la mémoire OTP](#) pour plus de détails sur la façon de programmer la mémoire OTP et les emplacements de mémoire recommandés.

Dans les applications DW1000 utilisant la compensation de cristal, la valeur de compensation de cristal calibrée doit être lue par l'application à partir de la mémoire OTP dans le cadre de la configuration et programmée dans le [sous-registre 0x2B: 0E - FS\\_XTALT](#).

Ce registre est conservé dans la mémoire AON tant que le CI est alimenté. Cela facilite l'utilisation de la valeur de compensation lorsque le CI se réveille des modes SLEEP ou DEEPSLEEP .

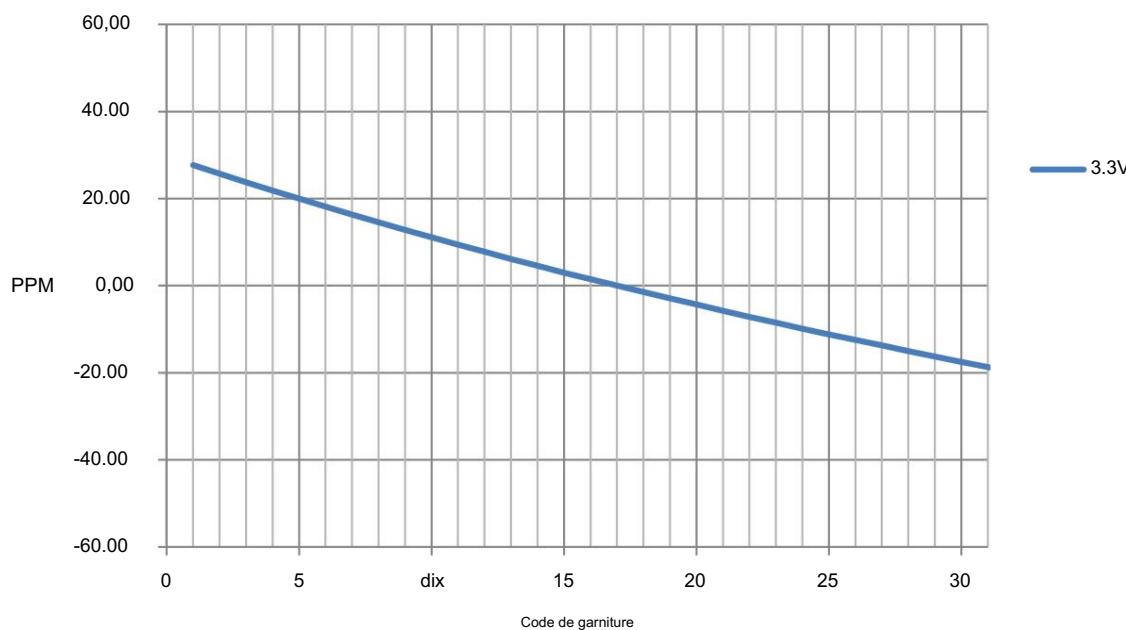


Figure 29 : PPM par rapport au paramètre Crystal Trim, VBATT = 3,3 V

## 8.2 Étalonnage IC – Puissance d'émission et spectre

Afin de maximiser la portée, la densité spectrale de puissance de transmission (PSD) du DW1000 doit être réglée sur le maximum autorisé pour la région géographique de déploiement. Pour la plupart des régions, il s'agit de -41,3 dBm / MHz. Le DW1000 est conçu de telle sorte que si la puissance d'émission se situe dans les limites de densité spectrale de puissance moyenne, il

être automatiquement dans les limites de puissance de crête, bien que cela doive être vérifié lors de la conception du produit vérification.

Comme il s'agit d'un circuit analogique, il y aura une certaine variation des niveaux de puissance de sortie d'IC à IC et, par conséquent, le DW1000 doit être calibré et le réglage de puissance calibré stocké dans la mémoire OTP. DW1000 offre la possibilité d'ajuster la puissance d'émission par étapes grossières et fines ; 2,5 dB et 0,5 dB nominalement. Il offre également la possibilité d'ajuster la bande passante spectrale. Ces ajustements peuvent être utilisés pour maximiser la puissance d'émission tout en respectant les limites réglementaires du masque spectral.

### 8.2.1 Méthode d'étalonnage

Cet étalonnage peut être effectué à l'aide d'une procédure de mesure rayonnée ou conduite. La méthode d'étalonnage est légèrement différente selon que le contrôle manuel de la puissance de transmission (voir [7.2.31.3 – Contrôle manuel de la puissance de transmission](#)) ou le contrôle intelligent de la puissance de transmission (voir [7.2.31.2 – Contrôle intelligent de la puissance de transmission](#)) est configuré.

#### 8.2.1.1 Étalonnage – Contrôle manuel de la puissance d'émission

Configuration des tests :

Réinitialisez l'appareil afin qu'il soit dans un état connu avant de lancer la procédure de test.

Configurez l'émetteur comme décrit dans les étapes suivantes (Tableau 54) et surveillez la sortie RF sur un analyseur de spectre.

Tableau 54 : Accès au registre requis pour la procédure de configuration du transmetteur

Marcher Nombre	Instruction	Enregistrer Adresse	Données Longueur (octets) 1	Données (Écrire lire)
C-1	Écrire le sous-registre 0x36:00 (PMSC_CTRL0)		0x1 (définir le bit)	
C-2	Écrire le sous-registre 0x36:04 (PMSC_CTRL1)	2	SYSCLKS) 0x0 (effacer les bits	*
C-3	Écrire le sous-registre 0x28:0C (RF_TXCTRL)	3	PKTSEQ) par	*
C-4	Écrire le sous-registre 0x1E:00 (TX_POWER)	4	exemple 0x45CA0 par	*
C-5	Écrire le sous-registre 0x2B:07 (FS_PLLCFG)	4	exemple 0x75757575 par	*
C-6	Écrire le sous-registre 0x2B:0B (FS_PLLTUNE)	1	exemple	*
C-7	Écrire le sous-registre 0x2A:0B (TC_PGDELAY)	1	0x08400508	
C-8	Écrire le sous-registre 0x28:00 (RF_CONF)	4	par exemple 0x26 par exemple 0xC2 0x1FE000	
C-9	Écrire le sous-registre 0x28:00 (RF_CONF)	4	0xFFFF00	
C-10	Écrire le sous-registre 0x36:00 (PMSC_CTRL0)	1	0x22	
C-11	Écrire le sous-registre 0x04:00 (SYS_CFG)	4	définir le bit	
C-12	Écrire le sous-registre 0x1F:00 (CHAN_CTRL)	4	DIS_STXP 0x18C40022	
C-13	Écrire le sous-registre 0x09:00 (TX_BUFFER)	16	données de test *	*
C-14	Écrire le sous-registre 0x08:00 (TX_FCTRL)	4	0x25A010	*
C-15	Écrire le sous-registre 0x0A:00 (DX_TIME)	5	0x04	
C-16	Écrire le sous-registre 0x2F:24 (DIAG_TMC)	2	définir le bit TX_PSTM	

1. Écrivez la valeur correcte pour le canal sélectionné dans le [sous-registre 0x28:0C – RF\\_TXCTRL](#), par exemple 0x045CA0 pour le canal 2.
2. Écrivez une valeur appropriée pour TX\_POWER dans le [fichier de registre : 0x1E – Transmit Power Control](#), par exemple pour canal 2 à 16 MHz PRF, écrivez 0x75757575. Voir Tableau 20.
3. Écrivez la valeur du canal sélectionné dans le [sous-registre 0x2B:07 – FS\\_PLLCFG](#), par exemple 0x08400508 pour canal 2, voir [Tableau 43 : Sous-registre 0x2B:07 – Valeurs FS\\_PLLCFG](#).
4. Écrivez la valeur correcte pour le canal sélectionné dans le [sous-registre 0x2B:0B – FS\\_PLLTUNE](#), par exemple 0x26 pour canal 2.
5. Écrivez la valeur correcte pour le canal sélectionné dans TC\_PGDELAY, voir sous-registre 0x2A:0B – TC\_PGDELAY, par exemple 0xC2 pour le canal 2.
6. Écrivez 0x05FFF00 dans le [sous-registre 0x28:00 – RF\\_CONF](#) 7. Écrivez les valeurs appropriées dans le [fichier de registre : 0x1F – Contrôle de canal](#), par exemple pour le canal 2, PRF 16 MHz et code de préambule 3, écrivez 0x18C40022.
8. Écrivez les données de transmission dans le tampon de transmission, voir [Fichier de registre : 0x09 – Tampon de données de transmission](#), par ex. 0x00000000000000000000000000000000C2DEC1DE.
9. Écrivez les valeurs appropriées dans le [fichier de registre : 0x08 – Transmit Frame Control](#), par exemple pour une longueur de trame de 16 octets, un débit de données de 850 kbps, une PRF de 16 MHz et un préambule de 256 symboles, écrivez 0x25A010.

L'analyseur de spectre doit être configuré comme suit :

- Bande passante de résolution = 1 MHz
- Bande passante vidéo = 1 MHz
- Portée = 2 GHz •
- Temps de balayage = 2 secondes
- Détecteur = rms
- Temps moyen par point (sur balayage de l'analyseur de spectre) ≤ 1 ms

Afin de visualiser facilement le spectre de transmission, l'appareil est configuré en mode de test du spectre de puissance de transmission en définissant le champ TX\_PSTM du [sous-registre 0x2F: 24 - Contrôle du mode de test des diagnostics numériques](#). Une valeur appropriée pour l'intervalle de trame de répétition doit être définie dans le registre DX\_TIME, la valeur minimale est 4. Pour un intervalle de répétition de 1 ms, une valeur de 0x0001E780 peut être écrite dans DX\_TIME, voir [Sous-registre 0x2F:24 - Test de diagnostic numérique Description du champ Mode Control TX\\_PSTM](#) pour plus de détails. Pour les tests de contrôle manuel de la puissance de transmission, ce paramètre doit être configuré pour envoyer des trames en continu. Une valeur égale à la durée de la trame doit donc être définie dans DX\_TIME.

Une fois la configuration de test terminée, le transmetteur peut être lancé en définissant le champ TXSTRRT dans le registre SYS\_CTRL, voir [Fichier de registre : 0x0D – Registre de contrôle du système](#).

TX\_POWER doit être défini pour le canal sélectionné comme point de départ, voir [le fichier de registre : 0x1E - Transmit Power Control](#). Le paramètre TX\_POWER doit alors être ajusté jusqu'à ce que le niveau de transmission soit juste en dessous de la limite de densité spectrale requise (généralement -41,3 dBm/MHz). Cette valeur de registre doit ensuite être stockée dans la mémoire OTP, voir section [6.3.2 – Programmation d'une valeur dans la mémoire OTP](#) pour plus de détails sur la programmation de la mémoire OTP et les emplacements de mémoire recommandés.

Dans les applications DW1000 utilisant l'étalonnage de la puissance de transmission, la valeur TX\_POWER calibrée doit être lue par l'application à partir de la mémoire OTP dans le cadre de la configuration et programmée dans le [fichier de registre : 0x1E - Transmission](#)

**Contrôle de puissance.** Ce registre est conservé dans la mémoire AON tant que le CI est alimenté. Cela facilite l'utilisation de cette valeur lorsque le CI se réveille des modes SLEEP ou DEEPSLEEP .

#### 8.2.1.2 Étalonnage – Contrôle de puissance Smart TX

Avec Smart TX Power Control activé, le calibrage est similaire à la méthode utilisée pour Manual TX Power

Contrôle sauf que nous ne transmettons pas de trames répétées dos à dos. Pour cet étalonnage, nous configurons l'émetteur pour transmettre 1 image par milliseconde. Pour ce faire, configurez le mode de test du spectre de puissance d'émission, voir la description du champ TX\_PSTM du [sous-registre 0x2F:24 - Contrôle du mode de test des diagnostics numériques](#). L' intervalle de trame de répétition doit être défini dans le registre DX\_TIME, pour un intervalle de répétition de 1 ms, une valeur de 0x0001E780 doit être écrite dans DX\_TIME, comme décrit dans la description du champ TX\_PSTM.

En fonction de la longueur des trames à utiliser, voir [7.2.31.2 – Smart Transmit Power Control](#), le paramètre TX\_POWER doit être ajusté jusqu'à ce que le niveau de transmission soit juste en dessous de la limite de densité spectrale requise (généralement -41,3 dBm/MHz). Cette valeur de registre doit ensuite être stockée dans la mémoire OTP, voir section [6.3.2 – Programmation d'une valeur dans la mémoire OTP](#) pour plus de détails sur la programmation de la mémoire OTP et les emplacements de mémoire recommandés.

Dans les applications DW1000 utilisant l'étalonnage de la puissance d'émission, la valeur TX\_POWER calibrée doit être lue par l'application à partir de la mémoire OTP dans le cadre de la configuration et programmée dans le [fichier de registre : 0x1E - Contrôle de la puissance d'émission](#). Ce registre est conservé dans la mémoire AON tant que le CI est alimenté. Cela facilite l'utilisation de cette valeur lorsque le CI se réveille des modes SLEEP ou DEEPSLEEP .

#### 8.2.2 Autres ajustements TX à prendre en compte

Les paramètres analogiques/RF recommandés pour l'émetteur DW1000 n'auront pas besoin d'ajustement pour la plupart des conceptions/applications, cependant les registres suivants peuvent être ajustés pour régler la bande passante du spectre de transmission ou la planéité de la bande passante :

- Champ TXMTUNE du [sous-registre 0x28:0C– RF\\_TXCTRL](#), utilisé pour régler le mélangeur de transmission.
- Champ TXMQ du [sous-registre 0x28:0C– RF\\_TXCTRL](#), utilisé pour régler le facteur Q du mélangeur de transmission.
- [Sous-registre 0x2A:0B - TC\\_PGDELAY](#), utilisé pour régler la largeur des impulsions et donc le spectre bande passante.

Pour régler l'une de ces valeurs, commencez par la valeur par défaut (comme indiqué dans les descriptions de registre [Sub-Register 0x28: 0C - RF\\_TXCTRL](#) et [Sub-Register 0x2A: 0B - TC\\_PGDELAY](#)), et ajustez la valeur de manière itérative en observant l'effet sur un analyseur de spectre jusqu'à ce que la PSD occupe autant que possible le masque spectral applicable.

### 8.3 Étalonnage IC – Retard d'antenne

Afin de mesurer la distance avec précision, un calcul précis des horodatages est nécessaire. Pour ce faire, il faut connaître un retard appelé retard d'antenne. Le DW1000 permet d'étailler ce retard et offre la possibilité de compenser les retards introduits par les PCB, les composants externes, l'antenne et les retards internes du DW1000.

Pour calibrer le retard d'antenne, la portée est mesurée à une distance connue à l'aide de 2 systèmes DW1000. Le retard d'antenne est ajusté jusqu'à ce que la distance connue et la portée signalée concordent. Le retard d'antenne peut être stocké dans la mémoire OTP.

Il existe un délai d'antenne de l'émetteur et un délai d'antenne du récepteur. Le délai d'antenne de l'émetteur est utilisé pour tenir compte du délai entre l'horodatage numérique interne du RMARKER (au début du PHR, voir 3.2) à l'intérieur du DW1000 et le moment où le RMARKER est transmis depuis l'antenne. Le Receiver Antenna Delay est utilisé pour tenir compte du délai entre l'heure d'arrivée du RMARKER à l'antenne et l'horodatage numérique interne du RMARKER (au début du PHR, voir 4.1.6 - Horodatage du message RX) à l'intérieur du DW1000.

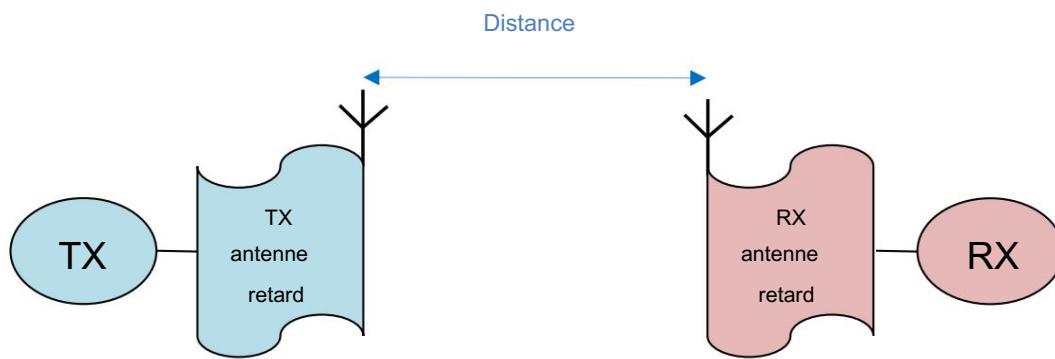


Figure 30 : Retard d'antenne d'émission et de réception

### 8.3.1 Méthode d'étalonnage

Pour obtenir la plus grande précision lors de l'étalonnage, il est recommandé d'étalonner le retard d'antenne avec la puissance d'entrée du récepteur aux niveaux suivants :

Tableau 55 : Niveau de puissance RX recommandé pour l'étalonnage de l'antenne

Puissance au récepteur entrée (dBm/MHz)	FRP (MHz)	Canaliser
-108	16	1, 2, 3, 5
-104	64	1, 2, 3, 5
-104	16	4, 7
-104	64	4, 7

Si l'émetteur est réglé sur -41,3 dBm/MHz et que des antennes de 0 dBi sont utilisées, les puissances d'entrée du récepteur ci-dessus correspondent aux séparations suivantes entre l'antenne d'émission et de réception :

Tableau 56 : Séparation TX-RX recommandée pour l'étalonnage de l'antenne

Canal PRF (MHz)	Séparation d'étalonnage (m)
1	16
1	64
2	16
2	64
3	16
3	64

Canal PRF (MHz)		Séparation d'étalonnage (m)
4	16/64	8.68
5	16	7,94
5	64	5.01
7	16/64	5.34

Le retard combiné de l'antenne de l'émetteur et du récepteur est calibré en choisissant une distance (ou une puissance de réception) pour le calibrage et en modifiant le retard de l'antenne du récepteur jusqu'à ce que la lecture de distance donnée par l'appareil soit correct.

Une méthode pour calibrer le retard combiné de l'antenne du récepteur et de l'émetteur est la suivante :

1. Placez l'émetteur et le récepteur à la distance recommandée selon le tableau 56 ou à une  
une distance plus courte mais en veillant à ce que le niveau de puissance du récepteur soit conforme au Tableau 55
2. En utilisant un schéma de télémétrie à deux voies (par exemple "DecaRanging" disponible chez Decawave), effectuez 1000  
gammes.
3. Ajustez le délai d'antenne jusqu'à ce que la portée moyenne mesurée corresponde à la distance choisie à l'étape 1 comme  
étroitement que possible.

Enregistrez la valeur de retard d'antenne. Cette valeur est ensuite divisée par 2 et la nouvelle valeur est stockée dans la mémoire OTP dans les emplacements pour le délai d'antenne TX et le délai d'antenne RX (voir section [6.3.2 - Programmation d'une valeur dans la mémoire OTP](#) pour plus de détails sur la programmation de la mémoire OTP et emplacements de mémoire recommandés).

Remarque : Dans de nombreux systèmes, où tous les appareils ont les mêmes retards d'antenne d'émetteur et de récepteur, il n'est pas nécessaire d'étalonner le retard d'antenne d'émetteur. Le retard de l'antenne de l'émetteur peut être réglé sur zéro et une valeur combinée de retard du récepteur et de l'émetteur peut être utilisée pour le retard de l'antenne du récepteur sans altérer les performances de télémétrie du système.

L'algorithme de télémétrie DW1000 calculera l'heure de réception d'un paquet afin d'estimer la portée jusqu'à l'émetteur. Le retard de l'antenne du récepteur est une valeur constante représentant le temps de propagation du signal reçu de l'antenne au point de calcul de l'horodatage du récepteur.

Cette valeur de retard d'antenne peut ensuite être soustraite de l'horodatage de réception afin de calculer le temps de vol.

Pour une meilleure précision de télémétrie, le logiciel de télémétrie peut ajuster le retard de l'antenne pour compenser les changements de température. Typiquement, la plage signalée variera de 2,15 mm / °C et de 5,35 cm / VBATT.

## 9 Choix de conception opérationnelle lors de l'utilisation du DW1000

Ce chapitre traite de certaines des considérations opérationnelles liées à l'utilisation du DW1000 dans les applications générales d'émetteur-récepteur RF, avec un accent supplémentaire sur son utilisation dans les systèmes de localisation en temps réel (RTLS).

### 9.1 Plage de fonctionnement

La plage de fonctionnement du DW1000 dépend du débit de données de trame et de la longueur du préambule. Dans l'espace libre, en visibilité directe (LOS), cela peut varier de 60 m au débit de données de 6,8 Mbps jusqu'à 250 m au débit de données de 110 kbps. Dans un environnement intérieur typique, la plage LOS est généralement plus grande que le chiffre LOS en espace libre cité, car les réflexions par trajets multiples donnent un signal de réception utilisable supplémentaire, par exemple, la plage à 850 kbps pourrait être 40% plus longue (et plus) que celle citée pour l'espace libre LOS. Dans des conditions non-LOS (NLOS), où il y a des obstructions dans le chemin LOS, la portée sera réduite en raison de l'atténuation du signal de réception. La plage de fonctionnement varie également en fonction de la fréquence centrale du canal et de la bande passante du canal sélectionnés - une fréquence centrale inférieure obtient plus de portée qu'une fréquence supérieure, tandis que les canaux à bande passante plus large canal 4 et canal 7 ont plus de portée que les canaux à bande passante standard de 500 MHz comme le un canal plus large permet d'envoyer plus d'énergie à une limite réglementaire dBm / MHz donnée.

### 9.2 Sélection du canal et de la bande passante

Le choix de la fréquence centrale du canal est souvent dicté par les réglementations régionales, par exemple les États-Unis et l'Europe ont des règles différentes, mais avec un certain chevauchement, de sorte que le choix du canal dans un produit peut dépendre du marché cible de ce produit. Le choix de la largeur de bande peut également dépendre du fait que le spectre résultant respecte ou non les réglementations régionales. La norme IEEE 802.15.4 UWB PHY définit un certain nombre de canaux, de 0 à 10 GHz, certains avec la même fréquence centrale et des largeurs de bande différentes (par exemple, le canal 2 et le canal 4 ont tous deux une fréquence centrale de 3993,6 MHz, mais des largeurs de bande de 499,2 et 1331,2 MHz respectivement). Le Tableau 61 de la section [10.5 – Canaux UWB et codes de préambule](#) répertorie les canaux pris en charge par le DW1000.

Le fonctionnement à une bande passante plus large augmente la portée mais augmente également la consommation d'énergie. Le DW1000 a un contrôle précis de la largeur d'impulsion TX permettant un contrôle optimal de la bande passante du spectre transmis.

### 9.3 Choix du débit de données, de la longueur du préambule et de la PRF

Pour une fréquence centrale de fonctionnement et une bande passante données, le choix du débit de données détermine généralement la plage de fonctionnement. Cependant, la longueur de la séquence de préambule a également une incidence sur la portée.

Le préambule est une séquence répétée d'impulsions suivant un modèle défini dans la norme IEEE 802.15.4.

Voir la section [10.3 – Schéma de modulation de l'en-tête de synchronisation](#) pour plus de détails. Sur chaque canal numéroté, la norme 802.15.4 définit deux codes de préambule pour la PRF nominale de 16 MHz (fréquence de répétition des impulsions) et quatre codes de préambule pour la PRF nominale de 64 MHz. Le tableau 61 de la section [10.5 – Canaux UWB et codes de préambule](#) répertorie les codes de préambule autorisés sur chaque canal, comme défini dans la norme IEEE 802.15.4. Ces codes sont semi-orthogonaux. Cela peut permettre aux appareils sur le même canal physique mais utilisant des codes de préambule différents et correctement choisis de fonctionner simultanément dans certaines circonstances comme s'ils étaient sur des canaux séparés. Il convient d'être prudent dans le choix des codes de préambule et le lecteur est renvoyé à la note d'application Decawave APH010 à ce sujet. La propriété d'autocorrélation périodique parfaite des séquences de préambule permet au récepteur d'accumuler le préambule répété et de déterminer un modèle précis du

réponse impulsionnelle du canal entre l'émetteur distant et lui-même. C'est ce qui donne au DW1000 ses bonnes performances à longue portée et lui permet de déterminer avec précision l'heure d'arrivée du premier chemin pour l'horodatage RX.

La séquence de préambule utilisée à tous les débits est la même, c'est-à-dire qu'elle ne dépend pas du débit choisi.

La longueur de la séquence de préambule (c'est-à-dire le nombre d'intervalles de symboles pendant lesquels elle est répétée) a un effet significatif sur la plage de fonctionnement et la précision des horodatages. Le Tableau 57 donne quelques longueurs de séquence de préambule recommandées à utiliser en fonction du débit de données. En général, un préambule plus long donne des performances de portée améliorées et de meilleures informations sur l'heure d'arrivée du premier trajet, tandis qu'un préambule plus court donne un temps d'antenne plus court et économise de l'énergie. Lors de l'utilisation d'un faible débit de données pour une longue portée, un long préambule est nécessaire pour atteindre cette portée. À un débit de données élevé, la plage de fonctionnement est naturellement courte, il est donc inutile d'envoyer un très long préambule car cela fait perdre du temps et de l'énergie sans avantage de plage supplémentaire.

Tableau 57 : Longueurs de préambule recommandées

Débit de données	Longueur de séquence de préambule recommandée
6,8 Mbit/s	64 ou 128 ou 256
850 kbit/s	256 ou 512 ou 1024
110kbps	2048 ou 4096

Il existe deux choix de fréquence moyenne de répétition des impulsions (PRF) dans le DW1000. Ce sont des PRF de 16 MHz ou des PRF de 64 MHz. Les 16 et 64 sont "nominaux" car les fréquences réelles sont liées à l'unité de temps de base 499,2 MHz utilisée et diffèrent légèrement entre les parties préambule et charge utile de la trame. Le PRF plus élevé donne plus de précision sur l'horodatage du premier chemin et peut-être une plage de fonctionnement légèrement améliorée, mais cela se fait au prix d'une consommation d'énergie supplémentaire.

## 9.4 Consommation électrique

Comme décrit ci-dessus, les trames avec un débit de données inférieur ont la plus grande plage de fonctionnement. De par leur nature, ces messages prennent également plus de temps à envoyer et, comme cela signifie que l'émetteur du DW1000 doit être allumé pendant une période plus longue, le résultat est que plus d'énergie est consommée que pour des messages plus rapides. La quantité de données transférées a également une incidence sur cela, c'est-à-dire que des débits de données plus élevés offrent plus d'avantages lorsque les tailles de données de trame sont plus grandes.

## 9.5 Densité des nœuds et utilisation de l'air

Le mécanisme ALOHA est la méthode d'accès au canal privilégiée dans la norme IEEE 802.15.4 UWB PHY et il s'agit de la méthode d'accès au canal utilisée par le DW1000. Cela implique essentiellement de supposer que l'air est inactif et de transmettre quand vous le souhaitez. Pour qu'ALOHA fonctionne avec succès, l'utilisation totale de l'air doit être inférieure à 18 % sur tous les nœuds à portée les uns des autres. Avec une utilisation de l'air supérieure à 18 %, la probabilité de collision est élevée et les performances du système se dégradent rapidement. En dessous de la valeur de 18 %, 97 % des transmissions sont susceptibles de réussir sans collisions.

Cette utilisation de l'air de 18 % entre en jeu lors du déploiement d'une population de balises RTLS clignotant périodiquement. Le tableau 58 donne quelques indications sur les taux de transmission de clignotement correspondant à certaines combinaisons typiques de débit de données/longueur de préambule et avec une trame de clignotement minimale de 12 octets envoyant l'identifiant d'étiquette. Le nombre de transmissions pouvant être effectuées dans les 18 % d'utilisation de l'air est le plus élevé pour la trame de durée la plus courte (préambule de 64 symboles et débit de données de 6,8 Mbps) et le plus bas au débit de données longue portée de 110 kbps avec son long préambule.

Tableau 58 : Transmissions par seconde avec ALOHA

Débit de données	longueur du préambule	charge utile	Transmission Temps	TX par seconde à 18 % d'utilisation de l'air
110 kbit/s	2048 symboles 256	12 octets 12	3,042 millisecondes	59.2
850 kbit/s 6,8	symboles 64	octets 12	380,3 µs	473.4
Mbit/s	symboles	octets	103,3 µs	1742

Remarque : Ces chiffres concernent un clignotement de balise RTLS sur une population de balises, par exemple, à 6,8 Mbps, 1742 balises peuvent clignoter une fois par seconde, ou 17 000 balises peuvent clignoter une fois toutes les 10 s.

Lors du déploiement d'un système RTLS avec des balises clignotantes, il y a un compromis entre le taux de clignotement (taux de mise à jour de l'emplacement) sur la population de balises et la plage de fonctionnement (et bien sûr la consommation d'énergie). Un système à longue portée avec des nœuds d'ancre peu espacés ne peut pas avoir une grande population de balises avec des emplacements fréquemment mis à jour (c'est-à-dire qu'il doit rester en dessous de 60 balises transmettant une fois par seconde, ou 600 balises transmettant une fois toutes les 10 secondes), également car le paquet est physiquement longs, les clignotements dans un système à si longue portée consomment plus de pouvoir.

Pour un taux de mise à jour élevé ou une forte densité d'étiquettes, le débit de données le plus élevé et la longueur de préambule la plus courte sont les meilleurs. Cela signifie que la portée est plus faible et que davantage de nœuds d'ancre d'infrastructure sont nécessaires, mais la durée plus courte des paquets clignotants signifie une consommation d'énergie inférieure pour les transmissions, donc pour la même fréquence de mise à jour, la durée de vie de la batterie sera plus longue.

Un plus grand pourcentage de temps d'antenne peut être utilisé dans les cas où un système comprend des mécanismes pour contrôler le moment où les nœuds transmettent. Par exemple TDMA où un nœud de coordination transmet une balise périodique définissant une "super-trame" qui est subdivisée en tranches, et des nœuds esclaves individuels se synchronisent avec la balise et transmettent uniquement dans leurs tranches attribuées. L'utilisation d'un accéléromètre et la réduction du taux de clignotement de l'étiquette lorsqu'elle ne bouge pas est une autre technique qui permettrait une plus grande population d'étiquettes.

## 9.6 Cycle de service réduit – temps d'antenne

Dans certaines zones géographiques, certains canaux UWB ne sont autorisés par la réglementation que lorsque les transmissions suivent ce que l'on appelle des règles à faible rapport cyclique (LDC). Ces règles LDC fixent des limites sur la durée maximale d'une période de transmission individuelle, un temps minimum entre les transmissions, un pourcentage d'activité TX autorisé en une seconde et un pourcentage d'activité autorisé en une heure.

Selon l'application, les règles LDC peuvent ou non être un problème. Lorsque les règles LDC empiètent sur le fonctionnement du système, il peut être possible d'utiliser une bande de fréquences différente là où les règles LDC ne s'appliquent pas. De plus, comme les règles LDC concernent le temps de transmission, l'utilisation de débits de données plus élevés et de courts préambules permet d'envoyer plus de messages dans les délais.

## 9.7 Schémas de localisation

Cette partie de la discussion sur les choix de conception opérationnelle concerne les schémas de localisation RTLS. Certaines des idées et des points discutés peuvent être plus généralement applicables.

En général, pour localiser un nœud mobile, des mesures doivent être référencées à un certain nombre de nœuds « d'ancrage » à emplacement fixe connu. Typiquement, un minimum de trois nœuds d'ancrage est nécessaire pour localiser un nœud mobile en deux dimensions, tandis qu'un minimum de quatre ancrées non coplanaires est nécessaire pour localiser un nœud mobile en trois dimensions. L'espacement des nœuds d'ancrage dans une installation doit être tel que quatre ancrées soient toujours à portée de communication de l'étiquette mobile, peu importe où elle se trouve dans l'espace d'exploitation. La portée de communication dépend du débit de données et de la longueur du préambule, dont le choix est influencé par les exigences de densité de nœuds et peut-être aussi la consommation d'énergie.

Il existe deux méthodes générales de localisation. Il s'agit de l'emplacement basé sur la différence de temps d'arrivée (TDOA) et de l'emplacement basé sur l'heure de vol (TOF), les principaux points opérationnels de chacun sont décrits ci-dessous. Dans les deux cas, le calcul de l'emplacement, combinant les mesures de plusieurs ancrées, est généralement effectué par une fonctionnalité logicielle appelée moteur de localisation central.

La localisation du temps de vol nécessite une communication bidirectionnelle entre le nœud mobile (balise) et chacun des nœuds d'ancrage à proximité. Des échanges de messages périodiques sont utilisés pour mesurer le délai aller-retour et donc calculer le temps de vol aller simple entre la balise et l'ancre. Les temps TOF multipliés par la vitesse de la lumière (et des ondes radio) donnent la distance entre le tag et l'ancre. Chaque estimation de distance définit une surface sphérique, centrée sur l'ancre, sur laquelle l'étiquette doit reposer. L'emplacement 3D de la balise est obtenu par l'intersection des sphères résultant des mesures TOF avec les quatre ancrées.

Dans l'emplacement de la différence de temps d'arrivée (TDOA), l'étiquette mobile clignote périodiquement et le message de clignotement est reçu par les nœuds d'ancrage à proximité. Lorsque les nœuds d'ancrage ont des horloges synchronisées de sorte que l'heure d'arrivée du message de clignotement à tous les nœuds puisse être comparée, alors pour chaque paire d'ancrées, la différence de temps dans l'arrivée du message de clignotement définit une surface hyperbolique sur laquelle l'étiquette d'envoi doit se trouver. L'emplacement 3D du tag est obtenu par l'intersection des surfaces hyperboliques définies par le TDOA du clignotement à quatre paires d'ancrées.

Pour les déploiements RTLS à faible puissance, le schéma TDOA présente des avantages en ce sens que la balise n'a besoin d'envoyer qu'un seul message pour qu'elle soit localisée. En revanche, dans le schéma TOF, l'étiquette doit envoyer et recevoir plusieurs messages avec plusieurs ancrées, et elle doit savoir quelles ancrées se trouvent à proximité afin de pouvoir s'adresser correctement à chacune d'entre elles. Le TOF n'a pas besoin d'ancrées synchronisées et peut convenir au cas où un appareil portatif calcule sa propre position dans le cadre d'un système de navigation. Le TDOA est une solution à faible consommation d'énergie car il y a moins de messages impliqués, ce qui convient également aux déploiements à plus haute densité. La synchronisation d'horloge d'ancre TDOA peut être réalisée via une distribution d'horloge câblée. Alternativement, il existe des techniques sans fil pour la synchronisation d'horloge. La synchronisation filaire peut convenir à des densités d'étiquettes plus élevées car elle permet aux ancrées d'écouter tout le temps afin qu'aucun clignotement d'étiquette ne soit manqué ou n'entre en collision avec les messages de synchronisation de l'horloge sans fil (ce qui pourrait perturber la synchronisation). Les ancrées doivent être câblées pour l'alimentation et également avec Ethernet pour communiquer les heures d'arrivée au moteur de localisation central.

La télémétrie bidirectionnelle (TOF) est idéale pour la détection de proximité et les alarmes de séparation, en particulier lorsque les deux parties de l'échange sont des nœuds mobiles.

Dans un RTLS, la précision des horodatages RX du DW1000 peut donner une résolution inférieure à 10 cm. Notez cependant que la géométrie des ancre par rapport à l'étiquette peut altérer la précision de l'emplacement calculé lorsque des mesures individuelles sont combinées. Le fait d'avoir des ancre supplémentaires à portée de l'étiquette peut compenser cela si cela permet au système de sélectionner des ancre avec la meilleure géométrie et la meilleure qualité de signal de réception par rapport à l'étiquette localisée.

## 9.8 Considérations générales

Ce chapitre a discuté des choix de conception opérationnelle en ce qui concerne la sélection du débit de données, de la longueur du préambule et de la PRF, ainsi que des compromis impliqués dans la sélection d'une densité de nœuds élevée par rapport à une longue plage de fonctionnement. La discussion a également indiqué comment ces choix affectent la consommation d'énergie.

En général, la transmission peu fréquente de paquets courts est préférable pour une longue durée de vie de la batterie. Lorsqu'une grande quantité de données doit être envoyée, il est préférable d'utiliser la longueur de trame la plus longue afin que le temps système du préambule et d'autres parties de l'en-tête de trame représentent une plus petite proportion de la trame globale. Écouter et recevoir des messages est relativement l'opération la plus coûteuse en énergie dans le DW1000. Il est recommandé que les appareils devant écouter en permanence soient connectés à une source d'alimentation dérivée du secteur.

Cela comprendrait les nœuds d'ancrage dans un système RTLS et les nœuds d'un réseau de capteurs sans fil (WSN) qui sont des nœuds concentrateurs responsables du routage des messages.

Pour les nœuds alimentés par le secteur, la consommation d'énergie dans le récepteur n'est pas un problème, mais pour les nœuds alimentés par batterie où il est important d'assurer une autonomie raisonnable, il sera nécessaire d'inclure des schémas pour réduire le temps d'écoute. Le Tableau 59 répertorie et décrit brièvement certaines techniques permettant d'économiser de l'énergie lors de la réception.

Tableau 59 : Techniques pour économiser de l'énergie en réception

Nom	Description
Batterie faible Écoute	<p>Il s'agit d'une technique basée sur la fonction d'échantillonnage de préambule DW1000. Le circuit intégré peut "renifler" l'air pendant une courte période à la recherche d'un préambule, et s'il ne le voit pas, il revient en mode veille à faible consommation. Le dispositif de transmission doit envoyer son message avec un long préambule et le répéter pendant une période pour garantir que le préambule chevauche la période de reniflage RX. Si le CI voit le préambule, il reste activé jusqu'à ce qu'il reçoive le message, après quoi il peut interrompre le microprocesseur hôte pour le traiter.</p> <p>Lorsque le filtrage d'adresse est activé, le CI peut se remettre en veille dès qu'une incompatibilité d'adresse est constatée.</p> <p>Cette technique ne convient vraiment que dans les cas où le volume de trafic est faible, de sorte que l'activité prédominante de tous les nœuds renifle occasionnellement l'air pour le préambule. Comme chaque message réveillera chaque nœud à portée, au moins jusqu'à ce que l'adresse ne corresponde pas, la consommation d'énergie vers tous les nœuds peut être assez élevée s'il y a des transmissions fréquentes.</p>
Sondage pour message	<p>Il s'agit d'une technique dans laquelle un nœud alimenté par batterie envoie périodiquement un message d'interrogation et écoute ensuite une réponse de l'infrastructure alimentée par le secteur. La réponse n'est envoyée que si l'infrastructure a un message pour le nœud d'interrogation. Le nœud envoyant l'interrogation peut retarder la mise sous tension du récepteur pour tenir compte du temps de réponse de l'infrastructure, et peut ensuite utiliser le délai de détection de préambule pour désactiver le récepteur si une réponse ne démarre pas. L'activité prédominante est alors</p>

Nom	Description
	envoyer périodiquement le sondage et écouter pendant une courte période une réponse qui ne vient pas.
Écoute fendue	Dans cette technique, tous les appareils écoutent une balise périodique à partir de laquelle les tranches sont chronométrées, puis écoutent dans leur tranche assignée un message. Le nombre de créneaux et le nombre d'écoutes dépendent de la taille du réseau et des temps de réponse requis. La fréquence d'écoute des balises dépend de la taille de la super-trame et de la dérive de l'horloge. L'écoute des balises et des messages de slot doit commencer suffisamment tôt pour permettre toute dérive d'horloge. L'écoute dans un créneau n'a besoin de continuer qu'aussi longtemps que nécessaire pour confirmer qu'aucun message n'est envoyé cette fois. La période de balise et la fréquence d'écoute qui en résulte sont un compromis entre la consommation d'énergie et la réactivité du système.
Mode reniflement	Cette technique consiste à rechercher un préambule avec un rapport cyclique d'écoute inférieur à 100% du temps, par exemple 50% du temps ou 25% du temps, cela réduit quelque peu la puissance mais reste une technique relativement gourmande en puissance. Lorsqu'un préambule est détecté, le récepteur passe en mode RX pleine puissance pour recevoir la trame. Pour parler à un appareil utilisant le mode renifleur, l'émetteur doit envoyer un préambule plus long que ce qui serait autrement le cas pour donner au récepteur une chance de le détecter et de recevoir la trame.

## 10 ANNEXE 1 : La couche physique IEEE 802.15.4 UWB

Cette annexe donne une introduction au schéma de modulation et à la structure de trame de la couche physique UWB comme spécifié dans la norme IEEE 802.15.4 – 2011 et comme mis en œuvre par le circuit intégré émetteur-récepteur DW1000. Ceci est utile pour comprendre le fonctionnement de l'émetteur-récepteur DW1000 et ses options de configuration.

### 10.1 Vue d'ensemble de la structure de trame

Les communications UWB sont basées sur la transmission et la réception de trames. La figure 31 montre la structure générale de la trame UWB. Il commence par un en-tête de synchronisation composé du préambule et du SFD (délimiteur de début de trame), après quoi l'en-tête PHY (PHR) définit la longueur (et le débit de données) de la partie charge utile des données de la trame.

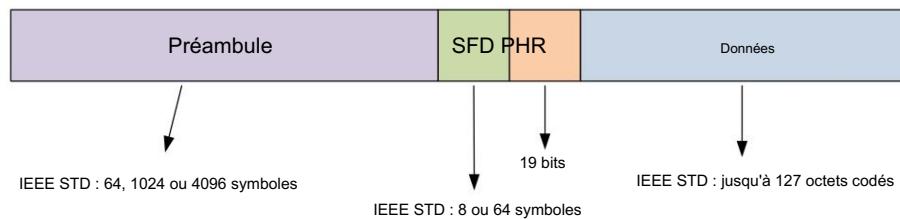


Figure 31 : Structure de la trame PHY UWB

### 10.2 Schéma de modulation des données

L'UWB utilisé dans 802.15.4 est parfois appelé UWB radio impulsionnel car il est basé sur des impulsions à haute vitesse d'énergie RF. Pendant les parties PHR et Données de la trame, des bits d'information sont signalés par la position de la rafale, dans un schéma de modulation appelé modulation de position de rafale (BPM).

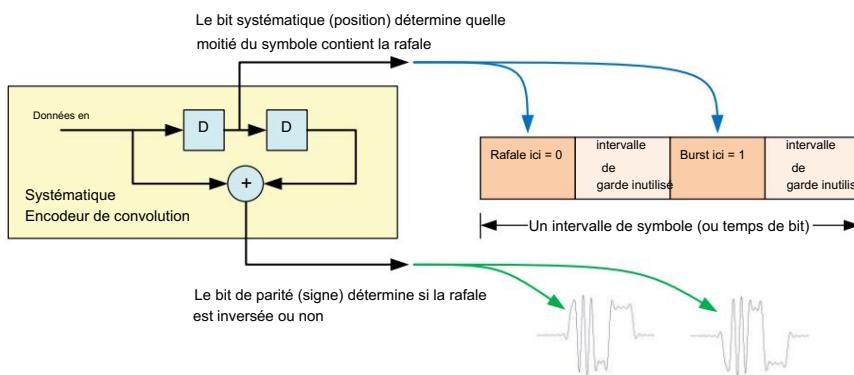


Figure 32:- Données BPM/BPSK et modulation PHR

Chaque bit de données passe par un codeur à convolution pour générer un bit de "parité" utilisé pour définir la phase de la rafale comme positive ou négative, cette composante de la modulation est appelée modulation par déplacement de phase binaire (BPSK). La figure 32 montre comment le codeur convolutif contribue à cette modulation BPM/BPSK. Un récepteur cohérent (c'est-à-dire une synchronisation et une phase de porteuse de suivi) tel que celui du DW1000 peut déterminer cette phase de salve et l'utiliser dans un décodeur Viterbi pour obtenir un gain de codage supplémentaire de 3 dB, étendant ainsi la plage de fonctionnement de la modulation.

De plus, l'intervalle de quart de symbole est subdivisé en 2, 4 ou 8 sous-intervalles et une séquence pseudo-aléatoire utilisée pour déterminer à la fois la forme de salve et lesquels des sous-intervalles sont réellement utilisés pour la transmission de salve. Cela donne plus d'immunité aux interférences et blanchit le spectre de sortie permettant d'utiliser une puissance de signal plus élevée dans l'émetteur.

La correction d'erreur directe (FEC) est également incluse dans les parties PHR et Data de la trame. Le PHR 19 bits comprend un code de détection d'erreur double à correction d'erreur unique (SECDED) 6 bits et la partie données de la trame a un code Reed Solomon (RS) appliquée. Le code RS ne réduit pas le débit de données, car le tarif indiqué inclut déjà une allocation pour le code RS. Les codes SECDED et RS sont systématiques, ce qui signifie que les données peuvent être récupérées sans utiliser les codes (et bien sûr sans en bénéficier dans ce cas).

La partie données de la trame peut être à un débit de données de 110 kbps, 850 kbps, 6,8 Mbps ou 27 Mbps nominalement (ces chiffres incluent un facteur de réduction de 0,87 sur le débit de symboles réel pour tenir compte de la surcharge du code Reed Solomon ).

Pour les débits de données de 850 kbps, 6,8 Mbps et 27 Mbps, la partie PHR 19 bits de la trame est transmise selon le codage 850 kbps, mais sans le code Reed Solomon, de sorte que leur débit binaire est juste inférieur à 980 kbps. Pour le débit de données de 110 kbps, le PHR est transmis selon le codage de données de 110 kbps, encore une fois sans le code Reed Solomon, ce qui leur donne un débit binaire légèrement supérieur à 120 kbps.

Le DW1000 prend en charge les débits de données de 110 kbps, 850 kbps et 6,8 Mbps, mais ne prend pas en charge les débits de données de 27 Mbps. taux.

### 10.3 Schéma de modulation de l'en-tête de synchronisation

L'en-tête de synchronisation (SHR) se compose de la séquence de préambule et du SFD (délimiteur de début de trame).

Contrairement à la modulation BPM/BPSK utilisée pour le PHR et les données, l'en-tête de synchronisation est constitué d'impulsions uniques. Le symbole est divisé en environ 500 intervalles de temps "chip", (496/508 selon PRF10 16/64 MHz), dans lesquels une impulsion négative ou positive peut être envoyée, ou aucune impulsion. L'intervalle de « puce » est de 499,2 MHz, une fréquence fondamentale dans la PHY UWB, et donc les temps de symbole résultants sont donc de 496/499,2 µs pour une PRF de 16 MHz et de 508/499,2 µs pour une PRF de 64 MHz (voir le tableau 60 ci-dessous) .

La séquence d'impulsions réellement envoyées pendant l'intervalle de symbole est déterminée par le code de préambule. La norme définit 8 codes de préambule différents de longueur 31 pour une utilisation à 16 MHz PRF et 16 codes de préambule différents de longueur 127 pour une utilisation à 64 MHz PRF. La norme nomme des codes particuliers pour des canaux particuliers de sorte qu'à 16 MHz PRF, il n'y a que deux codes à choisir par canal, tandis qu'à 64 MHz PRF, il y a un choix de quatre codes par canal. Les codes de longueur 31 sont répartis en insérant 15 zéros pour chaque point de code pour donner les 496 temps de puce par symbole tandis que les codes de longueur 127 sont répartis en insérant 3 zéros pour chaque point de code pour donner les 508 temps de puce par symbole. La longueur du préambule est définie par le nombre de fois (c'est-à-dire pour combien de symboles) la séquence est répétée. Ceci est déterminé par la configuration des répétitions de symboles de préambule (PSR).

<sup>10</sup>Le DW1000 prend en charge des fréquences de répétition d'impulsions moyennes de 16 MHz et 64 MHz

Tableau 60 : Paramètres de préambule

PRF moyenne (MHz)	#Chips par symbole	Préambule Symbole Durée (ns)
16 nominaux	496	993,59
64 nominaux	508	1017.63

La norme définit les paramètres PSR de 16, 64, 1024 et 4096. Le DW1000 les prend en charge (bien qu'il ne reçoive pas de trames avec une longueur de préambule inférieure à 64 symboles) et prend également en charge les paramètres PSR de 128, 256, 512, 1536 et 2048.

La séquence de préambule a une propriété d'autocorrélation périodique parfaite<sup>11</sup> qui permet essentiellement à un récepteur cohérent de déterminer la réponse impulsionale exacte du canal RF entre l'émetteur et le récepteur. Cela apporte deux avantages importants. Tout d'abord, il permet au récepteur d'utiliser l'énergie reçue à partir de plusieurs trajets, transformant les trajets multiples d'une source d'interférence en un effet positif étendant la plage de fonctionnement. Deuxièmement, il permet au récepteur de résoudre le canal en détail et de déterminer l'heure d'arrivée du premier chemin (le plus direct), même lorsqu'il est atténué, ce qui apporte des avantages de précision pour les applications RTLS.

Le SFD marque la fin du préambule et le début précis du basculement dans la modulation BPM/BPSK du PHR. L'horodatage de cet événement est très déterministe en termes de temps de symbole et c'est cela en conjonction avec la détermination du premier rayon arrivant dans ce temps de symbole qui permet l'horodatage précis nécessaire pour les applications RTLS de précision.

La norme spécifie le SFD, qui se compose des symboles de préambule soit non envoyés, soit envoyés normalement ou envoyés inversés (c'est-à-dire des impulsions positives et négatives inversées) dans un modèle défini de 8 fois le symbole pour des débits de données autres que 110 kbps, et 64 symboles long pour le mode 110 kbps.

La séquence SFD de longueur 8 est : 0, +1, 0, -1, +1, 0, 0, -1

La séquence SFD de longueur 64 est : 0, +1, 0, -1, +1, 0, 0, -1, 0, +1, 0, -1, +1, 0, 0, -1, -1, 0, 0, 0, +1, 0, -1, 0, +1, 0, +1, 0, 0, 0, -1, 0, -1, 0, 0, +1, 0, -1, -1, +1, 0, 0, 0, +1, +1, 0, 0, -1, -1, -1, +1, +1, 0, 0, 0, +1, +1

Le DW1000 a la capacité de programmer par l'utilisateur la séquence SFD, et a donc la possibilité d'améliorer la séquence SFD dans la norme, si une séquence SFD non standard est programmée, il sera impossible d'interfonctionner avec un appareil attendant la séquence SFD standard .

## 10.4 En-tête PHY

L'en-tête PHY (PHR) est modulé à l'aide du schéma de modulation BPM/BPSK défini à la section 10.2 ci-dessus, mais il n'emploie pas le code Reed Solomon utilisé pour les données, mais utilise à la place un SECDED 6 bits (correction d'erreur simple, détection d'erreur double). ) séquence de contrôle de parité dans le cadre de sa longueur de 19 bits.

<sup>11</sup>V. P. Ipatov, "Séquences ternaires avec des propriétés d'autocorrélation idéales", Radio Eng. Electron. Physique, vol. 24, p. 75–79, 1979

Bit 0	1	2	3	4	5	6	7	8	9	dix	11	12	13	14	15 16	17			18
R1	R0	L6	L5	L4	L3	L2	L1	L0 RING EXT			P1	P0	C5	C4 C3 C2 C1 C0					
Débit de données											Préambule Durée								Bits de contrôle SECDED

Figure 33 : Affectation des bits PHR

La figure 33 ci-dessus montre les bits du PHR. Ceux-ci sont transmis bit-0 en premier dans le temps. Le DW1000 remplit les champs Data Rate, Frame Length, Ranging Packet et Preamble Duration du PHR en fonction de la configuration utilisateur des paramètres appropriés dans le [fichier Register : 0x08 – Transmit Frame Control](#) et génère la séquence SECDED en conséquence. Le bit d'extension d'en-tête du PHR est toujours à zéro et est réservé par IEEE pour les futures extensions.

## 10.5 Canaux UWB et codes de préambule

L'IEEE 802.15.4 UWB PHY a 16 canaux/bandes définis. Le DW1000 prend en charge le sous-ensemble de ceux répertoriés dans le tableau 61 ci-dessous. Selon le canal et la fréquence de répétition des impulsions (PRF), la norme IEEE 802.15.4 UWB PHY définit un choix de deux ou quatre codes de préambule. Les options de code de préambule défini par la norme sont également répertoriées dans le Tableau 61. La combinaison du numéro de canal et du code de préambule donne ce que la norme appelle un canal complexe.

Le DW1000 n'impose pas physiquement la sélection du code de canal, c'est donc au logiciel de sélectionner le code de préambule approprié pour le canal de fonctionnement sélectionné. La norme note que les canaux à large bande peuvent également utiliser les codes attribués aux canaux à bande passante plus étroite de 499,2 MHz si une communication inter-canaux est souhaitée.

Tableau 61 : Canaux UWB pris en charge par le DW1000 et codes de préambule recommandés

Le numéro de canal	Centre fréquence (MHz)	Bandes passantes (MHz)	Codes de préambule (PRF 16 MHz)	Codes de préambule (PRF 64 MHz)
1	3494,4	499,2	1, 2	9, 10, 11, 12 9,
2	3993,6	499,2	3, 4	10, 11, 12 9,
3	4492,8	499,2	5, 6	10, 11, 12 17,
4	3993,6	1331,2 *	7, 8	18, 19, 20 9, 10,
5	6489,6	499,2	3, 4	11, 12 17, 18,
7	6489,6	1081,6 *	7, 8	19, 20

N.-B. Pour un fonctionnement correct du DW1000, le logiciel doit veiller à autoriser uniquement la sélection des codes de préambule appropriés pour la PRF configurée.

\* Le DW1000 a une bande passante de réception maximale de 900 MHz

Les codes de préambule spécifiés par la norme pour une utilisation sur un canal particulier ont été choisis pour avoir un faible facteur de corrélation croisée les uns avec les autres avec l'intention que les canaux complexes puissent fonctionner indépendamment les uns des autres en tant que réseaux séparés. En pratique, comme il y a encore une petite quantité de corrélation croisée, il y aura une percée entre différents codes, en particulier dans des conditions de proximité.

proximité avec de longs préambules. Cela peut signifier qu'il n'est pas possible d'atteindre la séparation envisagée par les auteurs de la norme.

La norme IEEE 802.15.4 UWB PHY comprend une fonction appelée sélection dynamique de préambule (DPS) destinée à utiliser un mécanisme de sécurité pour la télémétrie bidirectionnelle, où les appareils basculent vers l'utilisation de l'un des codes de préambule spécifiques au DPS pour l'échange de télémétrie, et peut-être un différente pour chaque sens de communication. L'idée est de rendre plus difficile l'écoute clandestine ou l'usurpation, en modifiant au hasard les codes de préambule DPS dans une séquence mutuellement convenue connue uniquement des participants valides. Ceci est pris en charge par le DW1000 où, à 64 MHz PRF, les codes de préambule supplémentaires disponibles pour DPS sont : 13, 14, 15, 16, 21, 22, 23 et 24.

## 10.6 Détails supplémentaires sur la norme

Pour plus de détails sur la norme, y compris des détails précis sur la modulation IEEE 802.15.4 UWB, le lecteur est renvoyé à la norme elle-même [1].

## 11 ANNEXE 2 : La couche MAC IEEE 802.15.4

Cette annexe donne une introduction à certains aspects de la couche MAC définie dans la norme IEEE 802.15.4 – 2011.

L'émetteur-récepteur DW1000 n'implémente pas la couche MAC. La mise en œuvre de la couche MAC relève de la responsabilité du système de microprocesseur hôte contrôlant le DW1000. Cependant, le DW1000 inclut certaines fonctionnalités pour aider à la mise en œuvre de la couche MAC. Ceux-ci sont:

- Génération et vérification du CRC, (voir section [5.1 – Contrôle de redondance cyclique](#)).
- Filtrage des trames, (voir section [5.2 – Filtrage des trames](#)).
- Acquittement automatique, (voir section [5.3 – Acquittement automatique](#)). • Retournement automatique pour recevoir un accusé de réception et d'autres réponses, (voir section [5.4 – Transmettre et attendre automatiquement la réponse](#))

Une introduction au format de trame MAC est donnée par les sous-sections ci-dessous. Pour plus de détails, le lecteur est renvoyé à la norme elle-même [1].

### 11.1 Format général des messages MAC

Le message MAC occupe la partie Données de la trame UWB, comme décrit dans la section [10.1 – Vue d'ensemble de la structure de trame](#) et illustré à la Figure 31. Cela peut aller jusqu'à 127 octets de longueur selon la norme, et jusqu'à 1023 octets lors de l'utilisation de la -mode trame longue standard, voir section [3.4 – Trames de données de longueur étendue](#). La structure générale d'un message MAC consiste en un en-tête qui identifie la trame, suivi d'une charge utile de longueur variable (éventuellement nulle) provenant généralement des couches supérieures mais parfois (comme dans le cas des trames de commande MAC) générée dans le MAC lui-même, et enfin terminé par le pied de page MAC qui est le FCS (Frame Checking Sequence) CRC utilisé pour détecter les erreurs de transmission. La Figure 34 montre les composants de la trame de message MAC plus en détail, indiquant le nombre d'octets dans chaque composant.

En-tête MAC (MHR)							Charge utile MAC	Pied de page MAC (MFR)
Cadre Contrôle	Séquence Nombre	Destination Identifiant PAN	Destination Adresse	PAN source Identifiant	Source Adresse	Aux Security Entête	Charge utile du cadre	FCS
2 octets	1 octet	0 ou 2 octets	0, 2 ou 8 octets	0 ou 2 octets	0, 2 ou 8 octets	0, 5, 6 10 ou 14 octets	Nombre variable de octets	2 octets

Figure 34 : Format général des messages MAC

L'en-tête MAC est analysé par le DW1000 dans le cadre de la fonction de filtrage de trame pour déterminer si son adresse de destination correspond aux informations d'adresse du CI programmées dans le [fichier de registre : 0x01 - Identifiant unique étendu](#) et [fichier de registre : 0x03 - Identifiant PAN et adresse courte](#) (ou si la trame est un message diffusé). Cette analyse de la trame de réception est basée sur le contenu du champ Frame Control (au début de l'en-tête MAC) décrit au paragraphe 11.2 ci-dessous.

## 11.2 Le champ de contrôle de trame dans l'en-tête MAC

Le champ de contrôle de trame est un champ de deux octets (16 bits) qui commence chaque trame MAC IEEE 802.15.4. Son rôle est d'identifier le type de trame et d'indiquer quels composants sont incorporés dans le reste de l'en-tête MAC. La figure 35 montre la commande de trame this et identifie les sous-champs qu'elle contient. Ceux-ci sont décrits dessous.

Bits 0 à 2	Bit 3	Bit 4	Bit 5	Bit 6	Bits 7 à 9	Morceaux 10 et 11	Morceaux 12 et 13	Morceaux 14 et 15
Cadre Taper	Sécurité Activé	Cadre En attente	ACK Demande	ID PAN Compresse	Réserve	main Adresse Mode	Cadre Version	Source Adresse Mode

Figure 35 : Champ de contrôle de trame de message MAC

### 11.2.1 Champ Type de trame

Ce champ de type de trame est un champ de 3 bits qui indique le type de trame. Le tableau 62 ci-dessous répertorie les huit types de trames possibles et leur affectation dans IEEE 802.15.4-2011.

Tableau 62 : Valeurs du champ Type de trame

Champ Type de trame (FC bits 2 à 0)	Cadre
0, 0, 0	Balise
0, 0, 1	Données
0, 1, 0	Reconnaissance
0, 1, 1	Commande MAC
1, 0, 0	Réserve
1, 0, 1	Réserve
1, 1, 0	Réserve
1, 1, 1	Réserve

Alors que seuls quatre des huit types de trames sont attribués par IEEE 802.15.4-2011, certains des types réservés ont depuis été attribués au sein du groupe de travail IEEE 802.15 pour des applications spéciales. Le DW1000 ne fournit qu'une prise en charge minimale des nouveaux types de trames en autorisant leur acceptation dans la fonction de filtrage de trames. Veuillez vous référer à la section [5.2 – Filtrage des trames](#) pour plus de détails. Si ces nouvelles trames sont activées, le système hôte devra analyser les trames reçues pour valider chacune d'entre elles, notamment en vérifiant que l'adresse de destination est correcte et le système hôte devra initier la transmission de toute réponse d'accusé de réception requise.

### 11.2.2 Champ de sécurité activé

Lorsqu'il est activé, ce bit indique la présence du champ d'en-tête de sécurité auxiliaire dans l'en-tête MAC et indique que le MAC peut utiliser un traitement de sécurité de la charge utile de trame pour l'authentification et/ou le chiffrement. Le DW1000 n'intègre aucune fonctionnalité de sécurité, donc si le cadre est

étant sécurisé ce traitement doit être effectué par le système hôte. Pour plus de détails sur le processus de sécurité IEEE 802.15.4 MAC, veuillez vous reporter à la norme [1].

#### 11.2.3 Champ Trame en attente

Ce bit indique que l'appareil émetteur a plus de données pour le destinataire. Le lecteur est renvoyé à la norme [1] pour les détails de ce protocole MAC. Le récepteur DW1000 n'utilise pas le champ de trame en attente dans le récepteur, c'est donc au logiciel hôte de le gérer de manière appropriée. Le logiciel hôte est également responsable de la formation de la trame TX et de la définition appropriée du bit de trame en attente. Dans le cas de l'acquittement automatique du DW1000, le réglage du bit de trame en attente peut être contrôlé à l'aide de la configuration AACKPEND dans le [fichier de registre : 0x04 – Configuration du système](#). Veuillez également consulter la section [5.3 – Accusé de réception automatique](#) pour plus de détails sur la fonctionnalité d'auto-ACK.

#### 11.2.4 Champ de demande d'accusé de réception

Le bit de demande d'acquittement spécifie si un acquittement est requis de la part de l'équipement récepteur. Ce champ ne doit être utilisé que dans les trames de données ou les trames de commande MAC. Si ce bit est défini sur un, l'équipement destinataire doit envoyer une trame d'accusé de réception, en supposant qu'il respecte les règles de filtrage de trame appropriées. Si ce bit est mis à zéro, une trame d'acquittement ne doit pas être envoyée. Veuillez vous reporter à la section [5.2 – Filtrage des trames](#) et à la section [5.3 – Accusé de réception automatique](#) pour plus de détails sur la prise en charge du DW1000 pour ce champ. Le logiciel hôte est responsable de la formation de la trame TX et de la définition appropriée du champ de demande d'accusé de réception. Si la fonction d'accusé de réception automatique du DW1000 n'est pas utilisée, le logiciel hôte doit répondre de manière appropriée à la réception des trames avec le bit de demande d'accusé de réception activé.

#### 11.2.5 Champ de compression PAN ID

Le bit de compression d'ID PAN spécifie si la trame MAC contient un seul des champs d'identifiant PAN lorsque les adresses source et destination sont présentes. Si le bit de compression d'ID de PAN est mis à un et que les adresses de source et de destination sont présentes, la trame ne contiendra que le champ d'identifiant de PAN de destination, et le champ d'identifiant de PAN de source doit être supposé égal à celui de la destination. Si le bit de compression PAN ID est mis à zéro, le champ PAN Identifier doit être présent si et seulement si l'adresse correspondante est présente. Le logiciel hôte est chargé de former la trame TX et de définir le bit de compression PAN ID de manière appropriée pour la trame transmise. Le logiciel hôte est également responsable de l'analyse correcte de la trame RX dans le récepteur, y compris ce bit. Le DW1000 comprend le bit de compression PAN ID et analyse correctement la trame RX pour identifier l'adresse de destination et l'ID PAN de destination pendant le filtrage de trame RX (si activé). Veuillez vous référer à la section [5.2 – Filtrage des trames](#) pour plus de détails.

#### 11.2.6 Champ mode d'adressage destination

Le champ mode d'adressage destination (2 bits) précise si la trame contient une adresse destination et si oui la taille du champ adresse. Le tableau 63 ci-dessous résume les options pour le mode d'adressage de destination. Pour plus d'informations sur les modes d'adressage, se référer à la norme [1].

Tableau 63 : Valeurs du champ Mode d'adressage de destination

Mode d'adressage des destinations (FC bits 11 et 10)	Signification
0, 0	Pas d'adresse de destination ni de destination PAN ID est présent dans le cadre
0, 1	Réserve
dix	Le champ d'adresse de destination est une adresse courte (16 bits).
1, 1	Le champ d'adresse de destination est une adresse étendue (64 bits).

### 11.2.7 Champ version de trame

Le champ de version de trame (2 bits) spécifie le numéro de version de la trame. Les règles pour gérer cela sont définies dans [1], qui dit que le champ de version de trame doit être réglé sur 0x00 pour indiquer une trame compatible avec IEEE 802.15.4-2003 et 0x01 pour indiquer une trame IEEE 802.15.4. Le DW1000 comprend ce cadre

règles de champ de version et rejetera les trames de réception qui n'ont pas la bonne version de trame. Veuillez vous référer à la section [5.2 – Filtrage des trames](#) pour plus de détails.

### 11.2.8 Champ Mode d'adressage source

Le champ mode d'adressage source (2 bits) spécifie si la trame contient une adresse source et si oui la taille du champ d'adresse. Le tableau 64 ci-dessous résume les options pour le mode d'adressage source. Pour plus d'informations sur les modes d'adressage, se référer à la norme [1].

Tableau 64 : Valeurs du champ Mode d'adressage source

Mode d'adressage source (FC bits 15 et 14)	Signification
0, 0	Pas d'adresse source ni de PAN source L'ID est présent dans le cadre
0, 1	Réserve
dix	Le champ d'adresse source est un court (16 bits) adresse.
1, 1	Le champ d'adresse source est une adresse étendue (64 bits).

## 11.3 Le champ Numéro de séquence

Le champ Numéro de séquence, dans l'émetteur de la couche MAC 802.15.4, doit contenir deux numéros de séquence, un pour les trames balises transmises et un pour les trames de données et les trames de commande MAC. Lorsque l'acquittement automatique est activé, le DW1000 copie le champ Numéro de séquence dans la trame d'acquittement pour toute trame de commande MAC ou trame de données qu'il acquitte. La couche MAC (logiciel) attendant l'ACK doit valider le numéro de séquence de l'ACK par rapport à celui du

trame transmise. Au fur et à mesure que chaque nouvelle trame est transmise (pas une retransmission d'une trame non acquittée), le numéro de séquence doit être incrémenté de 1 (modulo-256) après avoir été utilisé dans la trame transmise.

## 11.4 Traitement au niveau MAC dans le DW1000

Le DW1000 transmet les données du TX\_BUFFER dans une trame dont la longueur de données est spécifiée dans les champs TFLEN et TFLE du [fichier de registre : 0x08 – Transmit Frame Control](#), en insérant le FCS à 2 octets comme les deux derniers octets de la charge utile des données. Le DW1000 n'effectuera aucun autre traitement de transmission de niveau MAC. Il appartient donc au logiciel du système hôte de préparer la trame correctement formatée conformément à la norme MAC IEEE 802.15.4 si cela est nécessaire.

Côté réception, le DW1000 validera le FCS de la trame reçue et pourra analyser les trames conformes à la norme IEEE 802.15.4-2011 pour valider et accepter uniquement celles dont l'adresse de destination correspond à l'adresse de diffusion ou correspond aux informations d'adresse IC configurées dans [Fichier de registre : 0x01 – Identifiant unique étendu](#) et [fichier de registre : 0x03 – Identifiant PAN et adresse courte](#). Le DW1000 peut également éventuellement répondre au bit de demande d'accusé de réception défini dans le champ de contrôle de trame, des trames de données ou des trames de commande MAC correctement adressées, en envoyant une trame d'accusé de réception conforme IEEE 802.15.4-2011.

Le DW1000 fournira la trame de données reçue dans le RX\_BUFFER avec sa longueur de données signalée par les champs RXFLEN et RXFLE du [fichier de registre : 0x10 - RX Frame Information Register](#), et autres que les activités RX mentionnées dans le paragraphe ci-dessus, le DW1000 ne le fera pas. tout traitement de réception de niveau MAC supplémentaire. Ainsi, il appartient au logiciel du système hôte d'analyser correctement la trame reçue conformément à la définition MAC standard IEEE 802.15.4 et de prendre toute action supplémentaire proscrite par la norme, si cela est nécessaire.

## 12 ANNEXE 3 : Gamme bidirectionnelle

### 12.1 Présentation

Cette annexe est fournie à titre informatif uniquement et décrit diverses méthodes de mise en œuvre d'un schéma de télémétrie bidirectionnelle entre deux nœuds.

L'algorithme de télémétrie bidirectionnelle choisi est implémenté par le logiciel du système hôte et n'est pas une fonctionnalité du DW1000. Le DW1000 fournit simplement les fonctionnalités d'horodatage des messages et de contrôle précis des temps de transmission des messages qui permettent à ces algorithmes. Voir la section [4.1.6 – Horodatage du message RX](#), [3.2 – Horodatage de transmission](#) et [3.3 – Transmission différée](#) pour plus de détails à ce sujet.

Dans tous les schémas qui suivent, un nœud agit en tant qu'initiateur, initiant une mesure de distance, tandis que l'autre nœud agit en tant que répondeur écoutant et répondant à l'initiateur, et calculant la distance.

### 12.2 Télémétrie bidirectionnelle unilatérale

La télémétrie bidirectionnelle unilatérale (SS-TWR) implique une mesure simple du délai aller-retour d'un seul message d'un nœud à un autre et une réponse renvoyée au nœud d'origine.

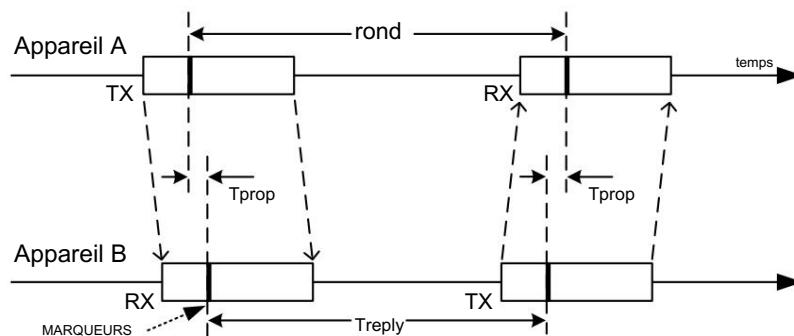


Figure 36 : télémétrie unilatérale bidirectionnelle

Le fonctionnement de SS-TWR est tel qu'ilustré à la Figure 36, où l'appareil A initie l'échange et l'appareil B répond pour terminer l'échange et chaque appareil horodate avec précision les heures de transmission et de réception des trames de message, et peut ainsi calculer les heures Tround et Treply par simple soustraction. Et le temps de vol résultant, Tprop peut être estimé par l'équation :

$$= \frac{1}{2} ( - )$$

Les temps Tround et Treply sont mesurés indépendamment par les appareils A et B à l'aide de leurs horloges locales respectives, qui ont toutes deux une erreur de décalage d'horloge  $e_A$  et  $e_B$  par rapport à leur fréquence nominale, et donc l'estimation du temps de vol résultante a une erreur considérable qui augmente à mesure que Le triple augmente. Certaines valeurs typiques pour cela sont présentées dans le Tableau 65. Selon la taille de l'erreur de télémétrie acceptable pour l'application, SS-TWR peut être un choix approprié pour la mesure de la télémétrie, en particulier si le temps de réponse Treply est minimisé et l'erreur d'horloge est faible . . Il convient de noter que le temps de réponse Treply n'est pas seulement le temps d'exécution RX-TX, mais inclut également la longueur du message.

Dans ce schéma, l'erreur dans le Tprop mesuré est donnée par ce qui suit : -

$$= \quad - \quad \approx \frac{1}{(-)} \times 2$$

Tableau 65 : Erreurs typiques induites par l'horloge dans l'estimation du temps de vol SS-TWR

Treply erreur d'horloge	2 ppm	5 ppm	10 ppm	20 ppm	40 ppm
100 µs	0,1 ns	0,25 ns	0,5 ns	1 ns	2 ns
200 µs	0,2 ns	0,5 ns	1 ns	2 ns	4 ns
500 µs	0,5 ns	1,25 ns	2,5 ns	5 ns	10ns
1 milliseconde	1 ns	2,5 ns	5 ns	10ns	20ns
2 millisecondes	2 ns	5 ns	10ns	20ns	40ns
5 millisecondes	5 ns	12,5 ns	25ns	50ns	100ns

On peut voir qu'à mesure que Treply augmente et que le décalage d'horloge augmente, l'erreur dans l'estimation du temps de vol augmente jusqu'au point où l'erreur est telle qu'elle rend l'estimation très imprécise. Pour cette raison, SS-TWR n'est pas couramment utilisé, mais il mérite d'être examiné pour des cas d'utilisation particuliers où des horloges à tolérance serrée sont utilisées et la portée de communication est relativement courte.

Tableau 66 : Erreur typique induite par l'horloge dans l'estimation du temps de vol SS-TWR en utilisant les longueurs de trame UWB réelles IEEE80.15.4-2011

Treply erreur d'horloge	2 ppm	5 ppm	10 ppm	20 ppm	40 ppm
211 µs au total 6,81 Mbps Préambule à 64 symboles Délai de réponse de 96 µs	0,2 ns	0,5 ns	1,1 ns	2,1 ns	4,2 ns
275 µs au total 6,81 Mbit/s 128 Symbole Préambule Délai de réponse de 96 µs	0,3 ns	0,7 ns	1,4 ns	2,8 ns	5,5 ns
403 µs au total 6,81 Mbps 256 symboles Préambule Délai de réponse de 96 µs	0,4 ns	1 ns	2 ns	4 ns	8 ns

Remarque : Une erreur de 1 ns équivaut à une erreur de 30 cm sur la distance mesurée.

Avantages	Désavantages
Un seul échange de message requis, ce qui permet d'économiser du temps et de l'énergie.	À mesure que Treply augmente et que les décalages d'horloge augmentent, le temps de vol estimé devient très imprécis.
Si Treply est court et que des cristaux précis sont utilisés, l'estimation du temps de vol peut être suffisamment précise pour certains cas d'utilisation.	

## 12.3 Gamme bidirectionnelle double face

### 12.3.1 Utilisation de 4 messages

La télémétrie bidirectionnelle double face (DS-TWR) est une extension de la télémétrie bidirectionnelle unilatérale de base dans laquelle deux mesures de temps aller-retour sont utilisées et combinées pour donner un résultat de temps de vol qui a un temps de vol réduit. erreur même pour des délais de réponse assez longs.

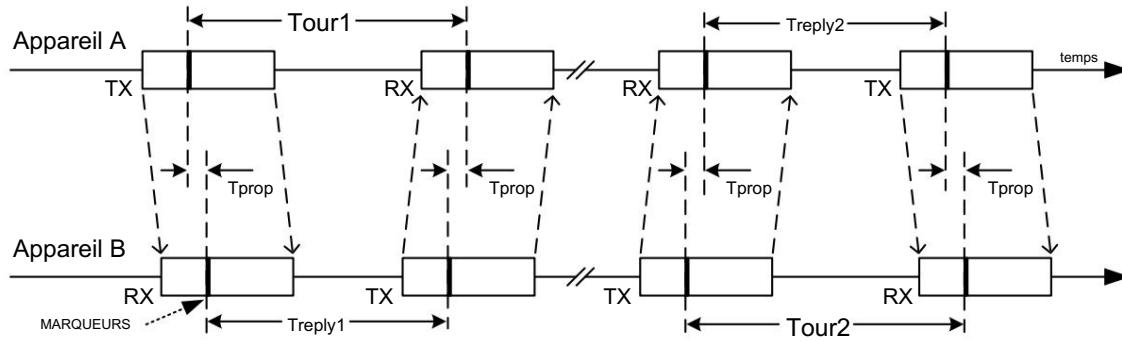


Figure 37 : télémétrie bidirectionnelle recto-verso avec quatre messages

Le fonctionnement de DS-TWR est tel qu'ilustré à la Figure 37, où l'appareil A lance la première mesure aller-retour à laquelle l'appareil B répond, après quoi l'appareil B lance la deuxième mesure aller-retour à laquelle l'appareil A répond en achevant l'échange DS-TWR complet . Chaque appareil horodate précisément les heures d'émission et de réception des messages.

### 12.3.2 Utilisation de trois messages

Les quatre messages de DS-TWR, représentés sur la Figure 37, peuvent être réduits à trois messages en utilisant la réponse de la première mesure aller-retour comme initiateur de la deuxième mesure aller-retour. Ceci est illustré à la figure 38.

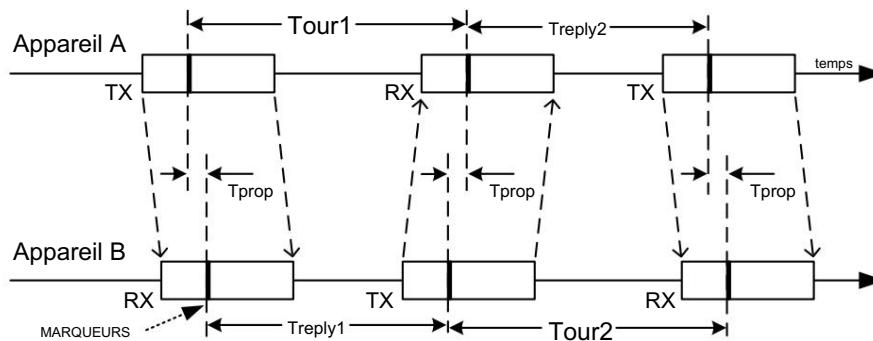


Figure 38 : Télémétrie bidirectionnelle recto-verso avec trois messages

L'estimation de temps de vol résultante, Tprop, dans les cas à trois et à quatre messages peut être calculée à l'aide de l'expression :

$$= \frac{1 \times 2 - 1 \times 2}{((1 + 2 + 1 + 2))}$$

Les deux schémas ci-dessus sont notés ASYMÉTRIQUE car ils ne nécessitent pas que les temps de réponse de chaque périphérique soient identiques.

En utilisant ce schéma, l'erreur typique induite par l'horloge se situe dans la plage des picosecondes basses même avec des cristaux de 20 ppm. A ces niveaux d'erreur, la précision de la détermination de l'heure d'arrivée des messages à chacun des récepteurs est un contributeur plus important à l'erreur Tprop globale que l'erreur induite par l'horloge.

$$= \times \left(1 - \frac{+}{2}\right)$$

Où l'horloge de l'appareil A fonctionne à  $k_a$  fois la fréquence souhaitée et l'horloge de l'appareil B fonctionne à  $k_b$  fois la fréquence souhaitée et les deux  $k_a$  et  $k_b$  sont proches de 1.

Pour donner une idée de la taille de cette erreur, si les appareils A et B ont des horloges où chacun est à 20 ppm (la spécification du pire cas) de l'horloge nominale dans des directions qui rendent leur erreur combinée additive et égale à 40 ppm, alors  $k_a$  et  $k_b$  peuvent tous deux valoir 0,99998 ou 1,00002.

Même avec une plage de fonctionnement UWB relativement large de disons 100 m, le TOF n'est que de 333 ns, donc l'erreur est de  $20 \times 10^{-6} \times 333 \times 10^{-9}$  secondes, soit  $6,7 \times 10^{-12}$  secondes ou 6,7 picosecondes qui est environ 2,2 millimètres.

Notez à nouveau que l'atteinte de ces niveaux d'erreur ne nécessite PAS l'utilisation du même temps de réponse à chaque fois. appareil.

À ces niveaux d'erreur, la précision de la détermination de l'heure d'arrivée du message est en fait la source d'erreur la plus importante.

Avantages	Désavantages
Les temps de réponse ne doivent pas nécessairement être les mêmes - offre une grande flexibilité dans la conception des cas d'utilisation et de l'application scénarios	Nécessite des opérations de multiplication et de division
L'erreur dans le temps de vol calculé est minimisée	

### 12.3.3 Utilisation des temps de réponse symétriques

Il s'agit d'un cas particulier du schéma double face connu sous le nom de télémétrie bidirectionnelle SYMMETRIC Double Sided (SDS-TWR) <sup>12</sup> dans lequel Treply1 et Treply2 sont contraints d'être égaux (ou aussi proches que possible de l'égalité). Dans ce cas:

$$= \frac{(1^- + 2^+ - 2^-)}{4} 1)$$

Ce schéma ne nécessite que l'addition, la soustraction et la division par 4, ce qui est facilement réalisé dans les microcontrôleurs à faible puissance, mais il en résulte que l'échange complet prend plus de temps que nécessaire.

<sup>12</sup> Nanotron est le propriétaire des droits de propriété intellectuelle du schéma SDS-TWR. Le Nanotron concerné les brevets sont EU EP1815267B1 et USA US7843379B2

Il peut être difficile d'obtenir une situation où les temps de réponse sur chaque périphérique sont les mêmes, bien que l'utilisation de la fonction d'envoi différé du DW1000 simplifie cela ; les calculs requis pour chaque appareil peuvent ne pas être les mêmes. Par exemple, le message final de l'appareil A à l'appareil B devra souvent intégrer les heures d'envoi et de réception dans le paquet afin que l'appareil B puisse calculer le temps de vol. Si des temps de retard symétriques sont nécessaires, l'ensemble de l'échange aller-retour devra être étendu pour s'adapter à cela. Lorsque les délais de réponse sont flexibles, l'échange peut être plus rapide.

Lorsque la différence de temps de réponse des deux appareils augmente, il y a une augmentation linéaire de l'erreur sur le temps de vol calculé qui peut approcher 30 cm pour une différence de temps de réponse de 100 µs.

Avantages	Désavantages
Ne nécessite que des opérations mathématiques simples pour tirer un résultat	Les temps de réponse doivent être les mêmes – c'est difficile à réaliser. S'ils ne sont pas identiques, une erreur est introduite dans le résultat dont l'ampleur dépend de la différence entre les temps de réponse. L'échange de télémétrie est plus long que nécessaire car tous les temps de réponse doivent être aussi longs que le temps de réponse le plus long

### 12.3.4 Comparaison entre la télémétrie bidirectionnelle DS et SDS

#### 12.3.4.1 Introduction

Il est utile de comparer les applications mondiales asymétriques et symétriques à double face et à double sens afin que les implications de chacune puissent être vues.<sup>13</sup> régimes dans certains réels

#### 12.3.4.2 Suivi des actifs basé sur l'infrastructure

Un dispositif d'ancrage envoie un paquet, P1, à plusieurs, disons 5 balises. Chaque balise répond par un paquet à cette ancre en réponses successives. La balise 1 répond avec le paquet P2a après le temps t, la balise 2 répond avec P2b après le temps 2t, la balise 3 répond avec P2c après le temps 3t et ainsi de suite jusqu'à ce que toutes les balises aient répondu. Enfin, l'ancre clôture le tour avec un dernier paquet P3.

Chaque balise peut désormais calculer sa distance à l'ancre après une séquence de 7 messages seulement. Si l'ancre avait utilisé un S-TWR symétrique, elle serait obligée d'avoir le même délai pour chaque interaction de balise et un minimum de 3 messages par balise, ou 15 messages seraient nécessaires.

Dans le cas asymétrique, le nombre de paquets requis est N+2 alors que dans le cas symétrique, il est de 3N.

#### 12.3.4.3 Suivi des actifs basé sur l'infrastructure

Dans ce schéma, une balise mobile (sur un actif, par exemple) s'étend jusqu'à trois ancrées fixes. Chaque ancre calcule ensuite la distance à la balise. Ces trois distances sont ensuite combinées dans un solveur basé sur l'infrastructure pour localiser le étiqueter.

<sup>13</sup> Nanotron est le propriétaire des droits de propriété intellectuelle du schéma SDS-TWR. Le Nanotron concerné les brevets sont EU EP1815267B1 et USA US7843379B2

Avec une télémétrie bidirectionnelle symétrique à double face, cela nécessite 3 messages par mesure de distance, soit un total de 6 transmissions et trois réceptions pour dériver l'emplacement.

Dans le schéma de télémétrie asymétrique, la balise envoie un message Poll qui est reçu par les trois ancre de l'infrastructure qui répondent en réponses successives avec des paquets RespA, RespB et RespC, après quoi la balise envoie le message final reçu par les trois ancre. Cela permet à l'étiquette d'être localisée après l'envoi de seulement 2 messages et la réception de 3. Ce schéma est illustré à la Figure 39. Cela représente une économie substantielle dans le trafic de messages, économisant ainsi l'énergie de la batterie et le temps d'antenne.

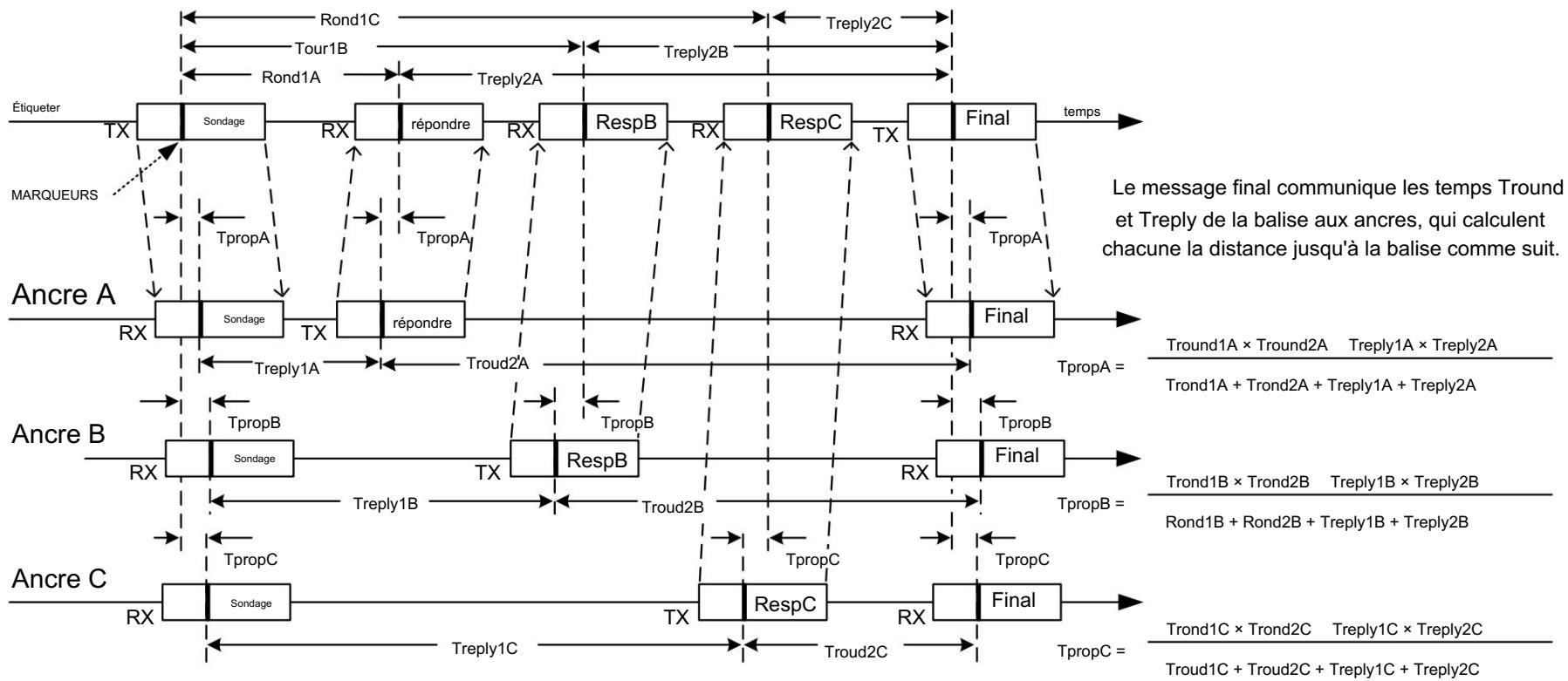


Figure 39 : Allant à 3 ancrées avec seulement 5 messages où chaque ancre calcule son propre résultat de plage

## 12.3.4.4 Réseaux peer-to-peer sans infrastructure

Dans le cas d'un réseau peer-to-peer de N nœuds mobiles où chaque nœud veut trouver sa distance à chaque autre nœud pair dans le cadre de la résolution de leur emplacement relatif, il s'agit alors de  $\frac{1}{2}N(N-1)$  mesures de distance. Par exemple, pour un système à 5 nœuds, il s'agit de 10 mesures de distance.

Avec une télémétrie double face symétrique, cela nécessite 3 messages par mesure de distance. Il peut également être nécessaire d'envoyer un message supplémentaire pour communiquer les résultats, qui peuvent être 1 par mesure de distance ou seulement 1 par nœud contenant tous les résultats calculés par ce nœud. Il s'agit alors d'un total de 35 à 40 messages dans le cas de l'exemple à 5 nœuds.

Avec le schéma de télémétrie asymétrique, les échanges de télémétrie peuvent être combinés et complétés avec seulement deux transmissions par nœud, c'est-à-dire 10 messages dans le cas de l'exemple à 5 nœuds. Encore une fois, cela représente une économie substantielle dans le trafic de messages, économisant ainsi l'énergie de la batterie et le temps d'antenne. Cependant les échanges de télémétrie sont fortement asymétriques.

De plus amples détails sur ces différents schémas et la dérivation des formules associées sont disponibles sur Décawave.

## 13 Annexe 4 : Décodage de PART/CHIP et LOT ID dans DW1000 OTP

L'ID de LOT écrit sur l'OTP, l'adresse 0x007, correspondra à l'ID de LOT de fonderie de noyaux tel qu'identifié sur le marquage de l'emballage, ligne 4. Par ID de LOT de fonderie de noyaux, nous entendons 6 caractères, le premier identifiant la fonderie, N dans notre cas, et 5 caractères alphabétiques ou numériques à l'exclusion de tout nombre après le point. Comme les circuits intégrés Decawave ne sont produits que dans une seule fonderie, nous n'avons pas besoin de stocker ce premier caractère N car il est commun à tous les lots. Les caractères alpha seront mis en correspondance avec des nombres, puis convertis en hexadécimal et binaire avant d'être écrits sur l'OTP. Chaque caractère est affecté de 6 bits. Le premier bit identifie si le caractère est alpha ou numérique, les 5 bits restants identifiant le caractère. Cette conversion est décrite dans la figure 40.

Alpha	Numeric	Hex	Binary
a	0	0	0
b	1	1	1
c	2	2	10
d	3	3	11
e	4	4	100
f	5	5	101
g	6	6	110
h	7	7	111
i	8	8	1000
j	9	9	1001
k	10	A	1010
l	11	B	1011
m	12	C	1100
n	13	D	1101
o	14	E	1110
p	15	F	1111
q	16	10	10000
r	17	11	10001
s	18	12	10010
t	19	13	10011
u	20	14	10100
v	21	15	10101
w	22	16	10110
x	23	17	10111
y	24	18	11000
z	25	19	11001
	26	1A	11010
	27	1B	11011
	28	1C	11100
	29	1D	11101
	30	1E	11110
	31	1F	11111
.	.	.	.
.	.	.	.
.	.	.	.
.	.	.	.
59	3B	111011	
.	.	.	.
.	.	.	.
.	.	.	.
365	16D	101101101	

Figure 40 Tableau de conversion

À titre d'exemple, la figure 41 montre la conversion et les écritures OTP pour le numéro de lot de fabrication N05W74. Les blocs verts signifient des bits inutilisés.

Adresse NVM 0x007																																		
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0			
0	0	0	0	0			0	0	0	1					1	1	0	1	1	0	0	0	1	1	1	0	0	1	0	0				
UN		0			UN		5			UN					DANS		UN		7	UN														4

Figure 41 Exemple de conversion ID LOT

En plus de l'ID LOT, nous identifierons également chaque appareil qui réussit le test de production. Cela permettra un haut niveau de traçabilité lors du travail sur les RMA des clients. À la fin du programme de test, les CI qui réussissent se verront attribuer un ID CHIP de la structure suivante \$DDDHMMSS, c'est-à-dire \$ = site de test du tableau de charge (0-3 pour le site quadruple), DDD = jour de l'année, 0-365, HH = heure (24 heures), MM = minute, SS = seconde. Cet ID CHIP sera écrit à l'adresse 0x006. Encore une fois, le tableau de la figure 40 sera utilisé pour convertir les nombres et, à titre d'exemple, la figure 42 montre la conversion et les écritures OTP pour l'ID IC 3365235959.

Adresse NVM 0x006																																		
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0			
1	1		1	0	1	1	0	1	1	0	1				1	0	1	1				1	1	1	0	1	1		1	1	1	0	1	1
3					365										23							59												59

Figure 42 Conversion PART ID / CHIP ID

## 14 ANNEXE 5 : Abréviations et acronymes

Abréviation	Titre complet	Explication
CAG	contrôle automatique du gain	Un schéma qui ajuste automatiquement le gain du récepteur DW1000 en fonction de la puissance du signal reçu
ACK	accusé de réception (trame)	Une trame envoyée par le DW1000 en réponse à une trame reçue indiquant une réception réussie. DW1000 permet la génération automatique de telles trames lorsqu'elles sont correctement configurées.
UN	bloc toujours actif (pour enregistrer la configuration)	Une section de mémoire dans DW1000 dont le contenu est conservé à condition que VDDAON soit maintenu au-dessus de la limite minimale spécifiée dans la fiche technique DW1000. Destiné à enregistrer la configuration de l'appareil pendant les états SLEEP et DEEPSLEEP et à la restaurer par la suite.
BPM	modulation de la position de salve	Schéma de modulation dans lequel les informations sont véhiculées par la position d'une rafale d'impulsions dans l'une des nombreuses positions possibles dans un symbole
BPSK	modulation par déplacement de phase binaire	Un schéma de modulation dans lequel les informations sont transmises selon que les impulsions sont positives ou négatives
CRC	contrôle de redondance cyclique (un FCS)	Code de détection d'erreur ajouté à la trame dans l'émetteur pour permettre la détection d'erreurs au niveau du récepteur.
RIC	impulsion de canal réponse	La réponse impulsionnelle du canal de communication entre l'émetteur et le récepteur telle que détectée par DW1000 pour la dernière trame reçue
DPS	sélection de préambule dynamique	Mécanisme anti-usurpation pour permettre aux appareils IEEE 802.15.4 de déplacer leurs longs codes de préambule vers des codes différents de ceux utilisés normalement, voir 235[1].
ESD	décharge électrostatique	Un flux soudain de courant électrique entre deux objets chargés électriquement provoqué par un contact, un court-circuit électrique ou une panne diélectrique. Peut provoquer une défaillance des dispositifs à semi-conducteurs.  DW1000 est résistant aux décharges électrostatiques jusqu'aux limites spécifiées dans la fiche technique.
IUE	identifiant unique étendu	Adresse de périphérique IEEE 64 bits. Reportez-vous au <a href="#">fichier de registre : 0x01 – Identifiant unique étendu</a> .
FCS	séquence de contrôle de trame (le CRC)	Un CRC ajouté à la trame dans l'émetteur pour permettre la détection d'erreurs au niveau du récepteur.
SI	fréquence intermédiaire	Une fréquence à laquelle une fréquence porteuse est décalée comme une étape intermédiaire dans la transmission ou la réception.
PMA	faible cycle de service	Certaines juridictions réglementaires définissent des règles qui limitent la durée des transmissions UWB par unité de temps dans certains canaux. Ces règles sont généralement appelées règles de faible rapport cyclique

Abrévation	Titre complet	Explication
OUI	régulateur de tension à faible chute de tension	Régulateur de tension linéaire qui ne nécessite qu'un faible différentiel entre sa tension de source d'entrée et sa tension de sortie régulée en dessous duquel il ne peut plus réguler correctement. DW1000 utilise un certain nombre de ces régulateurs.
LDE	bord d'attaque (ou le processus pour trouver et ajuster l'horodatage du message RX)	Processus pour trouver et ajuster l'horodatage du message RX
LNA	amplificateur à faible bruit	Circuit normalement trouvé à l'avant d'un récepteur radio conçu pour amplifier des signaux de très bas niveau tout en maintenant tout bruit ajouté à un niveau aussi bas que possible
LES	ligne de mire	Configuration de canal radio physique dans laquelle il existe une ligne de visée directe entre l'émetteur et le récepteur
NLOS	pas de ligne de mire	Configuration de canal radio physique dans laquelle il n'y a pas de ligne de visée directe entre l'émetteur et le récepteur
OTP	une fois programmable (mémoire)	Mémoire interne du DW1000 pouvant être programmée une fois pour stocker diverses valeurs d'identification et d'étalonnage
CAP	morceau d'acquisition de préambule	Un groupe de symboles de préambule qui sont corrélés ensemble dans le processus de détection de préambule dans le récepteur. La taille du PAC est configurable – voir <a href="#">Sous-registre 0x27:08 – DRX_TUNE2</a> . La sélection de la taille de PAC la plus appropriée est discutée dans la section 4.1.1
PHR	En-tête PHY	Une section 19 bits de la trame UWB IEEE802.15.4-2011 qui vient directement après le SFD et avant la charge utile du message et définit diverses caractéristiques de cette charge utile requises par le récepteur pour une réception réussie.
PHY	couche physique	Définie dans le contexte du modèle OSI à 7 couches pour les systèmes de communication en général et de la norme IEEE802.15.4-2011 UWB en particulier, la couche PHY est la couche la plus basse du modèle à 7 couches et définit l'interface physique avec le support de communication
PLL	boucle à verrouillage de phase	Boucle à verrouillage de phase utilisée pour générer des horloges à fréquence stable. Ceux-ci sont utilisés dans DW1000 pour générer des fréquences porteuses et des horloges système.
FRP	fréquence de répétition des impulsions	Défini dans le cadre de la norme IEEE802.15.4-2011 [1]. Il s'agit de la fréquence à laquelle les impulsions sont répétées dans les portions de préambule et de données d'une trame en fonction de la configuration choisie.
PSR	répétitions des symboles du préambule	Utilisé pour définir la longueur globale du préambule. Un plus grand nombre de répétitions de symboles de préambule donne un préambule plus long.

Abrévation	Titre complet	Explication
RF	fréquence radio	Généralement utilisé pour désigner des signaux dans la plage de 3 kHz à 300 GHz. Dans le contexte d'un récepteur radio, le terme est généralement utilisé pour désigner les circuits dans un récepteur avant la conversion vers le bas et dans un émetteur après la conversion vers le haut.
MARQUEURS	marqueur de distance (début de PHR à l'antenne)	Défini dans le cadre de la norme IEEE802.15.4-2011 [1]. Définit le début du PHR à l'antenne en émission ou recevoir
RTLS	localisation en temps réel systèmes	Système destiné à fournir des informations sur la localisation de divers éléments en temps réel.
RX	recevoir ou recevoir	Terme utilisé pour désigner la section récepteur d'un émetteur-récepteur ou opération de réception de signaux
DAS	Successif Registre d'approximation ADC	Type de convertisseur analogique-numérique utilisant une recherche binaire numérique pour converger vers la représentation numérique correcte du niveau d'entrée analogique.
SECDÉ	correction d'erreur simple, détection d'erreur double (une séquence de contrôle de parité dans le PHR)	Un schéma de codage qui permet : - <ul style="list-style-type: none"> <li>• détection et correction d'une seule erreur de bit dans un groupe de bits ou</li> <li>• la détection mais pas la correction d'une double erreur binaire dans un groupe de bits</li> </ul> <p>La norme IEEE802.15.4-2011 UWB définit l'utilisation d'un tel comme un contrôle de parité dans la partie PHR de la trame.</p>
SFD	délimiteur de début de trame	Défini dans le cadre de la norme IEEE802.15.4-2011 [1]. Indique l'achèvement de la section de préambule de la trame et le début de la section de charge utile.
SHR	en-tête de synchronisation (composé d'un préambule et d'un SFD)	Défini dans le cadre de la norme IEEE802.15.4-2011 [1]. La première partie d'une trame UWB IEEE802.15.4-2011 contenant le préambule et le SFD
IPS	interface périphérique série	Une méthode acceptée par l'industrie pour l'interfaçage entre les circuits intégrés à l'aide d'un schéma série synchrone introduit pour la première fois par Motorola
TDOA	décalage horaire d'arrivée	Méthode d'obtention d'informations sur l'emplacement d'un émetteur. L'heure d'arrivée d'une transmission à deux emplacements physiquement différents dont les horloges sont synchronisées est notée et la différence des heures d'arrivée fournit des informations sur l'emplacement de l'émetteur. Un certain nombre de ces mesures TDOA à différents emplacements peuvent être utilisés pour déterminer de manière unique la position de l'émetteur. Consultez le site Web de Decawave pour plus d'informations.
TOF	temps de vol	Le temps mis par un signal radio pour voyager entre l'antenne émettrice et l'antenne réceptrice

Abréviaction	Titre complet	Explication
TX	transmettre ou transmettre	Terme utilisé pour désigner la section émetteur d'un émetteur-récepteur ou le fonctionnement de la transmission de signaux
ULB	Bande ultra-large	Schéma radio utilisant des largeurs de bande de canal égales ou supérieures à 500 MHz
WSN	capteur sans fil réseaux	Un réseau de noeuds sans fil destiné à permettre la surveillance et le contrôle de l'environnement physique
XTI	interne 19,2 MHz horloge (est l'entrée brute de l'oscillateur XTAL 38,4 MHz $\div$ 2)	L'horloge de l'oscillateur XTAL à 38,4 MHz divisée par 2

## 15 ANNEXE 6 : Références

- [1] IEEE 802.15.4-2011 ou « IEEE Std 802.15.4™2011 » (Révision de IEEE Std 802.15.4-2006). Norme IEEE pour les réseaux locaux et métropolitains  
– Partie 15.4 : Réseaux personnels sans fil à faible débit (LR-WPAN). IEEE Computer Society Parrainé par le comité des normes LAN/MAN.  
Disponible sur <http://standards.ieee.org/>.
- [2] APH010 DW1000 Inter-Channel Interference : comment les transmissions sur un canal DW1000 peuvent affecter d'autres canaux et comment minimiser cet effet. Disponible sur [www.decawave.com](http://www.decawave.com)

## 16 Historique des documents

Tableau 67 : Historique des documents

Révision	Date	Description
1,00	15 novembre 2013	Première sortie
2.01	31 mars 2014	Mise à jour programmée
2.02	31 juillet 2014	Mise à jour programmée
2.03	31 décembre 2014	Mise à jour programmée
2.04	31 mars 2015	Mise à jour programmée
2.05	30 juin 2015	Mise à jour programmée
2.06	17 novembre 2015	Mise à jour programmée
2.07	31 décembre 2015	Mise à jour programmée
2.08	31 mars 2016	Mise à jour programmée
2.09	30 juin 2016	Mise à jour programmée
2.10	30 septembre 2016	Mise à jour programmée
2.11	rd mars 2017 3	Mise à jour programmée
2.12	28 juillet 2018	Mise à jour programmée
2.13	7 <sup>le</sup> janvier 2018	Mise à jour programmée
2.14	31 juillet 2018	Mise à jour programmée
2.15	ème 4 Septembre 2018	Mise à jour des horaires
2.16	29 mars 2019	Mise à jour programmée
2.17	19 avril 2019	Mise à jour programmée

## 17 Journal des modifications

Révision v2.03

Page	Changer la description
Tous	Mise à jour du numéro de version vers v2.03
Tous	Divers changements typographiques
2	Mise à jour de la table des matières
Tous	Réparation des liens de renvoi non fonctionnels dans la v2.02

Page	Changer la description
18	Ajout de la section 2.4.1.3 concernant LDO TUNE
23	Ajout de la section 2.5.5.11 concernant LDO TUNE
27	Inclusion de détails sur le mode cadre étendu
28	Ajout d'informations supplémentaires sur l'utilisation des cadres étendus
57	Ajout de LDOTUNE_CAL à la carte mémoire OTP dans le tableau 10
164	Ajout d'informations sur le bit LDO_KICK au sous-registre 7.2.46.7 0x2D:12 – OTP_SF
211	Correction à la figure 36
216	Ajout de la v2.03 au tableau 64 Ajout de cette section & modification des numéros de rubriques en conséquence

Révision v2.04

Page	Changer la description
Tous	Mise à jour du numéro de version vers v2.04
Tous	Divers changements typographiques
8	Ajout au tableau décrivant les sections du document
16	Inclusion d'une note relative au fonctionnement semi-duplex uniquement
23	Modification du titre de la section 2.5.5.4 pour faire référence à NTM plutôt qu'à NSTD
58	Mise à jour vers VDDIO pour la programmation OTP afin d'être cohérent avec la fiche technique DW1000
85	Modification de la description du bit CPLOCK
89	Modification de la description du bit CLKPLL_LL
106	Modification du Tableau 26 – octet de puissance d'émission
119	Inclusion de la description du bit PLLLDT
143	Modification de la description de CPLLLOCK
149	Modification du tableau 41 - valeurs par défaut pour FS_PLLTUNE pour les voies 5 et 7
167	Modification de NSTD en NTM
217	Ajout de la v2.04 au tableau 64
217	Inclusion de ce tableau

Révision v2.05

Page	Changer la description
Tous	Mise à jour du numéro de version vers v2.05
Tous	Divers changements typographiques
29, 30	Ajout de texte relatif à l'écriture dans le buffer TX lors de la réception d'une trame
87	Modification de la description du bit RXFDR
190	Modification du tableau 51 pour faire référence à RFCONF au lieu de RFRES1

## Manuel d'utilisation DW1000



Page	Changer la description
211	Appendice 13 : Inclusion d'une discussion plus complète sur les schémas de TWR, y compris SS TWR, DS TWR asymétrique et DS TWR symétrique
221	Ajout de la v2.05 au tableau 64
222	Inclusion de ce tableau

Révision v2.06

Page	Changer la description
Tous	Mise à jour du numéro de version vers v2.06
Tous	Divers changements typographiques
17	Inclusion du bit CPLOCK
23	Section2.5.5.9 - modification de la valeur FS_PLLTUNE
46	Section 4.7.1 & 4.7.2 – modification de la valeur fixe du calcul PRF 16 MHz
73	Section 7.2.10 Correction pour enregistrer la valeur par défaut
104 – 107	Modification du texte relatif à la puissance Tx intelligente dans 7.2.31
108	Section 7.2.32 Correction du type de registre
148	7.2.43.5 Correction de la référence dans la description du registre
189	Correction de la valeur d'écriture du registre à l'étape 8 de la procédure de compensation du cristal
221	Ajout de la v2.06 au tableau 64
223	Inclusion de ce tableau

Révision v2.07

Page	Changer la description
Tous	Mise à jour du numéro de version vers v2.07
Tous	Diverses modifications typographiques et corrections de mise en forme
62	Type de registre TX_BUFFER corrigé en écriture seule.
62	Type de registre RX_BUFFER corrigé en écriture seule.
76	Type de registre TX_BUFFER - modifié en écriture seule
92 – 93	Le champ RXPACC de RX_FINFO a été mis à jour pour décrire les ajustements qui peuvent être apportés au comptage pour calculer une puissance de signal de réception plus précise telle qu'utilisée dans les calculs de la section 4.7.
96	Le type de registre RX_BUFFER est passé en lecture seule.
111	Champ DWSFD de la description du registre CHAN_CTRL mis à jour pour spécifier le SFD défini par Decawave séquences
137	RXPACC_NOSAT ajouté à l'adresse 0x27, sous-adresse 0x2C
141	Sous-registre 0x27:2C, RXPACC_NOSAT ajouté
173	Description du registre EVC_CTRL corrigée pour comporter l'écriture pour activer le comportement.

## Manuel d'utilisation DW1000



Page	Changer la description
197	Ajout d'un texte de clarification à la section 9.3 concernant l'utilisation de différents codes de préambule pour permettre plusieurs communications sur le même canal physique
224	Ajout de la v2.07 au tableau 65 / Ajout de la Référence [2]
226	Inclusion de ce tableau

Révision v2.08

Page	Changer la description
Tous	Mise à jour du numéro de version vers v2.08
Tous	Diverses modifications typographiques et corrections de mise en forme
58	Corrections de la carte mémoire OTP pour être cohérent avec APS012
94	Description du registre FINFO mise à jour pour indiquer que le bit RNG est le bit 15 et non le bit 10
106	Correction des références
143	Descriptions TXFEN et PLLFEN mises à jour
152	Modification de la valeur FS_PLLTUNE pour la voie 3
168	Mise à jour de la description OP_SEL. Mise à jour des descriptions de décalage d'horloge dans le Tableau 46
186	Description d'ATXSLP mise à jour pour inclure une référence à SLEEP_EN (0x2c:06)
188	Ajout d'une note à PMSC_TXFSEQ réutiliser avec une sonorisation externe
207	Figure 33 remplacée pour plus de lisibilité
224	Mise à jour du tableau 65
226 / 7	Inclusion de ce tableau

Révision v2.09

Page	Changer la description
Tous	Mise à jour du numéro de version vers v2.09
Tous	Diverses modifications typographiques et corrections de mise en forme
16	Mise à jour de la description de l'état INIT
34	Correction des erreurs du récepteur pour lesquelles une réinitialisation du récepteur est requise
41	Ajout des actions nécessaires pour lire correctement une trame reçue en écoute basse consommation
42	Correction du fonctionnement de SNOZ_TIM
52	Inclusion de la section sur l'initialisation SFD dans l'acquittement automatique
53	Plus de détails sur le fonctionnement du bit AAT
58	Mise à jour de la carte mémoire OTP pour assurer la cohérence avec la note d'application APS012
99	Inclusion d'informations complémentaires sur RCPHASE
106	Correction de la référence à la Figure 26
140	Modification du texte d'avertissement sur la non-utilisation du délai d'expiration SFD

## Manuel d'utilisation DW1000



Page	Changer la description
141	Modification du fonctionnement de DRX_PRETOC
186	Correction du fonctionnement de SNOZ_TIM
188	Modification de la définition de BLNKEN
211	Ajout de précision sur le fonctionnement du DWSFD / TNSSSF / RNSSFD
224	Mise à jour du tableau 65
227	Inclusion de ce tableau

Révision v2.10

Page	Changer la description
Tous	Mise à jour du numéro de version vers v2.10
Tous	Diverses modifications typographiques et corrections de mise en forme
58	Corrigez la valeur fixe dans les trois premiers chiffres hexadécimaux pour qu'elle soit 0x100 et non 0x101 comme suggéré précédemment.
96 / 100	Définitions mises à jour de FP_AMPL1 et FP_AMPL3
124	Mise à jour pour le réglage du bit 7 de MSGP0, était réservé, indique maintenant comment il est utilisé pour permettre à l'horloge système d'apparaître sur GPIO0
139	Ajout de texte sur l'optimisation de la valeur du délai d'attente SFD.
179	Mise à jour de la description de TX_PSTM pour l'espacement entre les trames
222	Mise à jour du tableau 65
226	Inclusion de ce tableau

Révision v2.11

Page	Changer la description
Tous	Mise à jour du numéro de version vers v2.11
Tous	Diverses modifications typographiques et corrections de mise en forme
53	Ajout du texte de corruption de la section 5.3.6 ACK ajouté
77, 96	Modifier les descriptions TX et RX_Buffer
80	Description mise à jour sur le bit TXSTRT
92	R (rapport) ajouté à RXPF dans le registre REG: 10: 00 - RX_FINFO - Informations de trame RX pour correspondre le tableau des CV.
95	Ajout de l'interdiction d'écriture pour recevoir le tampon
114	Modification du tableau 21 et ajout du nouveau tableau 22. Renumérotation de tous les tableaux suivants.
146	Changer le sous-registre 0x28:0C- RF_TXCTRL en 24 (3 octets)
146	Tableau 37 . Changer 32 à 24 bits
151	Ajout d'une nouvelle section pour plus de détails sur "Carrier Recovery Integrator Register"

Page	Changer la description
162	Ajout de registres de générateur d'impulsions d'étalonnage d'émetteur précédemment non documentés
173	Correction à la description du registre 0x2F:06 section 7.2.48.3
192	Ecrire la valeur correcte Sous-registre 0x2B:0B – FS_PLLTUNE
199	Suppression de la restriction sur l'écriture uniquement des valeurs par défaut dans 0x2E:1806, section 7.2.47.6
207	Tableau 55, Modifier la puissance à l'entrée du récepteur pour les canaux 4 et 7 à -104 (dBm/Mhz)
227	Ajout du code postal correct

Révision v2.12

Page	Changer la description
Tous	Mise à jour du numéro de version vers v2.12
61	Pour lire OTP OTP_RDAT changer 2A.04 en 2D:0A (voir aussi 7.2.46.5) Ligne 5 supprimée.
106	Nouvelle note sur l'exigence d'isolation de VDDPA1 et VDDPA2 si vous utilisez le réglage de gain Tx 000
128	Remarque ajoutée pour souligner que les horloges GPIO doivent être activées pour utiliser les lignes GPIO.
132	Sec 7.2.39.3 GDM6 est déclaré comme bit 15, mais c'est le bit 14
133	Sec 7.2.39.4 GOP2 doit faire référence à GPIO2 et GOP3 doit faire référence à GPIO3
140	Modification de la phrase en "Les bits du registre GPIO_RAW identifiés ci-dessus sont individuellement décrits ci-dessous :"
157	PG_TMEAS changé en reg:2A:08 bit5:2, il a été donné 4:2
238	Ajout de ce tableau

Révision v2.13

Page	Changer la description
Tous	Mise à jour du numéro de version vers v2.13
59	Mise à jour du TABLEAU 10 adresse 6 & 7
61	Changez OTP_RDAT de 0xA:04 à 0xD:0A
141	Supprimer les tableaux 21 et 22 intégrés
181	Mise à jour LDE_CFG1
183	Mise à jour LDE_CFG2
207	La plage la plus éloignée est possible avec les canaux 4 et 7 à bande passante plus large

Révision v2.14

Page	Changer la description
Tous	Mettre à jour le document avec un nouveau logo et changer le numéro de version en v2.14
60'	Tableau 10, inclure PART ID

Page	Changer la description
68	RXRFTO/LDEERR supprimer la phrase indiquant que les bits sont effacés à la prochaine activation EX
142	IRC (0x27 décalage 8) ajouté dans le tableau 29
149	La durée à partir de 27:28 est passée de 2 à 3
152	Ajouter une note à RF_CONF
153	Supprimer la note pour RF_RES1
158	Changer la tension en température dans SAR_LTEMP
195	PLL2_SEQ_EN ajouté à 36:00 bit 24
203	Procédure de mise à jour de la configuration de l'émetteur (Mettre à jour la ligne 1 et fusionner les lignes 9 et 10)
228/229	Inclure les informations IP Nanotron

## Révision v2.15

Page	Changer la description
Tous	Mise à jour du numéro de version vers v2.15
	Suppression de référence erronée (erreur !)

## Révision v2.16

Page	Changer la description
Tous	Mise à jour du numéro de version vers v2.16
152	Tableau 38. Modifier la valeur par défaut du canal 5
233	Présenter les détails d'un schéma PART ID / CHIP ID et LOT ID - Annexe 4
165	Ajout de la définition et de la description manquantes pour le bit Preserve Sleep, PRES_SLEEP

## Révision v2.17

Page	Changer la description
Tous	Mise à jour du numéro de version vers v2.17
122	Modification du bit HIRQ_POL dans le cadre de 0x04 (Configuration système) 2.2.2
divers	Ajouter XTI dans l'annexe 5 et ainsi corriger de nombreuses références incorrectes (erreur !).

Révision v2.18

Page	Changer la description
Tous	Mise à jour du numéro de version vers v2.18
19	Fig 10. PHR, changez 21 bits en 19
99	Description de 0x19, informations Sys_state incluses
103	Les pas de gain grossier sont passés de 3 dB à 2,5 dB
144	Mis à jour avec un nouveau commentaire sur le préambule Time out
155	Paramètre TC_PGDELAY pour le canal 5 mis à jour à 0xB5, maximisant la puissance en CH B/W
176-180	Retirer ** Pour le fonctionnement NLOS, cette valeur a été optimisée en tant que 0x0003. Se référer au notes d'application sur NLOS disponibles sur <a href="http://www.Decawave.com">www.Decawave.com</a> pour plus d'informations."

## 18 INFORMATIONS COMPLÉMENTAIRES

Decawave développe des solutions de semi-conducteurs, des logiciels, des modules, des conceptions de référence - qui permettent des services de micro-localisation en temps réel, ultra-précis et ultra-fiables. La technologie de Decawave permet une toute nouvelle classe de fonctionnalités et de services de localisation intelligents, faciles à mettre en œuvre, hautement sécurisés pour l'IoT et les produits et applications grand public intelligents.

Pour plus d'informations sur ce produit ou tout autre produit Decawave, veuillez consulter notre site Web  
[www.decawave.com](http://www.decawave.com).