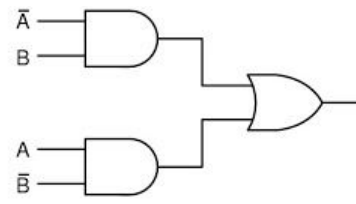


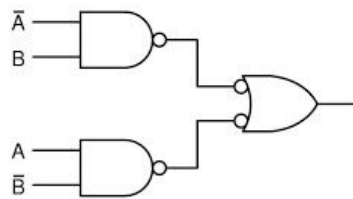
Lógica combinacional

A	B	XOR
0	0	0
0	1	1
1	0	1
1	1	0

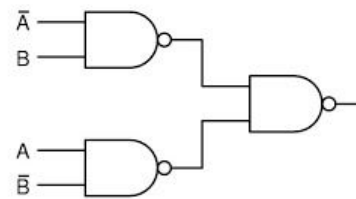
(a)



(b)

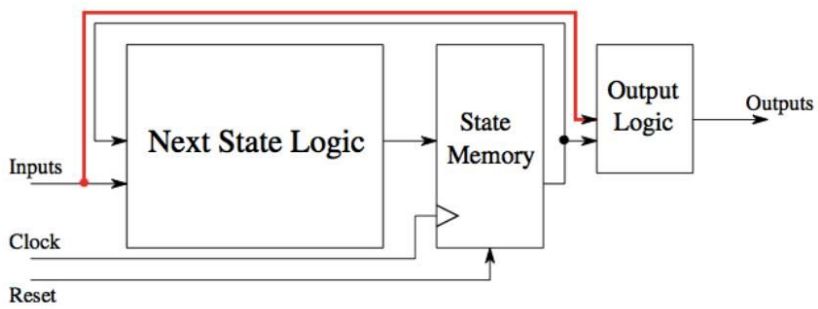


(c)

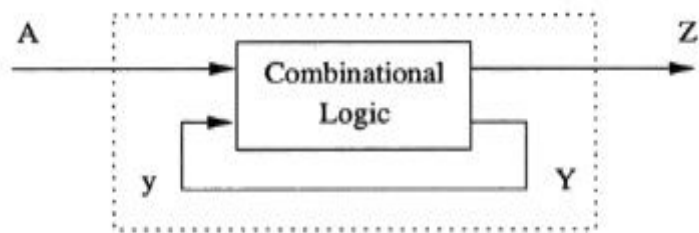


(d)

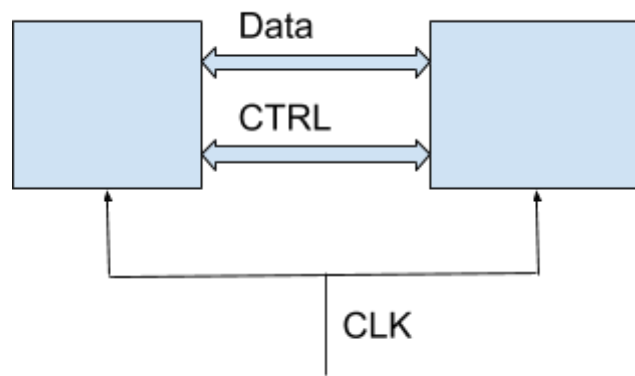
Lógica secuencial síncrona



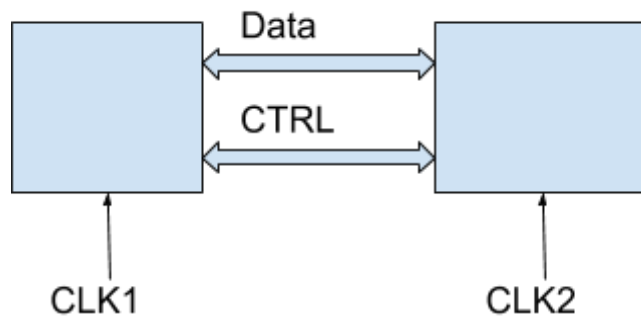
Lógica secuencial assíncrona



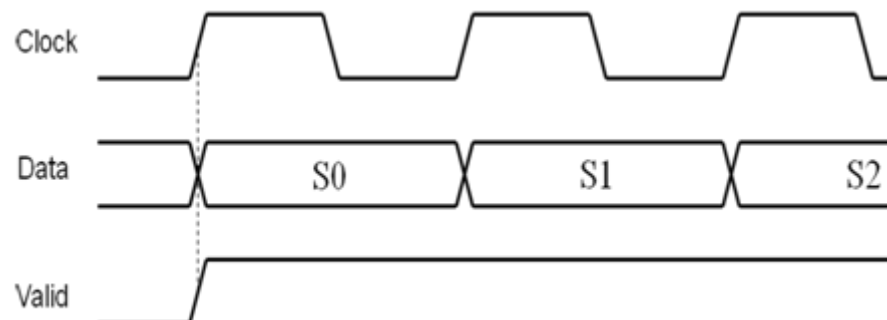
Sistema Síncrono



Sistema Assíncrono



Transferência sistema síncrono



Exercício T1 - Comunicação de dados

Um processador com dois canais de comunicação cada um conectado em um periférico. Os dois canais são unidirecionais do processador para os periféricos. Os dois canais são de 16 bits de dados. Os dois canais operam simultaneamente.

Clock do processador - 10ns

Clock do periférico 1 - 17 ns

Clock do periférico 2 - 8 ns

Construa as máquinas de estados dos 3 dispositivos em verilog e simule a comunicação do processador com os dois periféricos.