

ulm university universität
uulm

Grundpraktikum der Elektrotechnik

Versuch 10: Zuse und Lilienfeld - ganz diskret

Institut für Mikroelektronik
Universität Ulm



Grundpraktikum Elektrotechnik

Versuch 10: Zuse und Lilienfeld - ganz diskret

Inhaltsverzeichnis

1	Einleitung	1
2	Der gesteuerte Schalter	2
2.1	Elektromechanisches Relais als Schalter	3
2.2	Elektronenröhre als Schalter	3
2.3	Bipolartransistor als Schalter	4
2.4	MOSFET als Schalter	4
3	Digitale Grundsaltungen	8
3.1	Der CMOS-Inverter	8
3.2	Das CMOS-NAND	8
4	Vorbereitende Aufgaben	10
4.1	Datenblätter der Transistoren	10
4.2	Maximale Schaltfrequenz eines Schalters	10
4.3	CMOS-NOR	10
5	Versuchsdurchführung	11
5.1	Relais-Inverter mit Widerstand	11
5.2	nMOS-Inverter mit Widerstand	13
5.3	CMOS Grundsaltungen	15
5.4	Evaluation	17

1 Einleitung

Im Jahr 1936 zeigte der britische Mathematiker Alan Turing im Zuge seines theoretischen Konzepts der so genannten Turing-Maschine, dass sich beliebige komplexe Symbole durch eine Serie einfacherer Zeichen darstellen lassen können.

In der heute gängigen Digitaltechnik werden ausschließlich zwei Zeichen verwendet. Das erste Zeichen dieses binären Zahlensystems, die Null, wird dabei hardwareseitig als „ausgeschaltet“, also niedrige bzw. keine Spannung definiert. Ein hohes Potential, z.B. die Versorgungsspannung der Schaltung, realisiert die Eins.

Durch die Verwendung von nur zwei *diskreten* Zustände ergeben sich gegenüber der analogen Datenverarbeitung, die auf lückenloser, kontinuierlicher Verteilung der Information beruht, zwei enorme Vorteile. Zum einen ist die Erkennung des aktuellen Schaltzustands einfacher. Eine Null von einer Eins zu unterscheiden ist augenscheinlich anspruchsloser, als z.B. einen exakten Wert zwischen diesen Zuständen abzulesen. Zusätzlich ist der digitale Ansatz dadurch weniger Fehleranfällig, das Verfahren ist robuster. Arbeitet ein Bauteil mit einer Fehlertoleranz von beispielsweise 40 Prozent, lässt sich immer noch mit Bestimmtheit erkennen, ob der Ausgangswert einer Null oder einer Eins entsprechen sollte - da der Kontrast zwischen beiden Werten groß genug ist. Einen Zwischenwert zu erkennen macht bei einer solchen Unsicherheit allerdings keinen großen Sinn mehr. Da mit steigender Schaltungsgeschwindigkeit und zudem stetig kleiner werdender Bauteilgröße die Fehleranfälligkeit zunimmt, verschiebt sich die Informationsverarbeitung immer mehr in den digitalen Bereich.

Um die Informationen nicht nur speichern und übertragen, sondern tatsächlich auch verarbeiten zu können, müssen Rechenoperationen und Fallunterscheidungen hinzugezogen werden. Hier war es ebenfalls Alan Turing der bewies, dass es mit dem diskutierten Aufbau auch möglich ist, jede berechenbare Sequenz zu berechnen. Auch Befehle werden jetzt mit der einfacheren Zeichenserie abgebildet und gespeichert. Sie kennen dieses Grundkonzept bereits von den Mikroprozessoren - oder von Ihrem Computer, der die Software neben den eigentlichen Daten auf der Festplatte speichert.

Für eine Hardwarerealisierung dieses Prinzips kann nun nicht mehr einfach eine Reihe Binärziffern fix gespeichert werden. Der Ausgangswert einer Schaltung muss variabel sein. Es wird ein Bauteil nötig, dass in Abhängigkeit von einem binären Eingangswert seinen Ausgang entweder einschalten oder ausschalten kann. Dieses für die Digitaltechnik elementare Bauelement ist der gesteuerte Schalter. Zu dessen Realisierung werden in diesem Versuch verschiedene vergangene und gegenwärtige Techniken vorgestellt. Im praktischen Teil werden Sie ausgewählte Bauweisen und Grundsaltungen selbstständig untersuchen und deren Vor- und Nachteile erfassen.

2 Der gesteuerte Schalter

Grundbaustein der digitalen Schaltungstechnik ist der gesteuerte Schalter. In idealer Form ist dieser bei Vorhandensein eines Steuer- oder Eingangssignals U_{IN} eingeschaltet, d.h. der Widerstand des Schalters R_{ON} ist Null; im ausgeschalteten Fall wird der Widerstand R_{OFF} unendlich. Der Übergang zwischen beiden Zuständen erfolgt bei sprungförmiger Änderung des Eingangssignals idealerweise verzögerungsfrei.

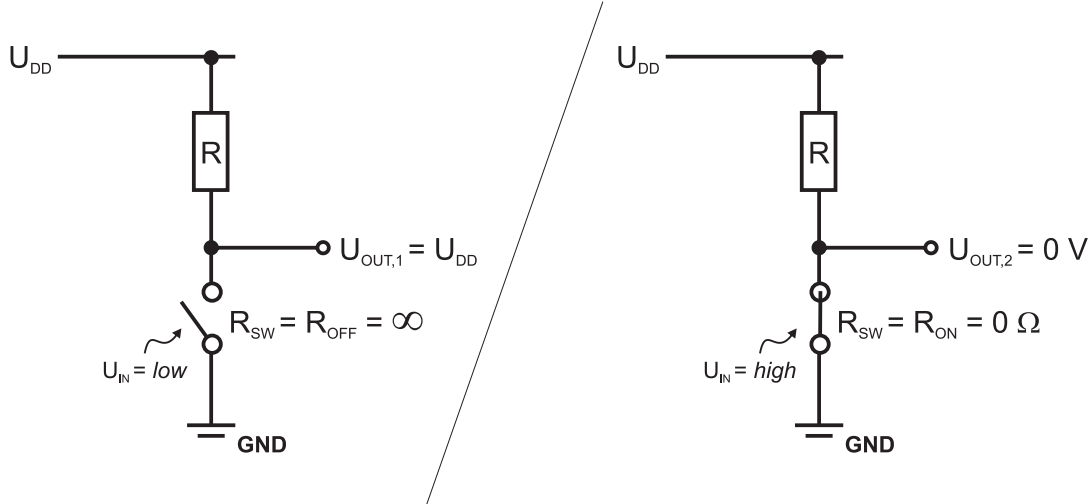


Abbildung 1: Idealer Schalter, geöffnet und geschlossen

Legt man diesen idealen Schalter gemäß Abbildung 1 über einen Widerstand R an eine Gleichspannungsquelle mit der Klemmenspannung U_{DD} , ergibt sich nach:

$$\frac{U_{OUT}}{U_{DD}} = \frac{R_{SW}}{R + R_{SW}} \Leftrightarrow U_{OUT} = \frac{R_{SW}}{R + R_{SW}} U_{DD} \quad (1)$$

für den Schaltungsausgang U_{OUT} ein Spannungsteiler. Abhängig von der jeweiligen Schalterstellung resultieren zwei mögliche Zustände für U_{OUT} :

$$U_{OUT,1} = \frac{\infty}{R + \infty} U_{DD} = U_{DD} \quad (2)$$

$$U_{OUT,2} = \frac{0\Omega}{R + 0\Omega} U_{DD} = 0V \quad (3)$$

Im geöffneten Schalterzustand $U_{OUT,1}$ wird der Ausgang somit über den Widerstand auf das hohe Potential U_{DD} gezogen. Der Widerstand wird demnach auch als *Pull-Up* bezeichnet. Im geschlossenen Zustand $U_{OUT,2}$ liegt hingegen das niedrige Potential ($0V$, GND) am Schaltungsausgang an. Verwendet man nun einen Schalter, der sich entsprechend einem eingangsseitigen Potential U_{IN} öffnet oder schließt, kann die Spannung U_{OUT} als Steuersignal für weitere gesteuerte Schalter dienen.

Mechanische Schalter kommen dem Ideal bezüglich der Widerstände R_{ON} und R_{OFF} sehr nahe, sind aber mit hohen Trägheiten behaftet, so dass sie bei hohen Schaltgeschwindigkeiten nicht mehr einsetzbar sind. Elektronische Schalter arbeiten um viele Größenordnungen schneller, sind jedoch in ihren Leit- und Sperreigenschaften nicht ideal: R_{OFF} hat nur einen endlichen Wert und R_{ON} ist größer als Null.

2.1 Elektromechanisches Relais als Schalter

Bei einem Relais handelt es sich um den vermutlich einfachsten elektronisch steuerbaren Schalter. Ein Relais besteht aus einer Spule, deren Magnetfeld im stromdurchflossenen Fall einen metallischen Kontakt zu sich hinzieht und somit den Schalter mechanisch schließt (Abbildung 2). Eine Feder sorgt für die Rückstellung des Kontakts im Falle der stromlosen Spule. Basierend auf diesem Schalter konstruierte der Ingenieur *Konrad Zuse* 1937 den ersten Computer - zu Hause in seinem Wohnzimmer.

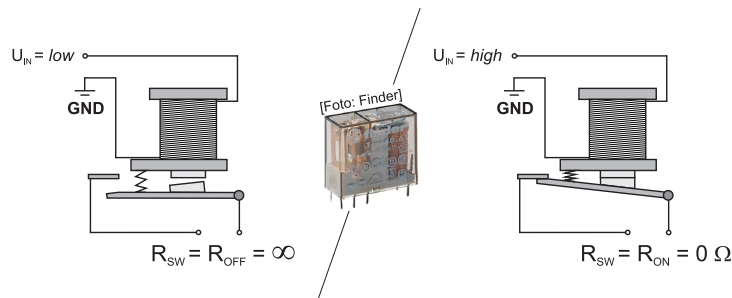


Abbildung 2: Prinzipdarstellung eines Relais, geöffnet und geschlossen

Wesentlicher Nachteil der Technik ist die mechanische Natur derselben. Die Trägheit der Masse des metallischen Kontakts führt zu sehr hohen Schaltzeiten. Dieser Sachverhalt macht rein elektronische Schalter, wie die Elektronenröhre oder den Transistor, für komplexe Rechenanwendungen deutlich attraktiver.

2.2 Elektronenröhre als Schalter

Eine Elektronenröhre besteht, vereinfacht dargestellt, aus einem aufgeheizten negativen Pol aus dem freie Elektronen austreten, die von einer Anode (positiver Pol) angezogen werden. Zwischen diesen Polen befinden sich ein oder mehrere Steuergitter, die den Elektronenfluss (=Stromfluss) abhängig von der dort angelegten Spannung U_{IN} sperren oder verstärken können. Somit ist die Elektronenröhre als elektrisch steuerbarer Schalter nutzbar (Abbildung 3). Der erste Computer dieser Technik, *ENIAC*, wurde 1945 vorgestellt. Er bestand aus 17.468 Röhren und nahm $170m^2$ Platz ein.

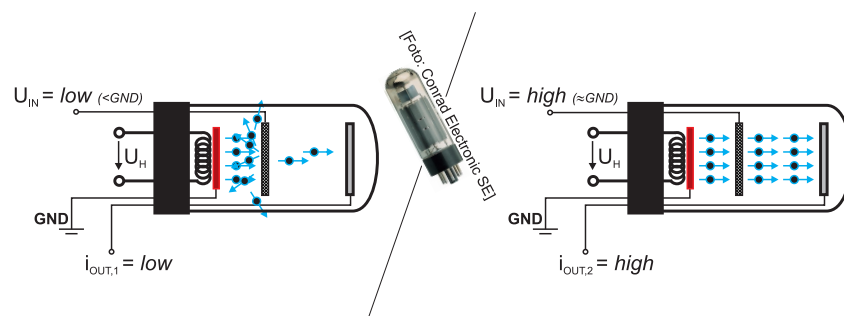


Abbildung 3: Prinzipdarstellung einer Elektronenröhre, mit und ohne Stromfluss

Nachteilig an dieser Technologie ist die immense Verlustleistung, die schon alleine für das Beheizen der emittierenden Kathode verbraucht wird. Diese Tatsache, neben der Größe und einer Reihe weiterer Nachteile des Bauelements, machen die Elektronenröhre für den Aufbau moderner Schaltungen, für die eine Menge in der Größenordnung von einigen Milliarden Schaltern erforderlich ist (z.B. CPU), unpraktikabel.

2.3 Bipolartransistor als Schalter

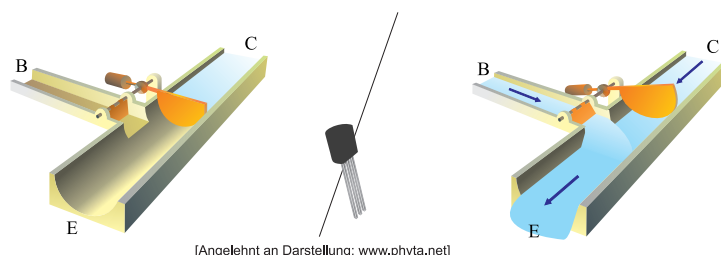


Abbildung 4: Schleusenmodell als Analogie zum Bipolartransistor

Der Bipolartransistor, erstmals vorgestellt 1947, ist ein Halbleiterbauelement. Analog zum Schleusenmodell in Abbildung 4, kann in Abhängigkeit von einem geringen Steuerstrom durch *Basis* (B) und *Emitter* (E) der Transistor zwischen *Kollektor* (C) und *Emitter* entweder leiten oder sperren. Die ersten Transistoren waren vergleichsweise langsam und konnten auch größentechnisch noch keinen wirklichen Vorteil gegenüber der Elektronenröhre zeigen. Der erste Transistorcomputer (1953) bestand aus 700-800 Transistoren bei einem Leistungsverbrauch von über 100 Watt.

Die so genannte Transistor-Transistor-Logik (TTL) basiert auf diesen Transistoren und findet auch heute noch weitläufige Verwendung. Dabei machen vor Allem geringe Schaltzeiten diese Technik besonders attraktiv. Elementarer Nachteil der TTL und auch des Bipolartransistors selbst ist allerdings der hohe statische Stromverbrauch der Schaltung. Ein eingeschalteter Bipolartransistor verbraucht in diesem Zustand permanent den Steuerstrom durch Basis und Emitter. Dies führt nicht zuletzt zu entsprechend starker Wärmeentwicklung. Als Folge können komplexe integrierte Schaltungen, wie beispielsweise eine CPU, nur schwerlich oder überhaupt nicht auf Basis dieser Technologie realisiert werden. Die zahlreichen, dicht gepackten Transistoren würde zusammen mehr Hitze erzeugen als man abführen könnte - und sich schließlich selbst zerstören. Folglich werden Bipolartransistoren in der Digitaltechnik häufig für schlanke Schaltungen eingesetzt, die auf sehr hohen Taktraten betrieben werden müssen.

2.4 MOSFET als Schalter

In diesem Versuch werden die gesteuerten Schalter durch n- und p-Kanal Metall-Oxid-Halbleiter-Feldeffekttransistoren (MOSFETs) realisiert.

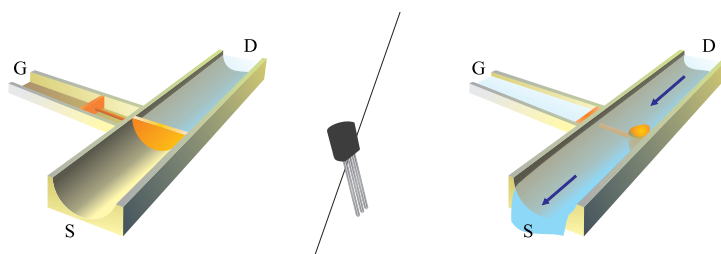


Abbildung 5: Schleusenmodell als Analogie zum n-Kanal MOSFET

Erfunden wurde der Feldeffekttransistor von *Julius Edgar Lilienfeld* im Jahre 1925, also bereits vor dem Bipolartransistor. Allerdings konnte der MOSFET erst ab 1960 praktikabel hergestellt werden. Abbildung 5 zeigt das Schleusenmodell des n-Kanal MOSFET.

Anders als beim Bipolartransistor ist dabei kein eingangsseitiger Stromfluss mehr nötig. Allein durch die Spannung am *Gate* wird der Stromfluss am Ausgang eingestellt - analog zum Wasserdruck in der Abbildung, durch den die elastische Sperre komprimiert wird. Der FET kann also vereinfacht als ein von der Gatespannung als Steuergröße abhängender Widerstand betrachtet werden; entsprechend einem nichtidealen Schalter, der für $U_{GS} > U_T$ ein- und für $U_{GS} < U_T$ ausgeschaltet ist. U_T ist dabei die so genannte Schwellspannung (*Threshold Voltage*). Dies ist die Spannung, ab der der FET zu leiten beginnt.

Beim nMOS führt eine hohe Spannung zwischen *Gate* und *Source* zu einem geringen Ausgangswiderstand, bei niedrigen Eingangsspannungen bleibt der Transistor hingegen gesperrt. Wichtig dabei ist, dass *Source* auf einem niedrigeren Potential liegt als *Drain* - zum Beispiel auf GND.

Der pMOS verhält sich komplementär zum nMOS. Hier ist es erforderlich, dass *Source* auf höherem Potential liegt als *Drain*, beispielsweise auf U_{DD} . Ein hohes Potential am *Gate* des pMOS erzeugt somit keine Ausgangsänderung ($U_{GS} \approx 0V$), der Transistor bleibt gesperrt. Niedriges Potential hingegen sorgt für eine entsprechende Potentialdifferenz zwischen *Gate* und *Source* - ist diese größer als die Schwellspannung, wird der pMOS ausgangsseitig leitend.

Der Vorteil gegenüber dem Bipolartransistor ist dabei die genannte Abhängigkeit des Schaltzustandes von einer *Gatespannung* - es muss kein statischer Strom während eines Schaltzustandes fließen. Lediglich beim Umladen des Gates (also beim Wechsel des Schaltzustandes) wird Leistung verbraucht. Auf Basis des MOSFET wird es damit möglich, sparsame und doch komplexe Schaltungen, bis hin zu Prozessoren, bestehend aus Milliarden Transistoren, zu realisieren.

2.4.1 nMOS-Inverter mit Widerstand

Baut man eine Schaltung gemäß Abbildung 1 aus einem n-Kanal MOSFET auf, ergibt sich ein nMOS-Inverter (Abbildung 6).

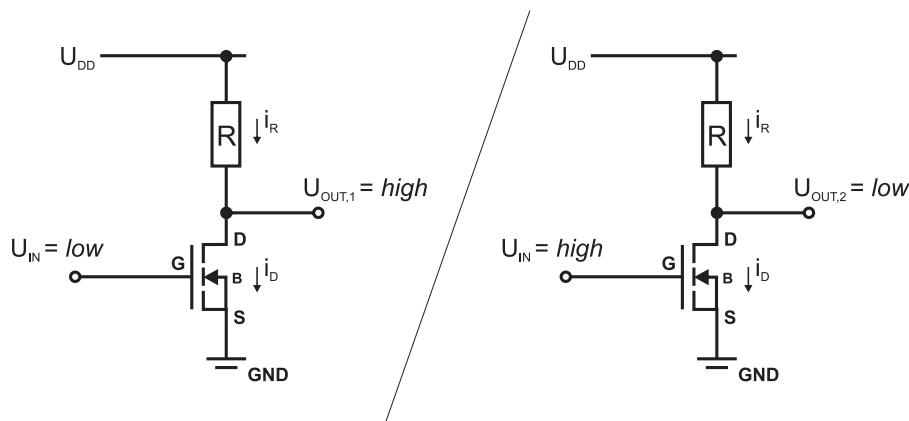


Abbildung 6: Inverter aus einem n-Kanal MOSFET mit Pull-Up-Widerstand

Liegt niedriges Potential $< U_T$ zwischen *Gate* und *Source* (U_{IN}) des Transistors an, ist dessen ausgangsseitiger Widerstand zwischen *Drain* und *Source* sehr groß - der Schalter ist offen und $U_{OUT,1}$ liegt gemäß (1) näherungsweise auf dem hohen Potential U_{DD} . Erhöht man andererseits die Gatespannung U_{IN} über die Schwellspannung hinaus, sinkt der Ausgangswiderstand des Transistors exponentiell ab. Das verbleibende Potential $U_{OUT,2}$ am Schaltungsausgang ist nun allerdings nicht Null wie beim mechanischen Schalter. Auch

im vollständig eingeschalteten Zustand verbleibt zwischen Drain und Source ein Restwiderstand von beispielsweise 2 bis 4 Ohm. Gemäß dem Spannungsteiler aus Widerstand R und dem Restwiderstand des Transistors verbleibt somit ein „Restpotential“. Ist der Widerstand R zu klein dimensioniert, kann es passieren, dass sich die minimal mögliche Ausgangsspannung U_{DS} oberhalb der Schwellspannung U_T befindet. Das wird zum Problem, wenn das Ausgangssignal der Schaltung als Eingangssignal einer weiteren Schaltung verwendet werden soll - der nachfolgende Transistor ist dann nicht vollständig ausgeschaltet. Die minimale Ausgangsspannung steigt dadurch mit jedem Glied der Kette, bis zu einem Punkt, an dem ein sinnvoller Betrieb (eindeutig erkennbare Schaltzustände) nicht mehr gewährleistet ist. Der Widerstand muss demnach so groß gewählt werden, dass die minimale Ausgangsspannung noch unterhalb U_T liegt.

Ein hoher Widerstand R ist außerdem sinnvoll, um den statischen Stromverbrauch der Schaltung im Fall des leitenden Transistors zu verringern. In diesem Betriebszustand liegt die Versorgungsspannung über den Widerstand R und den des Transistors direkt an GND ; es fließt Strom. Reduziert man diesen Strom durch Verwendung eines größeren Widerstands, wird die Schaltung demnach Verlustärmer. Verwendet man dann allerdings den Ausgang zum Treiben weiterer Logikstufen (oder einer beliebigen anderen Last), fließt im Fall des ausgeschalteten Transistors ebenfalls nur ein geringer Strom über R - die Ladezeit von Kapazitäten wie z.B. die Gatekapazität eines nachfolgenden Transistors steigt. Die Schaltung wird langsamer. Es muss somit ein Kompromiss aus Leistungsverlust und Schaltgeschwindigkeit gefunden werden.

2.4.2 Complementary MOS (CMOS)

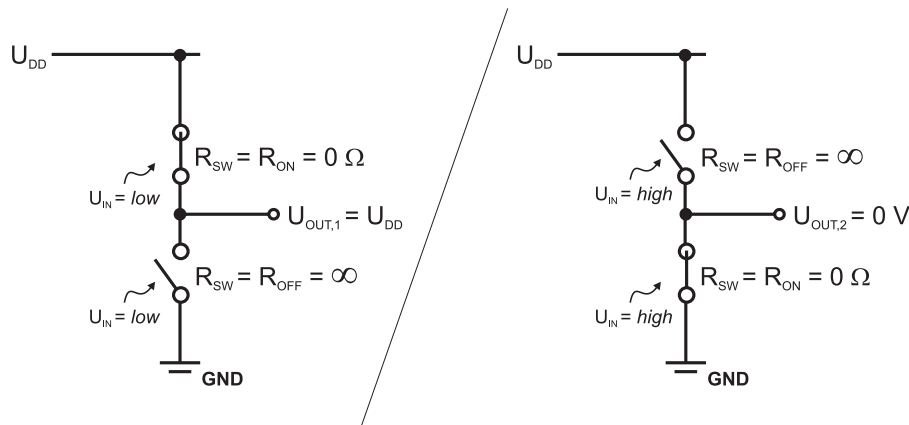


Abbildung 7: Inverter, aufgebaut aus Wechselschaltern

Aufgrund der Dimensionierungsproblematik des Widerstands R wäre das Konzept eines Wechselschalters wünschenswert (Abbildung 7). Wird *Schalter 1* leitend, soll gleichzeitig *Schalter 2* sperren - und umgekehrt. Die Ausgangsverbindung wechselt also *direkt* zwischen U_{DD} und GND . Dabei fließt im Idealfall kein Verluststrom mehr (außer dem Ladestrom für nachfolgende Kapazitäten, also dem dynamischen Strom). Im Folgenden wird die komplementäre Verhaltensweise von p-Kanal und n-Kanal MOSFETs verwendet, um ein solches Verhalten zu erzeugen.

Ein p-Kanal MOSFET wird genau dann leitend, wenn der n-Kanal MOSFET sperrt. Es ergibt sich eine Schaltung gemäß Abbildung 8. Beachten Sie die verdrehten Pins *Drain* und *Source* beim p-Kanal MOSFET. Konträr zu seinem Gegenstück wird an *Source* jetzt

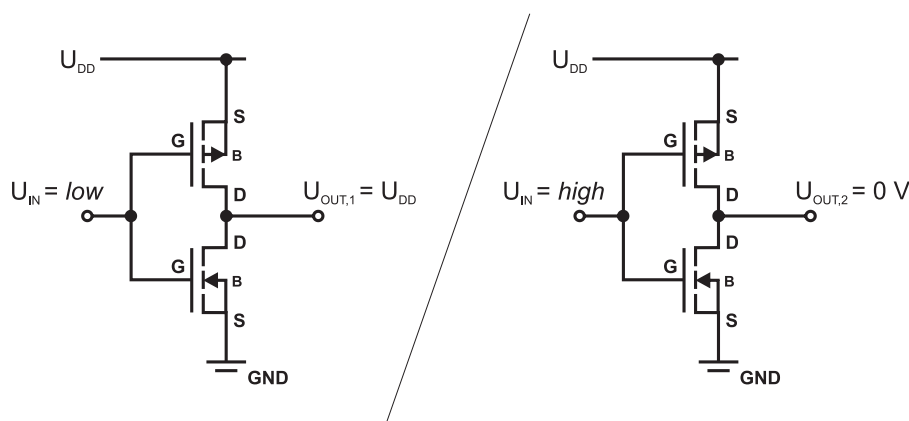


Abbildung 8: CMOS-Inverter

ein höheres Potential als an *Drain* benötigt. Erinnern Sie sich an dieser Stelle an die Vorlesung *Digitale Schaltungen*. Im Kapitel zur Gatterrealisierung haben Sie gelernt, dass der Ladungstransport im **n**-Kanal MOSFET durch **n**egative Elektronen und im **p**-Kanal MOSFET durch **p**ositiv geladene Löcher stattfindet. Diese Ladungsträger müssen dem Transistor von außen zugeführt werden, bevor Sie das Bauteil überhaupt durchfließen können. Betrachtet man nun die Namensgebung der Pins Source („*Quelle*“) und Drain („*Abfluss*“) und bedenkt, an welcher Stelle der Versorgungsspannung sich die Quelle negativer Ladungsträger befindet, nämlich am negativen Pin „GND“, und wo die positiven Ladungsträger entstammen, am positiven Pin U_{DD} , kann man sich diesen Sachverhalt gut merken.

Obgleich die genannten Transistoren alles andere als ideale Bauteile sind, erweist sich diese Technik als höchst Verlustarm. Erfunden wurde dieses Verfahren bereits 1963 von Frank Wanlass bei Fairchild Semiconductor. Zur damaligen Zeit konnte mit dieser Technologie, verglichen mit Techniken basierend auf Bipolartransistoren, eine 1Mio-fache Stromersparnis erreicht werden!

Durch die vorgestellte CMOS-Logik ergeben sich zwei Vorteile. Zum einen steht durch die Wechselschaltung am Schaltungsausgang der volle Eingangsbereich von 0V bis U_{DD} zur Verfügung. Weiterhin fließt nur noch zu vernachlässigender statischer Verluststrom durch die Schaltung. Leistung wird nun zu etwa 99 Prozent nur noch im dynamischen Betrieb verbraucht.

3 Digitale Grundsaltungen

Die in der Digitaltechnik verwendete Mathematik ist die *boolesche Algebra*. Die verwendeten logischen Operatoren sind das UND ($a \cdot b$), das ODER ($a + b$) und das NICHT (\bar{a}). Das Ergebnis einer solchen Operation ist dabei stets wahr oder falsch (1/0). Ist beispielsweise der Wert von $a = 1$ und der Wert von $b = 1$ resultiert aus der Operation $a \cdot b$ als Ergebnis ebenfalls eine 1, denn die Behauptung „ a und b beide aktiv“ ist wahr. Auf Basis dieser Vorgehensweise und den genannten Operatoren lassen sich beliebige Schaltnetze beschreiben und vereinfachen.

In der Praxis sind die Operatoren UND / ODER allerdings nur umständlich zu realisieren. In CMOS-Logik lassen sich nur invertierende Funktionen implementieren. Der Operator UND müsste somit zunächst invertiert erzeugt und anschließend durch eine Inverterschaltung konvertiert werden. Demzufolge ist es sinnvoll, die Basisoperatoren durch komplementäre Funktionen zu ersetzen. Wie von Henry M. Sheffer und Charles S. Peirce bewiesen, lassen sich Schaltfunktionen sogar ausschließlich aus entweder nur NAND-Funktionen (das invertierte UND) oder nur NOR-Funktionen (das invertierte ODER) aufbauen. Beide Funktionen, sowie die Inverterschaltung werden somit standardmäßig in der Digitaltechnik eingesetzt.

3.1 Der CMOS-Inverter

Der Inverter nach Abbildung 8 ist eine logische Schaltung, die ein anliegendes Eingangssignal U_{IN} invertiert am Ausgang U_{OUT} anzeigt. Es handelt sich um die einfachste digitale Grundsaltung.

3.2 Das CMOS-NAND

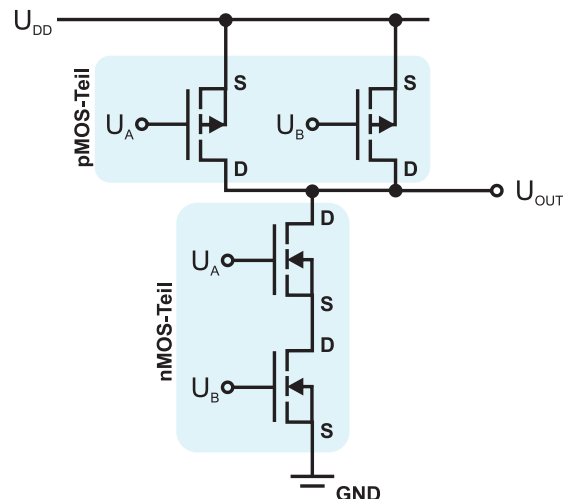


Abbildung 9: CMOS-NAND

Abbildung 9 zeigt die CMOS-Realisierung der NAND-Funktion, hier mit zwei Eingängen U_A und U_B . Beachten Sie, dass sich die beiden Schaltungsteile, der n-Teil und der p-Teil, komplementär verhalten. Daraus folgt direkt, dass sich beispielsweise der p-MOS-Teil aufbauen lässt, indem parallele Strukturen des n-MOS-Teils durch serielle ersetzt werden - und umgekehrt. So sind beim n-Teil des NAND U_A und U_B in Serie verschaltet, beim p-Teil hingegen parallel.

Es ergeben sich vier mögliche Eingangskombinationen, abgebildet in Tabelle 1. Sind bei-

Tabelle 1: Wahrheitstabelle eines NAND

U_A	U_B	U_{OUT}
low	low	high
low	high	high
high	low	high
high	high	low

de Eingangspotentiale niedrig, befinden sich beide n-Kanal MOSFETs im Sperrbetrieb - U_{OUT} hat keine Verbindung zu GND . Es besteht allerdings eine Verbindung zur Versorgungsspannung über beide p-Kanal MOSFETs, da sich diese bei niedrigem Potential im leitenden Zustand befinden. Für den Fall, dass nun eines der Eingangssignale auf hohem Potential liegt, ist die Verbindung zu GND nach wie vor gesperrt, da die Transistoren des nMOS-Teils in Reihe angeordnet sind. Der Kontakt zu U_{DD} besteht allerdings noch - nur einer der beiden parallelen p-Kanal Transistoren ist im Sperrbetrieb. Eine Ausgangsverbindung zu GND wird erst hergestellt, wenn beide nMOS-Transistoren leitend geschaltet sind, was nur für $U_A = U_B = high$ erfüllt ist. Gleichzeitig sperren beide pMOS-Transistoren und trennen den Ausgang vom Versorgungspotential.

4 Vorbereitende Aufgaben

Die folgenden Aufgaben müssen noch *vor* dem Praktikumstermin bearbeitet werden.

4.1 Datenblätter der Transistoren

Besorgen Sie sich die Datenblätter zu den verwendeten zwei MOSFETs aus dem Internet:

FAIRCHILD BS270 (n-Kanal MOSFET) ZVP2106A (p-Kanal MOSFET)

Suchen und notieren Sie sich die folgenden Werte für *beide* Bauteile:

- Maximal zulässige dauerhafte Ausgangsspannung des Transistors
- Maximal zulässige dauerhafte Eingangsspannung des Transistors
- Maximal zulässiger dauerhafter Ausgangsstrom
- Schwellspannung (Threshold Voltage)

4.2 Maximale Schaltfrequenz eines Schalters

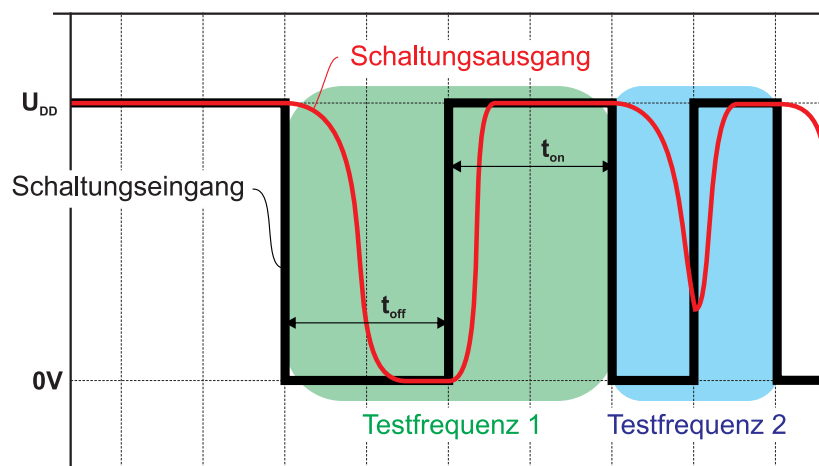


Abbildung 10: Dynamik einer beispielhaften Schaltung

Gegeben sei ein steuerbarer Schalter in einer nicht-invertierenden Schaltung. Der Ausgang der Schaltung folgt seinem Eingangssignal verzögert, wie in Abbildung 10 dargestellt. Je nachdem, ob das Eingangssignal eine steigende oder fallende Flanke aufweist, benötigt der Schaltvorgang entweder die Zeit t_{rise} oder t_{fall} . Wonach richtet sich die maximal mögliche Taktfrequenz f_{max} , mit der Sie diese Schaltung noch betreiben können? Gehen Sie beim Takt von einer gleichmäßigen Verteilung von on/off - Zeiten aus ($t_{on} = t_{off}$). Wie groß ist f_{max} ?

4.3 CMOS-NOR

Zeichnen Sie eine CMOS-NOR - Schaltung mit zwei Eingängen U_A und U_B und einem Ausgang U_{OUT} analog zu Abbildung 9. Erstellen Sie die Wahrheitstabelle des NOR.

5 Versuchsdurchführung

Führen Sie die folgenden Experimente gemäß Vorgaben durch und stellen Sie Ihre Ergebnisse in einem sauber angefertigten Protokoll dar.

Für diesen Versuch werden die folgenden Bauteile benötigt:

- 1x 12V-Relais
- 2x n-Kanal MOSFET „BS 270“
- 2x p-Kanal MOSFET „ZVP 2106A“
- 1x 1k Ω Widerstand
- 1x 100 Ω Widerstand

Bitte suchen Sie zunächst alle gelisteten Komponenten.

5.1 Relais-Inverter mit Widerstand

Im ersten Teil des Versuchs soll das 12V-Relais untersucht werden. Achten Sie beim Anschließen der Eingangsspannung an die Spule des Relais immer auf die richtige Polarität. Diese ist zwar prinzipiell bei einem Relais irrelevant, allerdings wurde hier eine Diode parallel zur Spule verlötet um induktionsbedingte Spannungsspitzen bei den Schaltvorgängen kurzzuschließen. Um nun nicht die Eingangsspannung selbst kurzzuschließen, muss unbedingt auf entsprechende Polarität geachtet werden.

5.1.1 Stromverbrauch des Relais

Das Relais wird zunächst mit konstanter Versorgungsspannung betrieben, dabei soll der Stromverbrauch gemessen werden.

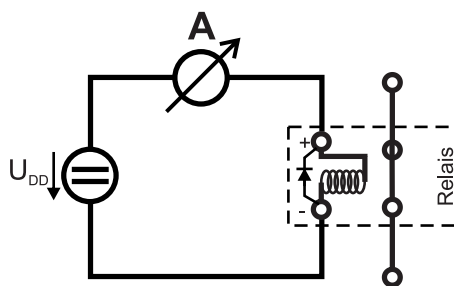


Abbildung 11: Aufbau: Relais mit konstanter Versorgung

1. Arbeiten Sie mit der konstanten Gleichspannung $U_{DD} = +10V$. Begrenzen Sie den Strom auf 100 mA.
2. Bauen Sie die Schaltung aus Abbildung 11 bestehend aus dem Relais und dem Multimeter zur Strommessung auf.
3. Wie viel Strom fließt durch die Spule des Relais?

5.1.2 Dynamik des Relais

Um die Tauglichkeit des Relais als Schalter für die Digitaltechnik zu untersuchen, wird im Folgenden ein Inverter nach Abbildung 12 aufgebaut. Das dynamische Verhalten des Bauelements soll unter Verwendung eines Testsignals untersucht werden.

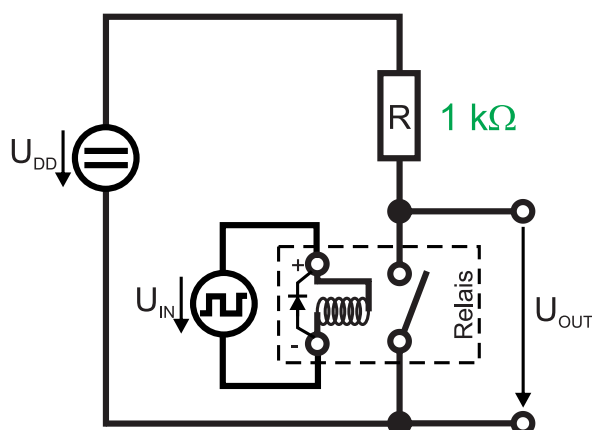


Abbildung 12: Aufbau: Relais mit Pull-Up-Widerstand

1. Verwenden Sie eine Gleichspannung von +10 V als Versorgung U_{DD} . Begrenzen Sie den Strom auf 100 mA.
2. Zur Generierung des Testsignals U_{IN} soll der externe Funktionsgenerator verwendet werden. Erzeugen Sie ein Rechtecksignal mit den Potentialgrenzen 0 V und +10 V bei einer Frequenz von 10 Hz. Messen Sie mit dem Oszilloskop auf *Kanal 1* zunächst das Testsignal und prüfen Sie dessen Richtigkeit. Schließen Sie das Relais zu diesem Zeitpunkt noch nicht an und stellen Sie vor Allem sicher, dass das untere Limit von 0 V nicht unterschritten wird.
3. Bauen Sie die Inverterschaltung aus Abbildung 12 auf. Verwenden Sie den 1 kOhm Widerstand als Pull-Up.
4. Messen Sie mit dem Oszilloskop auf *Kanal 2* den Schaltungsausgang U_{OUT} . Untersuchen Sie die Reaktionszeit des Relais (nicht die Anstiegs- & Abfallzeit!). Fügen Sie entsprechende Screenshots vom Oszilloskop in Ihr Protokoll mit ein.
 - Wie lange dauert es, bis ausgangsseitig stabil +10 V anliegen, wenn der Schaltungseingang auf niedriges Potential gefallen ist?
 - Wie lange dauert es, bis ausgangsseitig stabil 0 V anliegen, wenn der Schaltungseingang auf hohes Potential gestiegen ist?
 - Ermitteln Sie, basierend auf diesen Messungen, die zu erwartende maximale Frequenz mit der das Relais gerade noch arbeiten kann.
 - Verifizieren Sie den berechneten Wert in der Praxis. Bei welcher Frequenz kann das Relais gerade noch arbeiten?

5.2 nMOS-Inverter mit Widerstand

Es wird nun an Stelle des elektromechanischen Bauelements der rein elektrisch arbeitende Transistor verwendet. Dabei soll die theoretisch besprochene Problematik der Widerstandsdimensionierung anhand eines Inverters praktisch verdeutlicht werden. Der Inverter wird dabei auf Stromverbrauch, Ausgangsspanne und Schaltgeschwindigkeit untersucht.

5.2.1 Stromverbrauch und Ausgangsspanne des nMOS-Inverters

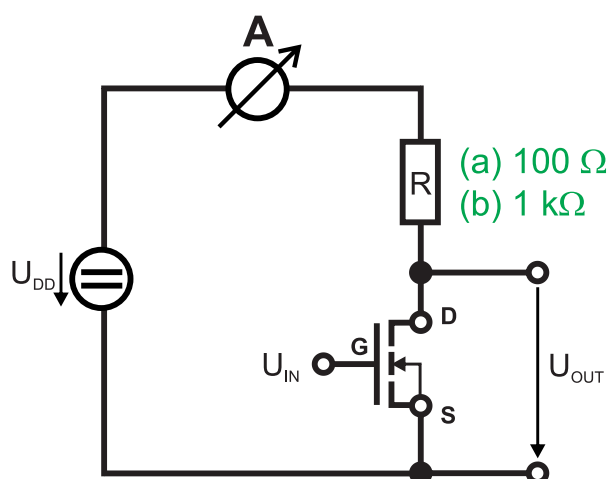


Abbildung 13: Aufbau: nMOS-Inverter mit Widerstand, konstante Eingangsspannung

1. Verwenden Sie jetzt eine Gleichspannung von +5 V als Versorgungsspannung U_{DD} . Stellen Sie die Spannung mit Hilfe eines Multimeters möglichst genau ein. Entfernen Sie danach das Multimeter wieder. Begrenzen Sie den Strom auf 100 mA.
2. Bauen Sie die Schaltung aus Abbildung 13 mit einem n-Kanal MOSFET auf. Verwenden Sie zunächst 100 Ohm als Pull-Up.
3. Legen Sie den Schaltungseingang U_{IN} auf das feste Potential GND . **Messen Sie die Ausgangsspannung U_{OUT} in diesem Zustand. Messen Sie außerdem den Strom, der dabei verbraucht wird.**
4. Verbinden Sie U_{IN} nun mit der Versorgungsspannung. **Messen Sie erneut die Ausgangsspannung U_{OUT} und den Stromverbrauch des Inverters.**
5. Tauschen Sie den Widerstand R aus. Verwenden Sie jetzt den 1 kOhm - Widerstand und **wiederholen Sie die Messungen aus den vorigen beiden Schritten. Beachten Sie, welche Werte sich ändern.**

U_{IN}	U_{OUT}	i_{ges}
GND		
U_{DD}		

Messungen für R=100Ω

U_{IN}	U_{OUT}	i_{ges}
GND		
U_{DD}		

Messungen für R=1kΩ

5.2.2 Dynamik des nMOS-Inverters

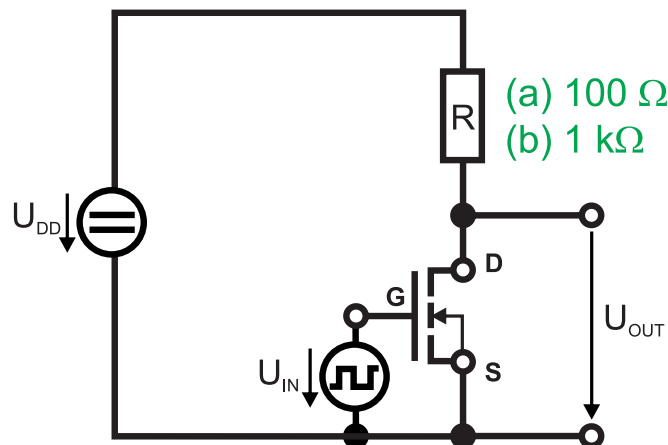


Abbildung 14: Aufbau: nMOS-Inverter mit Widerstand, Dynamikuntersuchung

1. Arbeiten Sie weiterhin mit der Gleichspannung von +5 V als Versorgungsspannung U_{DD} . Begrenzen Sie den Strom auf 100 mA.
2. Zur Generierung des Testsignals U_{IN} soll ab jetzt der interne Frequenzgenerator des Oszilloskops verwendet werden. Erzeugen Sie ein Rechtecksignal mit den Potentialgrenzen 0 V und +5 V bei einer Frequenz von 1 MHz. Messen Sie mit dem Oszilloskop auf *Kanal 1* zunächst das Testsignal und prüfen Sie dessen Richtigkeit. Schließen Sie das Eingangssignal an wie in Abbildung 14 dargestellt, verwenden Sie hierfür ein BNC-Kabel.
3. Untersuchen Sie die Schaltung aus Abbildung 14. Verwenden Sie zunächst 100 Ohm als Pull-Up. Entfernen Sie unbedingt das Amperemeter vom vorigen Versuch aus der Schaltung, dieses würde die nachfolgenden Untersuchungen verfälschen.

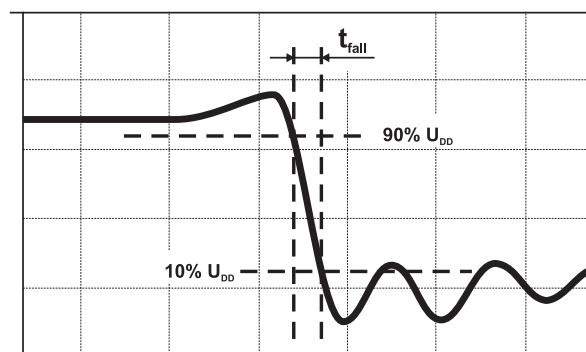


Abbildung 15: Messung der Schaltzeiten

4. Messen Sie mit dem Oszilloskop auf *Kanal 2* über ein weiteres BNC-Kabel den Schaltungsausgang U_{OUT} . Untersuchen Sie die Anstiegs- & Abfallzeit der Schaltung. Führen Sie die Messungen durch wie in Abbildung 15 gezeigt. Messen Sie die Zeit für das Fallen oder Steigen des Ausgangssignals zwischen 10% und 90% der Versorgungsspannung. Verwenden Sie die Cursor-Funktion des Oszilloskops manuell, da die automatische Messung der Anstiegs- & Abfallzeit durch das hohe Schwingungsverhalten der Schaltung meist überfordert ist.

- Wie lange dauert es, ausgehend von 10% U_{DD} , bis ausgangsseitig erstmals 90% U_{DD} anliegen (Anstiegszeit, t_{rise})?
 - Wie lange dauert es, ausgehend von 90% U_{DD} , bis ausgangsseitig erstmals 10% U_{DD} anliegt (Abfallzeit, t_{fall})?
 - Bestimmen Sie die theoretische Maximalfrequenz mit der die Schaltung, basierend auf den Messungen, gerade noch funktionieren kann.
5. Tauschen Sie den Widerstand R aus. Verwenden Sie nun 1 k Ω . Messen Sie erneut die Schaltzeiten.

R	t_{rise}	t_{fall}	f_{max}
100 Ω			
1k Ω			

6. Nennen Sie Vor- & Nachteil(e) eines großen Pull-Up-Widerstands.

5.3 CMOS Grundsaltungen

Im letzten Teil des Versuchs soll ein CMOS-Inverter untersucht und ein CMOS-NOR aufgebaut werden.

5.3.1 CMOS-Inverter

Um die CMOS-Logik mit den vorher untersuchten Technologien vergleichen zu können, wird auch in diesem Versuch zunächst ein Inverter aufgebaut. Dabei wird der Pull-Up-Widerstand ganz einfach durch einen p-Kanal MOSFET ersetzt.

5.3.2 Stromverbrauch und Ausgangsspanne des CMOS-Inverters

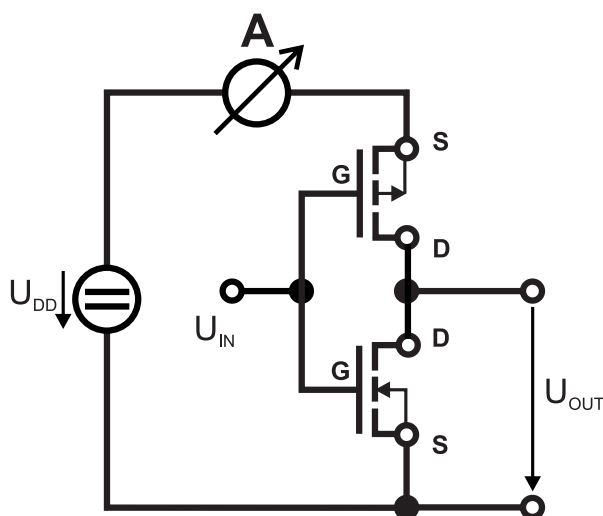


Abbildung 16: Aufbau: CMOS-Inverter, konstante Eingangsspannung

1. Verwenden Sie +5 V als Versorgung U_{DD} mit Strombegrenzung auf 100 mA.
2. Bauen Sie die Schaltung aus Abbildung 16 mit einem n-Kanal MOSFET und einem p-Kanal MOSFET auf.
3. Legen Sie den Schaltungseingang U_{IN} auf festes Potential GND . **Messen Sie die Ausgangsspannung U_{OUT} . Messen Sie den Strom, den der Inverter verbraucht.**
4. Verbinden Sie U_{IN} mit der Versorgungsspannung. **Messen Sie erneut Ausgangsspannung U_{OUT} und Stromverbrauch des Inverters.**

U_{IN}	U_{OUT}	i_{ges}
GND		
U_{DD}		

5. Vergleichen Sie die Ergebnisse mit denen des nMOS-Inverters.

5.3.3 Dynamik des CMOS-Inverters

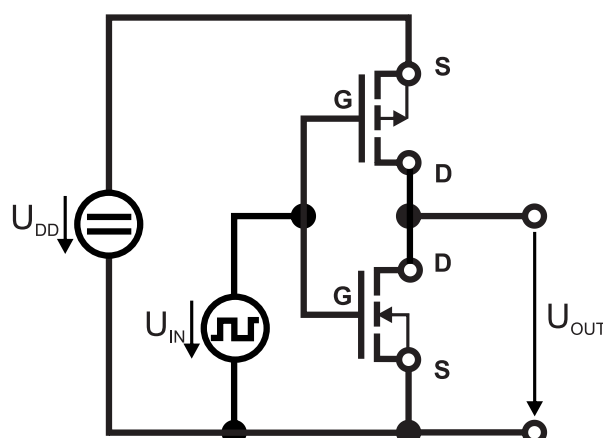


Abbildung 17: Aufbau: CMOS-Inverter, Dynamikuntersuchung

1. Verwenden Sie weiter +5 V für U_{DD} . Begrenzen Sie den Strom auf 100 mA.
2. Das Testsignal U_{IN} soll erzeugt werden, wie im Versuch mit dem nMOS-Inverter. Generieren Sie ein Rechtecksignal mit Potentialgrenzen 0 V und +5 V bei einer Frequenz von 1 MHz.
3. Untersuchen Sie die Schaltung aus Abbildung 17 (entfernen Sie das Amperemeter).
4. Messen Sie mit dem Oszilloskop auf *Kanal 2* den Schaltungsausgang U_{OUT} . Untersuchen Sie abermals die Dynamik. Führen Sie die Messung durch wie beim nMOS-Inverter.

- Messen Sie die Anstiegszeit t_{rise} .

- Messen Sie die Abfallzeit t_{fall} .
- Bestimmen Sie die theoretische Maximalfrequenz mit der die Schaltung, basierend auf den Messungen, gerade noch funktionieren kann.

5. Welche Bauweise für einen Inverter würden Sie vorziehen? Vergleichen Sie die untersuchten Varianten und begründen Sie Ihre Wahl.

5.3.4 CMOS-NOR

1. Verwenden Sie eine Gleichspannung von +5V als Versorgungsspannung U_{DD} . Begrenzen Sie den Strom auf 100 mA.
2. Bauen Sie das CMOS-NOR entsprechend Ihrer Vorbereitung auf.
3. Verifizieren Sie die Wahrheitstabelle, indem Sie die Eingänge U_A und U_B entsprechend mit den Potentialen GND und U_{DD} belegen.

Messen Sie den Schaltungsausgang mit dem Multimeter und vergleichen Sie mit der Tabelle aus ihrer Vorbereitung.

5.4 Evaluation

Auf der Moodleseite gibt es zu jedem Versuch eine Umfrage zur Evaluation. Bitte helfen Sie die Qualität des Praktikums zu verbessern, indem Sie uns Rückmeldung geben wie Sie die Versuchsdurchführung empfunden haben!

Loggen Sie Sich beide einzeln vom Praktikumsrechner aus ein und beantworten Sie die Umfrage noch direkt nach der Versuchsdurchführung bevor Sie das Praktikum verlassen!