



ulm university universität
uulm

Grundpraktikum der Elektrotechnik

Versuch 11: George Boole - voll integriert!

Institut für Mikroelektronik
Universität Ulm



Grundpraktikum Elektrotechnik

Versuch 11: George Boole - voll integriert!

Inhaltsverzeichnis

1 Einführung	1
1.1 Boolesche Algebra	1
1.2 Logikgatter	1
1.3 Die Beschreibung von Schaltfunktionen	3
1.4 Vereinfachungen und Karnaugh-Veitch Diagramme	4
1.5 Schaltungsdefekte	5
1.6 CMOS-Logikgatter	6
1.7 DigiBoard	7
1.8 Digitale Oszilloskop-Eingänge	8
2 Vorbereitende Aufgaben	9
2.1 Vom Halbaddierer zum Volladdierer	9
2.2 Schaltungsdefekte	10
2.3 Hazards und Glitches	11
3 Anhang zu den Vorbereitenden Fragen	12
4 Versuchsdurchführung	14
4.1 Volladdierer	14
4.2 Ermittlung der Logikfunktion	14
4.3 Aufspüren eines Schaltungsdefektes	15
4.4 Doppel-XOR	15
4.5 Verwendung der digitalen Oszilloskop-Eingänge	16
4.6 Zeitverhalten der Gattersignale	17
4.7 Gegenmaßnahmen bei Glitches	17
4.8 Evaluation	18

1 Einführung

Als Jack Kilby im Jahr 1958 die erste integrierte Halbleiterschaltung vorstellte, wurde ein Konzept geboren, das innerhalb weniger Jahrzehnte zu einem zentralen Bestandteil unserer technisierten Welt geworden ist. Bestand dieser erste IC (Integrated Circuit) noch aus einem einzigen Transistor samt notwendiger Beschaltung, so ist heute eine Integrationsdichte von über 2,5 Milliarden Transistoren pro Chip erreicht.

1.1 Boolesche Algebra

Logische Schaltungen beruhen auf der seit Mitte des 19. Jahrhunderts bekannten Booleschen Algebra, die nur die Werte logisch 0 (Low-Pegel) und logisch 1 (High-Pegel) kennt, sowie deren Verknüpfungen *UND* ($a \cdot b$) und *ODER* ($a + b$) untereinander und die Negation \bar{a} . Hinzu kommen noch Klammern, um die Auswertungsreihenfolge der Ausdrücke festzulegen. Sämtliche logischen Verknüpfungen können auf diese elementaren Bestandteile zurückgeführt werden. Neben der, aus der herkömmlichen Mathematik bekannten, Ausführungsreihenfolge „Punkt vor Strich“, dem Kommutativ-, Distributiv- und Assoziativgesetz gelten in der booleschen Algebra eine Reihe von Gesetzmäßigkeiten, die bei der Umformung und Vereinfachung der Gleichungen von nutzen sind:

$$\text{Involutionsgesetz} \quad \bar{\bar{x}} = x \quad (1)$$

$$\text{Gesetze von De Morgan} \quad \begin{cases} \overline{x \cdot y} = \bar{x} + \bar{y} \\ \overline{x + y} = \bar{x} \cdot \bar{y} \end{cases} \quad (2)$$

$$\text{Idempotenzgesetz} \quad \begin{cases} x \cdot x = x \\ x + x = x \end{cases} \quad (3)$$

$$\text{Absorptionsgesetz} \quad \begin{cases} x \cdot (x + y) = x \\ x + (x \cdot y) = x \end{cases} \quad (4)$$

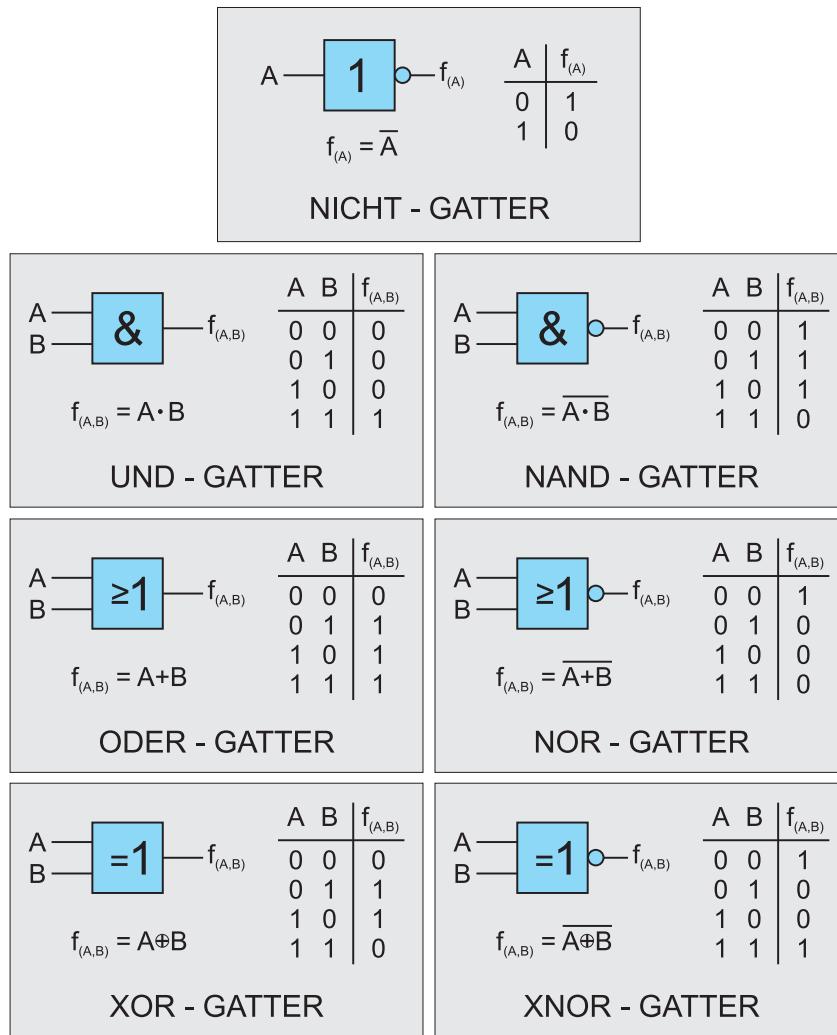
$$\text{Neutralitätsgesetz} \quad \begin{cases} 0 + x = x \\ 1 \cdot x = x \end{cases} \quad (5)$$

$$\text{Extremalgesetz} \quad \begin{cases} 1 + x = 1 \\ 0 \cdot x = 0 \end{cases} \quad (6)$$

$$\text{Komplementärgesetz} \quad \begin{cases} \bar{x} + x = 1 \\ \bar{x} \cdot x = 0 \end{cases} \quad (7)$$

1.2 Logikgatter

Neben den bereits genannten Grundfunktionen *UND*, *ODER* und *NOT* gibt es eine Reihe weiterer, häufig benötigter Operationen. Die Hardwarerealisierung einer booleschen Funktion wird Logikgatter genannt. Der Aufbau eines solchen Gatters besteht meist aus Transistoren. Im vorigen Versuch haben Sie bereits zwei Gatter selbst in CMOS-Technologie entworfen: das NOT (Inverter) und das NOR (Nicht-Oder). In diesem Versuch werden Sie die Gatter nun nicht mehr selbst implementieren, sondern bestehende Realisierungen in einer integrierten Schaltung anwenden. Abbildung 1 zeigt die Schaltsymbole, Funktionen und Wahrheitstabellen der sieben wichtigsten digitalen Gatter.

**Abbildung 1:** Die sieben wichtigsten digitalen Gatter.

Das NICHT-Gatter invertiert ein an seinem Eingang anliegendes Signal. Die einzige gültigen Werte in der booleschen Algebra bestehen aus Null und Eins. Liegt somit eine Null am Eingang an ($A = 0$), zeigt der Ausgang eine logische Eins ($f_{(A)} = 1$) und umgekehrt. Die dargestellte Wahrheitstabelle zeigt alle möglichen Einstellungen des Eingangs und den zugehörigen Wert des Ausgangs der Schaltung. Das Formelzeichen einer Invertierung ist ein Strich über dem zu invertierenden Wert. Im Falle des Inverters wird der Eingang A invertiert. Die Funktion lautet somit $f_{(A)} = \bar{A}$.

Beim UND-Gatter liegen nun zwei Eingänge vor, die verknüpft werden sollen. Auch hier zeigt die Wahrheitstabelle alle möglichen Eingangskombinationen. Durch die begrenzte Wertemenge der Digitaltechnik sind dies 2^2 Möglichkeiten. Generell gibt es die gezeigten Gatter auch mit mehr als den zwei dargestellten Eingängen. Die möglichen Kombinationen der N Eingänge belaufen sich dann auf 2^N , das Funktionsprinzip der Gatter bleibt gleich. Der Ausgang der Funktion ist bei diesem Gatter eine logische Eins, wenn Eingang A UND Eingang B eine Eins anzeigen. Das bereits vorgestellte Formelzeichen für die Funktion ist die Multiplikation (\cdot), denn $0 \cdot 0 = 0$, $0 \cdot 1 = 0$ und $1 \cdot 1 = 1$. Dies entspricht exakt dem geforderten Gatterverhalten. Neben dem UND-Gatter ist seine Inversion, das NAND (Nicht-Und) dargestellt. Im Schaltsymbol ist dies zu erkennen durch einen Kreis am Ausgang des Gatters; in der Formel anhand des schon beschriebenen Striches über

der Funktion. Aus der Wahrheitstabelle lässt sich nun erkennen, dass der Ausgang des Gatters genau dort eine Eins zeigt, wo das UND eine Null aufweist - und umgekehrt. Das ODER-Gatter zeigt an seinem Ausgang eine Eins, wenn einer der beiden Eingänge (oder beide) eine Eins zeigen. Das NOR (Nicht-ODER) Gatter verhält sich komplementär. In der Schaltfunktion wird diese Operation durch das Additionssymbol (+) dargestellt. Die Summe der Eingänge ergibt den Ausgang: $0+0=0$, $0+1=1$; nur im Fall $1+1$ muss beachtet werden, dass es als Ergebnis keine 2 geben kann, das Ergebnis wird dann als 1 angenommen, also $1+1=1$. Im Schaltsymbol ist dieser Sachverhalt mit dem Symbol \geq ausgedrückt. Ist die Summe der Eingänge größer oder gleich Eins, so soll der Ausgang eine Eins sein.

Die folgenden beiden Gatter, das XOR (Exklusives ODER) und seine Inversion, das XNOR verhalten sich ähnlich wie das ODER/NOR-Gatter. Allerdings wird der Fall, bei dem beide Eingänge auf Eins liegen, ausgeschlossen. Es handelt sich somit um ein *entweder* ODER. Das Schaltsymbol zeigt nun kein ≥ 1 , sondern ein $= 1$ und das Additionssymbol in der Formelschreibweise wird in einem Kreis dargestellt.

1.3 Die Beschreibung von Schaltfunktionen

Um beliebige Schaltfunktionen in standardisierter, algebraischer Form zu beschreiben, werden Wahrheitstabellen und Normalformen verwendet. Das Vorgehen wird im Folgenden anhand einer beispielhaften Funktion $f_{(A,B,C)}$ demonstriert. Die Schaltung soll dafür sorgen, dass der Motor eines Kraftfahrzeugs mit Automatikgetriebe nur startet, wenn die Zündung (A) betätigt wurde und gleichzeitig die Automatik auf „P“ gestellt (B) oder die Bremse gedrückt ist (C). Diese Schaltfunktion beinhaltet 3 Eingänge. Eine logische Schaltung mit N Eingängen kennt 2^N mögliche Eingangskombinationen. In der Wahrheitstabelle ist der Zustand eines jeden Ausgangs für jede Eingangskombination festzuhalten. Tabelle 1 zeigt die Wahrheitstabelle für die Motorsteuerung. Auf der linken Seite sind alle 8 möglichen Eingangskombinationen gelistet; rechts der entsprechende Ausgangswert der Schaltung (1 = Motor startet).

A	B	C	$f_{(A,B,C)}$
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	0
1	0	0	0
1	0	1	1
1	1	0	1
1	1	1	1

Tabelle 1: Wahrheitstabellen für Motorsteuerung

Um die Schaltung vor einem eventuellen Hardwareaufbau vereinfachen zu können, ist die algebraische Ansicht in Form der sogenannten kanonischen disjunktiven Normalform (KDNF) sinnvoll. Dabei werden alle Eingangskombinationen, die eine logische „1“ am Ausgang zur Folge haben (diese nennt man Minterme) miteinander konjugiert:

$$f_{(A,B,C)} = A \cdot \overline{B} \cdot C + A \cdot B \cdot \overline{C} + A \cdot B \cdot C$$

1.4 Vereinfachungen und Karnaugh-Veitch Diagramme

Mit Hilfe der aus der Wahrheitstabelle ermittelten Normalform lassen sich logische Schaltungen durch die Gesetze aus Abschnitt 1.1 zum Teil deutlich vereinfachen. Zum einen erfordert die Vereinfachung von Booleschen Termen jedoch Übung, zum anderen kann ab einer gewissen Komplexität der Schaltung leicht der Überblick verloren gehen. Um optimale Funktion trotzdem berechnen zu können, bietet sich das Hilfsmittel *Karnaugh-Veitch* (KV) *Diagramm* an. Abbildung 2 zeigt den generellen Aufbau eines KV-Diagramms für eine Schaltung mit zwei, drei und vier Eingängen.

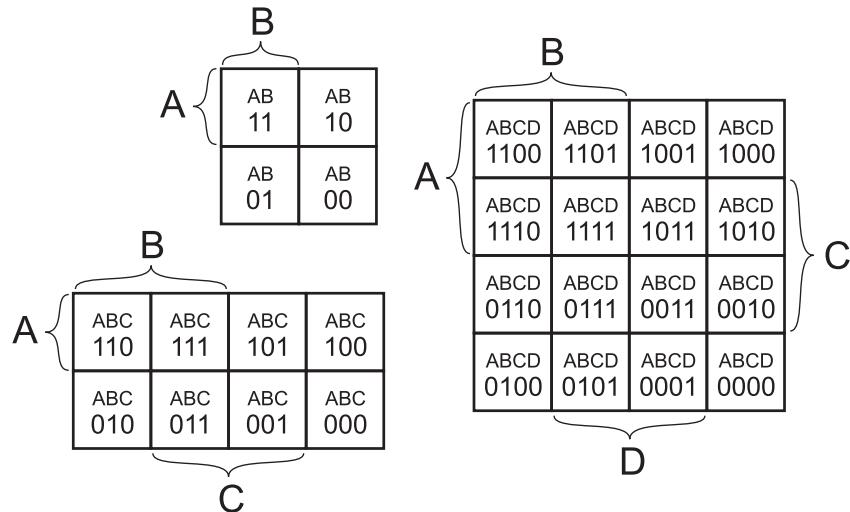


Abbildung 2: Aufbau des KV-Diagramms. Die Buchstaben- und Zahlencodes verdeutlichen welche Kombination an der entsprechenden Stelle eingetragen werden muss.

Das KV-Diagramm ist eine Art Matrix, die für jede Eingangsbelegung ein Feld vor sieht. Die einzelnen Eingänge sind am Rand so angeordnet, dass jede Kombination genau einmal vorkommt. Durch Zusammenfassen benachbarter Einsen können die Einzelterme deutlich vereinfacht werden. Je größere Gruppen man bildet, desto einfacher wird der Term. Hierbei ist es auch sinnvoll 1er mehrfach zu verwenden. Die Gruppen sollten so groß wie möglich gehalten werden. Dabei müssen diese rechteckig sein und ihre Größe muss einer Zweierpotenz entsprechen. Das Diagramm in Abbildung 3 zeigt das aus gefüllte KV-Diagramm für das Schaltungsbeispiel und demonstriert das Vorgehen beim Vereinfachen.

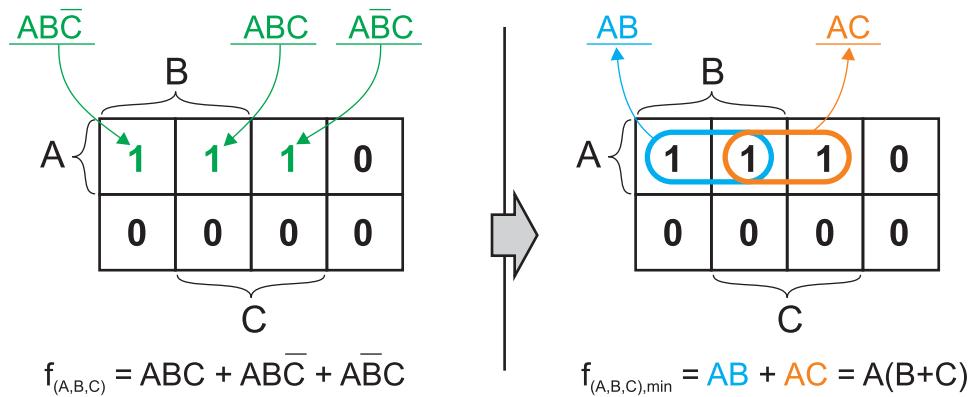


Abbildung 3: Beispielhafte Vereinfachung mit KV-Diagramm

Abbildung 4 zeigt einen wichtigen Sonderfall bei 3- & 4-stelligen KV-Diagrammen. Beim 3-stelligen Diagramm lassen sich 1er auch über den linken und rechten Rand und beim 4-stelligen Diagramm zusätzlich noch über den oberen und unteren Rand hinweg zusammenfassen:

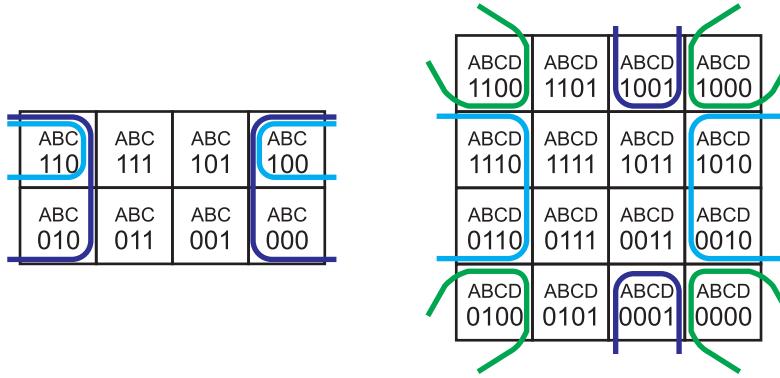


Abbildung 4: Beispiele für randübergreifende Zusammenfassungen

1.5 Schaltungsdefekte

Da es bei der Herstellung von integrierten Schaltungen durchaus zu Fehlern kommen kann, ist ein anschließender Funktionstest unumgänglich. Ein Fehlermodell, welches viele physikalische Defekte abdeckt, ist das Stuck-at-0/1-Modell. Kurzschlüsse bzw. offene Pfade an verschiedenen Stellen können dazu führen, dass entweder ein Ein- oder Ausgang eines Gatters auf konstantem Potenzial liegt, unabhängig von der Eingangsbeschaltung. Hierbei ist zu beachten, dass nur Einzelfehler innerhalb eines Pfades durch die Schaltung erkannt werden können.

Testvektoren sind spezielle Eingangskombinationen, die es erlauben, einzelne Schaltungsdefekte (Stuck-at-0/1) zu lokalisieren. Gerade bei komplexeren Schaltungen kann es sehr viele verschiedene Eingangskombinationen geben ($2^{\# \text{Eingänge}}$), jedoch können einige wenige Testvektoren genügen, um die korrekte Arbeitsweise der Schaltung zu verifizieren.

Will man einen bestimmten Knoten K des Netzes auf einen Stuck-at-Fehler prüfen, so müssen zwei Schritte durchgeführt werden. Durch eine geeignete Beschaltung der Eingänge muss zum einen sichergestellt werden, dass der Zustand des zu beobachtenden Knotens am Ausgang sichtbar wird; d.h. die nachfolgenden Gatter müssen so beschaltet sein, dass sie *transparent* werden, also den ankommenden, zu beobachtenden Pegel weitergeben. Anschließend muss der zu testende Knoten noch eingestellt werden.

Will man prüfen, ob sich ein Knoten fest auf einer „0“ befindet (stuck-at-0), muss er testhalber auf „1“ gesetzt werden - und umgekehrt. Ergibt sich bei diesem *Einstellvektor* kein Widerspruch zum *Beobachtungsvektor*, kann die Schnittmenge beider Vektoren als *Testvektor* verwendet werden.

Beispiel

Gegeben sei die Schaltung aus Abbildung 5. Zunächst soll Knoten K_1 untersucht werden. Hierfür muss der Knoten K_1 am Ausgang der Schaltung beobachtbar gemacht werden. Also muss ein Eingangsvektor gefunden werden, für den K_2 , also der untere Eingang des UND-Gatters, auf „1“ liegt. Dadurch wird das Gatter transparent für den oberen Eingang

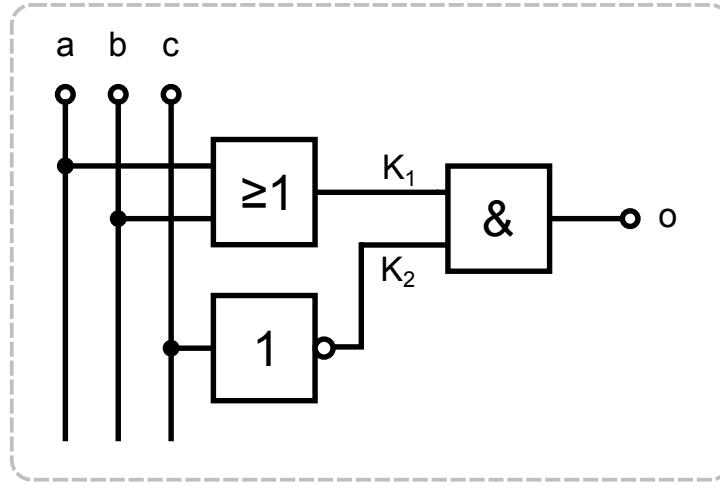


Abbildung 5: Exemplarische Schaltung, die auf Stuck-at-0/1-Fehler am Knoten K_1 untersucht werden soll

und der Ausgang o wird somit den Zustand von K_1 annehmen.

Beobachtbarkeit für K_1 : $K_1 \equiv 1 \Rightarrow c = 0; a, b = \text{don't care}$

Um nun einen Stuck-at-0/1-Fehler zu detektieren, muss das OR-Gatter so beschaltet werden, dass sich das gegenteilige Verhalten einstellen müsste, wenn die Schaltung korrekt arbeitet. Kann man am Ausgang nun eine Abweichung feststellen, so hat man Ort und Art des Fehlers erkannt.

Stuck-at-0 bei K_1 detektieren: $K_1 \equiv 1 \Rightarrow a = 1 \text{ oder } b = 1; c = \text{don't care}$

$$o = \begin{cases} 0 \rightarrow \text{Stuck-at-0 bei } K_1 \text{ detektiert} \\ 1 \rightarrow \text{korrekt} \end{cases}$$

Stuck-at-1 bei K_1 detektieren: $K_1 \equiv 0 \Rightarrow a = b = 0; c = \text{don't care}$

$$o = \begin{cases} 0 \rightarrow \text{korrekt} \\ 1 \rightarrow \text{Stuck-at-1 bei } K_1 \text{ detektiert} \end{cases}$$

Dadurch ergeben sich eine Reihe von Testvektoren für die einzelnen Fehler:

Testvektoren für K_1 Stuck-at-0 : $a \cdot b \cdot \bar{c}, \quad a \cdot \bar{b} \cdot \bar{c}, \quad \bar{a} \cdot b \cdot \bar{c}$

Testvektoren für K_1 Stuck-at-1 : $\bar{a} \cdot \bar{b} \cdot \bar{c}$

1.6 CMOS-Logikgatter

Im vorhergehenden Versuch haben Sie gelernt, ein NAND und NOR-Gatter aus Transistoren aufzubauen. Mit Hilfe des selben Konzeptes lassen sich natürlich auch die anderen logischen Verknüpfungen realisieren. In diesem Versuch werden Sie jedoch stattdessen CMOS-ICs verwenden. Diese erlauben eine abstraktere Sichtweise als die grundlegenden Logikfunktionen, und erleichtern so den Aufbau komplexerer Logikschaltungen. Die logischen Pegel 1 und 0 sind in dieser Technologie von der Versorgungsspannung V_{DD} abhängig, typischerweise beträgt diese 5 Volt. Abbildung 6 veranschaulicht die Bereiche,

in denen ein anliegendes Potenzial auf einen logischen Wert abgebildet werden kann. Die Werte $V_{IH,min}$ und $V_{IL,max}$ begrenzen jeweils den High-Pegel nach unten hin, bzw. den Low-Pegel nach oben hin.

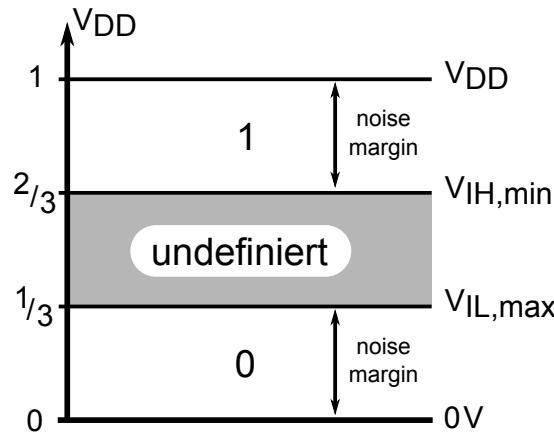


Abbildung 6: Logische Pegel bei CMOS-Logik-Gattern der SN74er Familie

Im Laufe des Versuchs werden Sie zunächst die grundlegenden Gatter untersuchen und diese schließlich zu komplexeren Schaltungen zusammenfügen.

1.7 DigiBoard

Anders als in den vorhergehenden Versuchen werden Sie nicht die gewohnten Steckbretter verwenden, sondern eine separate Leiterplatte, das *DigiBoard*. Eine schematische Ansicht liefert Abbildung 7.

Im Bereich (B) können an 8 Kippschaltern die logischen Pegel 1 und 0 abgegriffen werden. Zur Realisierung der logischen Funktionen stehen Ihnen in Bereich (D) 4-fach NANDs (SN7400), NORs (SN7402), ANDs (SN7408), ORs (SN7432), XORs (SN7486) und 6-fach Inverter (SN7404) zur Verfügung. Diese ICs enthalten je 4 Logikgatter des selben Typs mit jeweils 2 Eingängen (duale Logik) und werden im Folgenden auch Quad-Gatter genannt. Die beiden Black-Boxes in Bereich (E) enthalten einige Einzelgatter für einen gesonderten Versuch.

Sämtliche benötigten Komponenten befinden sich bereits auf der Leiterplatte. Alle ICs, sowohl solche mit dualer Logik als auch die Inverter, befinden sich in einem DIP-14 Gehäuse. Diese verfügen über 14 Beinchen und sind bereits in die dafür vorgesehenen Sockel auf der Leiterplatte gesteckt. Alle Gatter sind korrekt mit der Versorgungsspannung (5V) und dem Massepotential (GND) verbunden und die LEDs zur Zustandsanzeige wurden mit einem entsprechenden Vorwiderstand versehen.

Um die einzelnen Gatter mit einander zu Schaltnetzen zu kombinieren werden Sie die bereitliegenden Laborkabel (2mm-Stecker, gelb+blau) benutzen. Außerdem stehen in Bereich (G) 8 weitere Buchsen bereit, um Zwischen- und Endergebnisse anzuzeigen. Die zugehörigen LEDs zeigen den anliegenden Logikpegel an und alle 8 Buchsen sind auf eine Steckerleiste geführt, welche den Anschluss der digitalen Oszilloskop-Eingänge ermöglicht. Hierfür ist ein gesondertes Flachbandkabel vorgesehen.

Bitte sehen Sie davon ab, die Logikgatter aus den Sockeln zu hebeln. Dies führt leicht zur Beschädigung der Bausteine und stiftet unnötige Verwirrung!

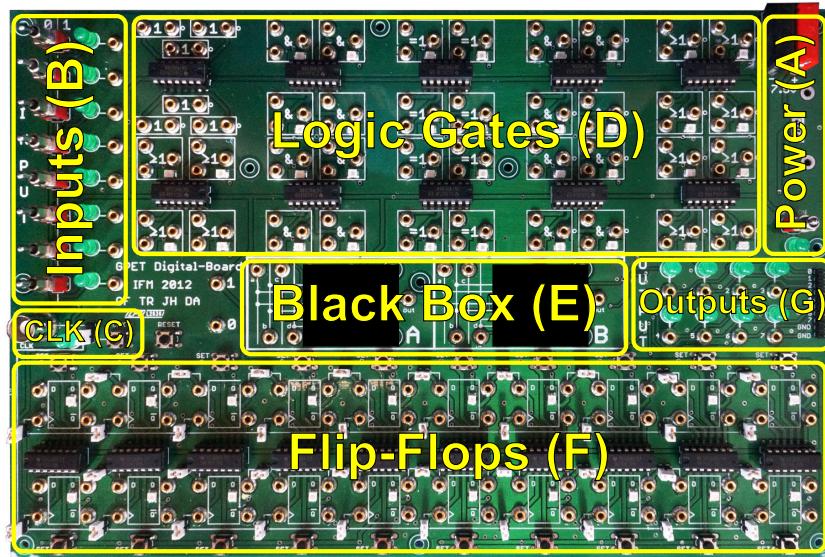


Abbildung 7: Das *DigiBoard* auf dem die beiden letzten beiden Versuche beruhen

1.8 Digitale Oszilloskop-Eingänge

Erstmals werden Sie auch die digitalen Eingänge des Oszilloskops benutzen. Hierfür liegt das Flachbandkabel mit der Bezeichnung N6459-61601 bereit, welches die Eingänge des Oszilloskops auf eine Kabelpeitsche mit 9 Einzeladern (Channel 0-7, sowie GND) führt. Eine Einführung in die Bedienung der wichtigsten Elemente erhalten Sie später in der Versuchsdurchführung.

2 Vorbereitende Aufgaben

Die folgenden Aufgaben müssen noch *vor* dem Praktikumstermin bearbeitet werden.
Übertragen Sie ihre Antworten direkt in die vorliegende Versuchsanleitung.

2.1 Vom Halbaddierer zum Volladdierer

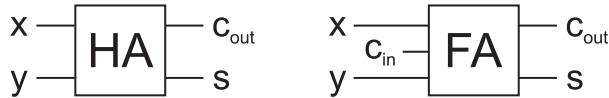


Abbildung 8: Schaltungssymbole für Halb- und Volladdierer

Ein Halbaddierer (HA) addiert die binären Eingänge x und y und zeigt am Ausgang deren Summe s sowie ggf. den Übertrag c_{out} an. Um mehrstufige Addierer entwerfen zu können, muss ein einzelner Addierer jedoch auch in der Lage sein, Überträge von der vorhergehenden Stufe verarbeiten zu können; dazu dient ein Volladdierer (*Full adder*, FA), der schließlich Summe und Übertrag der drei Eingänge x , y und c_{in} bestimmen kann. Tabelle 2 zeigt die Wahrheitstabelle beider Schaltfunktionen. Der Teil, der auch für den Halbaddierer ($c_{in} = 0$) gilt, ist farblich hinterlegt.

x	y	c_{in}	s	c_{out}
0	0	0	0	0
1	0	0	1	0
0	1	0	1	0
1	1	0	0	1
0	0	1	1	0
1	0	1	0	1
0	1	1	0	1
1	1	1	1	1

Tabelle 2: Wahrheitstabelle Halbaddierer und Volladdierer

1. Skizzieren Sie den Schaltplan des HA in Abbildung 9a gemäß Wahrheitstabelle.
2. Erweitern Sie die Schaltung zu einem FA und skizzieren Sie sie in Abbildung 9b.
3. Versuchen Sie die FA-Schaltung so umzuformen, dass Ihnen zwei Quad-Gatter genügen. Notieren Sie die Herleitung und zeichnen Sie die Schaltung in Abbildung 10.

2.2 Schaltungsdefekte

Die folgenden Fragen sollen sicherstellen, dass Sie die theoretischen Voraussetzungen erfüllen, um den Versuch durchführen zu können, der sich mit Stuck-at-0/1-Problemen befasst.

1. Welche zwei Schritte sind nötig um einen Knoten zu testen - und wie ergibt sich daraus der Testvektor?

2. Sind auf diese Weise alle Fehler detektierbar?

3. Wie können folgende Gatter für einen ihrer Eingänge mit Belegung „D“ transparent geschaltet werden und wie verhält sich dann der Ausgang?

Gatter	IN_1	$IN_{2\dots N}$	OUT
AND	D		
NAND	D	1	\overline{D}
OR	D		
NOR	D		
XOR	D		

Tabelle 3: Beschaltung einzelner Gattereingänge für Transparenz

2.3 Hazards und Glitches

Wesentliche Limitationen von Schaltnetzen sind die endlichen Laufzeiten von Gattern. Nicht nur, dass durch sie die Geschwindigkeit der Berechnung einer Booleschen Funktion begrenzt wird; Gatterlaufzeiten können auch zu Instabilitäten von Schaltnetzen führen. Dabei ist ein Hazard die Eigenschaft eines Schaltnetzes, mögliche Instabilitäten zu beinhalten. Das konkrete Auftreten einer Instabilität ist z.B. ein Glitch. Das heißt, das während der Laufzeit der Signale kurzzeitig ein falsches Zwischenergebnis an den Ausgängen anliegt und sich ein Spannungswert ändert, obwohl dies laut der Booleschen Funktion nicht der Fall wäre.

1. Stellen Sie ein KV-Diagramm in Abbildung 11 für die Boolesche Funktion aus Tabelle 12a auf und geben Sie die minimierte Funktion an.
 2. Zeichnen Sie einen Schaltplan dieser Funktion mit AND-, OR- und NOT-Gattern in den dafür vorgesehenen Platz in Abbildung 12.
 3. Vervollständigen Sie das Timing-Diagramm in Abbildung 13. Dabei soll eine Einheit in der Horizontalen der Laufzeit eines Gatters entsprechen.
 4. Identifizieren und markieren Sie den Glitch. Erläutern Sie, durch welchen Umstand es zum Glitch in o kommt.
-
-
-
-
-
-
-
-
-

3 Anhang zu den Vorbereitenden Fragen

In diesem Abschnitt können Sie alle in den vorbereitenden Fragen geforderten Skizzen und Diagramme anfertigen.

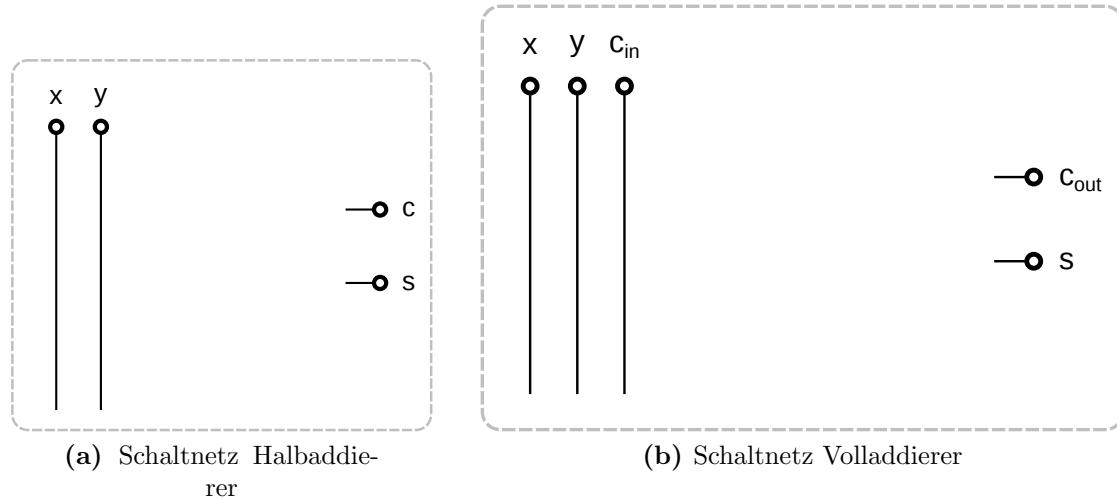


Abbildung 9: Zeichnen Sie hier die Schaltnetze der angegebenen Strukturen ein

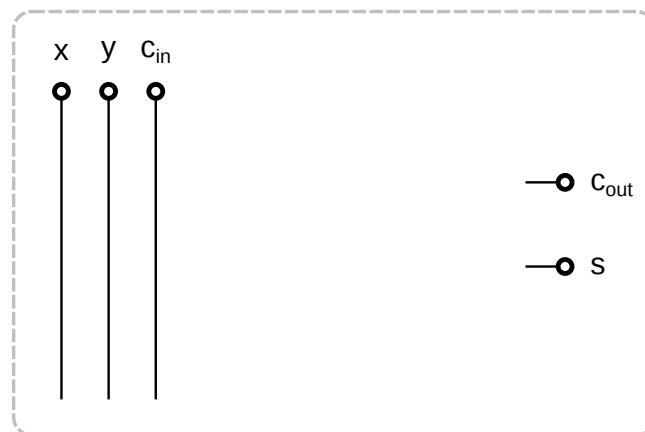


Abbildung 10: Zeichnen Sie hier die optimierte Variante des Volladdierers ein

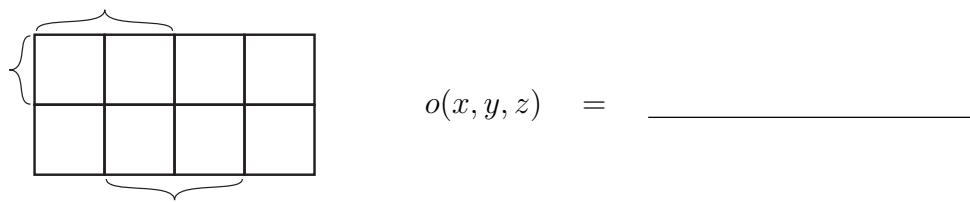


Abbildung 11: KV-Diagramm und Funktion eines Hazard-behafteten Schaltnetzes

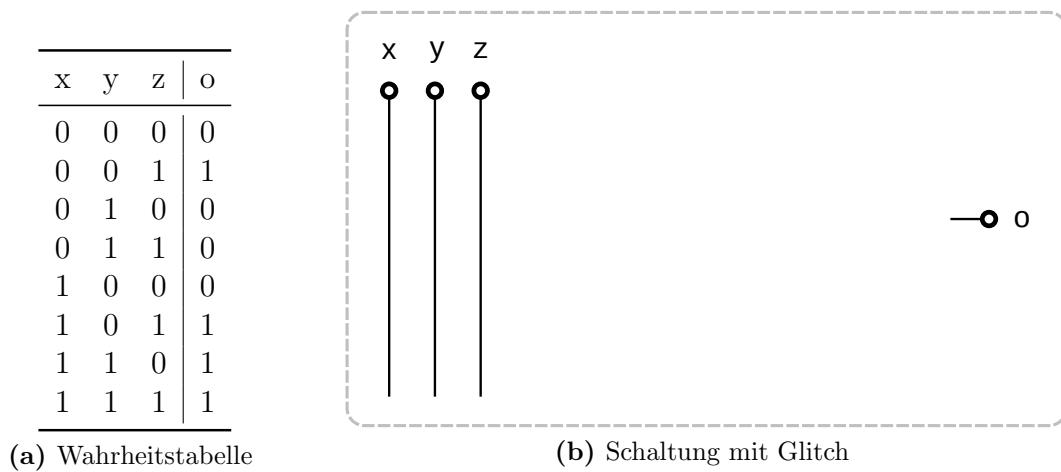


Abbildung 12: Zeichnen Sie hier Schaltung ein, die der ermittelten Normalform des Glitch-behafteten Schaltnetzes entspricht

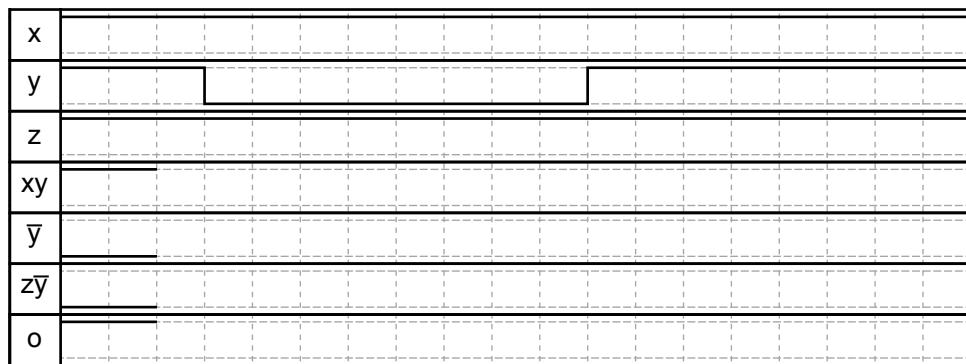


Abbildung 13: Timing Diagramm einer digitalen Schaltung

4 Versuchsdurchführung

Wichtige Hinweise

Bitte lesen Sie die folgenden Hinweise vor Versuchsbeginn genau durch. Eine Missachtung führt zum Ausschluss aus dem Versuch.

- Bitte verbinden Sie keine weiteren Kabel außer der Versorgungsspannung von extern mit dem *DigiBoard*, da dies das *DigiBoard* zerstören könnte.
- Das *DigiBoard* muss an CH2 der Spannungsquelle angeschlossen werden. Die Eingangsspannung beträgt 7,5 V, die Strombegrenzung muss auf maximal 0,5 A eingestellt werden. Überprüfen Sie diese Werte unbedingt vor Einschalten des Kanals.
- Bitte beachten Sie, dass der Schalter für die Spannungsversorgung stets ausgeschaltet ist, wenn Sie mit den Laborkabeln oder Jumpern neue Schaltungen aufbauen oder modifizieren.
- Verwenden Sie zum Aufbauen der Schaltungen ausschließlich die bereitgestellten blauen und gelben Laborkabel sowie Jumper.
- *Verlängern Sie keine Kabel durch Zusammenstecken*, da Sie dadurch Kurzschlüsse auf dem Board erzeugen könnten!

Führen Sie die folgenden Experimente gemäß Vorgaben durch und stellen Sie Ihre Ergebnisse in einem sauber angefertigten Protokoll dar.

4.1 Volladdierer

Zunächst sollen Sie mit der Aufteilung des PCB-Boards vertraut werden und den Umgang mit den Laborkabeln anhand eines einfachen Beispiels verinnerlichen.

1. Bauen Sie einen Volladdierer gemäß Ihrer Vorbereitung auf. Realisieren Sie die Variante, die nur zwei Logikbausteine erfordert.
2. Verifizieren Sie die Wahrheitstabelle und zeigen Sie den Aufbau Ihrem Betreuer.

4.2 Ermittlung der Logikfunktion

Beginnen Sie zunächst damit, die Ihnen unbekannte Schaltung A in Bereich (E) zu untersuchen.

1. Erstellen Sie die Wahrheitstabelle der unbekannten Funktion.
2. Ermitteln Sie mit Hilfe eines KV-Diagramms die minimierte Normalform der Schaltung. Lassen Sie Ihr Ergebnis durch Ihren Tutor überprüfen. Sie können sich nun die Schaltung in der Black-Box ansehen und Ihre Lösung verifizieren.

4.3 Aufspüren eines Schaltungsdefektes

Die zweite Schaltung (B) ist identisch zur soeben untersuchten, jedoch weicht ihr Verhalten auf Grund eines Defektes ab. Ein Knoten des Schaltnetzes ist stets auf konstantem Potenzial, unabhängig von der Belegung der Eingänge (stuck-at-0/1-Problem). Im Folgenden sollen Sie Art und Ort des Defektes bestimmen.

1. Erstellen Sie auch für dieses Schaltnetz die Wahrheitstabelle (Sch.B).
2. Welcher Baustein auf dem *DigiBoard* eignet sich, um auf den ersten Blick Unterschiede im Verhalten der beiden Schaltungen zu erkennen?
3. Nutzen Sie einen solchen Baustein um die Unterschiede des Verhaltens der beiden Schaltungen zu ermitteln und stellen Sie diese in einer Tabelle (Differenz) dar.
4. Betrachten Sie nur die Knoten $K_1 - K_3$. Finden Sie geeignete Testvektoren, um etwaige Defekte aufzuspüren:
5. Ermitteln Sie Ort und Art des Defektes.

4.4 Doppel-XOR

Bauen Sie zunächst eine Schaltung aus 2 Quad-XORs gemäß Abbildung 14 auf. Die mit 4 gekennzeichneten Pfeile stehen für einen Bus mit vier Adern, das heißt, die dort gezeigte Schaltung ist vier mal parallel aufzubauen. Verwenden Sie sowohl für die vier

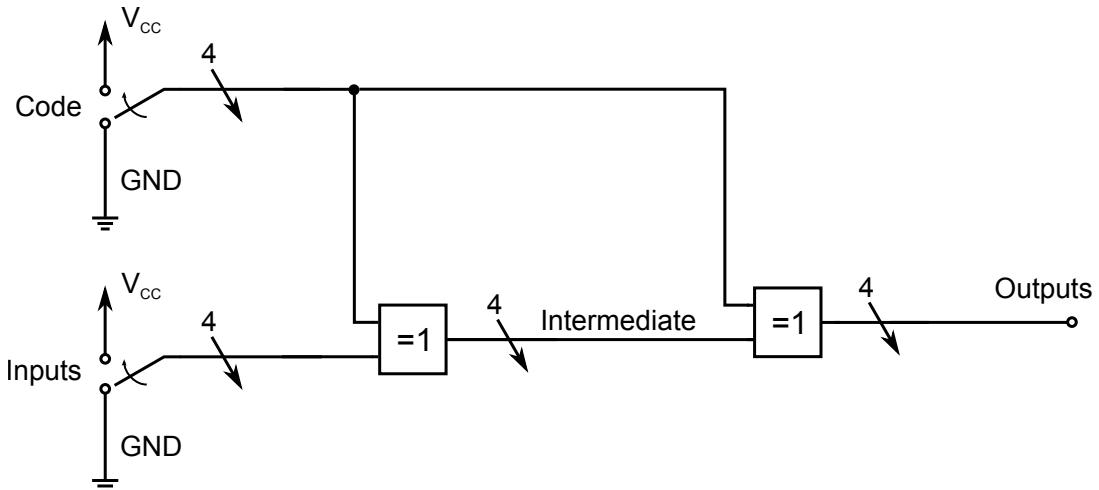


Abbildung 14: Versuch mit Doppel-XOR

Inputs als auch für die vier *Code*-Eingänge jeweils vier zusammenhängende Schalter aus Bereich (B), mit denen Sie zwischen *GND* und *V_{DD}* wechseln können. Wenn Sie die vier *Intermediate*-Signale und die vier *Outputs* auf die LED-Bank in Bereich (G) legen, können Sie die Zustände gut vergleichen. Es bietet sich an, die vier zusammengehörenden Signale jeweils auf eine Reihe der LED-Bank zu geben und die selbe Reihenfolge zu nutzen. Stellen Sie nun eine beliebige aber konstante Eingangskombination für die vier *Inputs* ein.

1. Welcher Effekt lässt sich an den Ausgängen (*Intermediate* und *Output*) beobachten, wenn Sie bei konstanten *Input*-Eingängen eine andere Kombinationen auf die *Code*-Eingänge geben?

2. Welcher Effekt lässt sich an den Ausgängen (*Intermediate* und *Output*) beobachten, wenn Sie nun nur die *Input*-Eingänge variieren?
3. Wie lässt sich dieser Effekt mit Hilfe der Booleschen Gleichungen ausdrücken und belegen? Zeigen Sie, dass $a \oplus b \oplus b = a$ gilt.
4. Wofür könnte die Schaltung genutzt werden?

4.5 Verwendung der digitalen Oszilloskop-Eingänge

Einführend sollen Sie die Gatterlaufzeiten eines AND, NOR, NOT und eines XOR ermitteln. Hierfür werden Sie die digitalen Eingänge des Oszilloskops verwenden.

Bereitstellung geeigneter Eingangssignale

Sie können mit Hilfe des Taster *CLK* aus Bereich (C) eine entprellte Flanke erzeugen. Verwenden Sie auf jeden Fall nur diesen Taster, da die anderen Schalter nicht entprellt sind und die Messung dadurch verfälscht werden könnte. Die benachbarte LED zeigt den aktuellen Pegel an. Sie benötigen zusätzlich zwei Jumper; mit dem Einen verbinden Sie den *CLK*-Taster mit der *CLK*-Leitung, mit dem Zweiten verbinden Sie in Bereich (F) eine der Buchsen mit der *CLK*-Leitung. Anschließend können Sie an dieser Buchse die Flanke abgreifen. Führen Sie dieses Signal sowohl auf einen Eingang des zu vermessenden Gatters, als auch auf einen *Output* in Bereich (G), sodass Sie am Oszilloskop auf die Flanke triggern können. Abbildung 15 verdeutlicht die benötigten Schritte nochmals. Beschalten Sie den zweiten Eingang des zu vermessenden Gatter so, dass die erzeugte

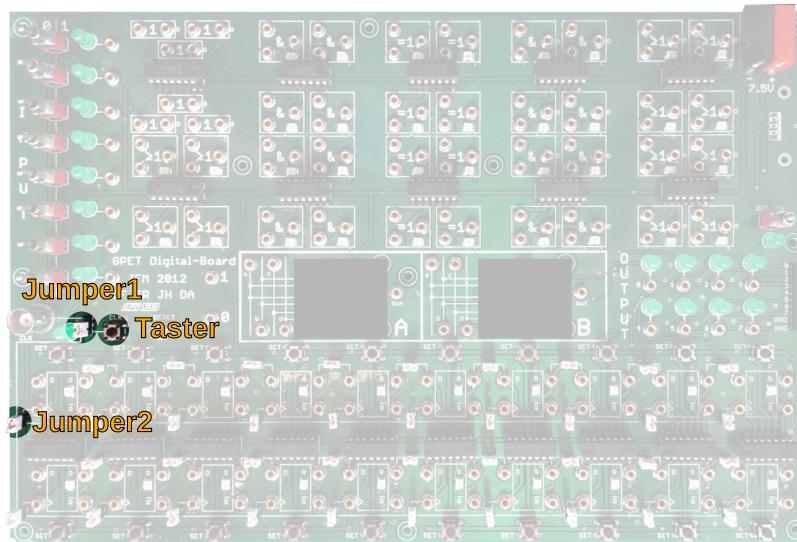


Abbildung 15: Abgreifen einer entprellten Flanke

Flanke zu einem Zustandswechsel führt.

Einstellungen am Oszilloskop

Verbinden Sie auf Seiten des *DigiBoards* die Kabelpeitsche mit der Pin-Leiste in Bereich (G) und achten Sie dabei auf die Beschriftung der einzelnen Kabel. Das Ende mit dem Flachbandkabel kann an der Frontseite des Oszilloskops eingesteckt werden. Setzen Sie das Oszilloskop mittels **Default Setup** zurück und deaktivieren Sie die analogen Kanäle

1 und 2. Per **Digital** gelangen Sie in das Menü zur Konfiguration der digitalen Eingänge. Mit den kontextabhängigen Knöpfen unterhalb des Displays wählen sie zunächst die richtige Schwellwerteinstellung für CMOS-Gatter (0V-5V, Schwelle ist 2,5V). Sie können nun zur Erhöhung der Übersichtlichkeit die Amplitude der Darstellung im Display anpassen und nur die benötigten Digital-Eingänge anwählen. Im **Trigger**-Menü können Sie schließlich den digitalen Eingang auswählen, der die **Flanke** liefert. Führen Sie dann die entsprechenden Messungen als Einzelmessung über **Single** durch. Ermitteln Sie die Laufzeiten für die Gatter AND, NOR, NOT und XOR.

4.6 Zeitverhalten der Gattersignale

Wir wollen den Glitch aus der Vorbereitungsaufgabe nachvollziehen.

1. Bauen Sie die Schaltung gemäß der Vorbereitungsfrage auf und verifizieren Sie die Wahrheitstabelle.
2. Wählen Sie für x den Kanal 7 und führen Sie alle weiteren Signale gemäß Abbildung 13 auf die weiteren Ausgänge ($x \rightarrow 7 \dots o \rightarrow 1$). Dadurch lässt sich die Ausbreitung der Signale innerhalb der Schaltung gut beobachten.

Wir wollen nun das Timing-Diagramm nachmessen. Hierfür setzen Sie $x = z = 1$ und erzeugen mit Hilfe des *CLK*-Tasters eine fallende Flanke auf y . Am Oszilloskop triggern Sie nun auf den Kanal, der die fallende Flanke von y führt. Stellen Sie am Oszilloskop eine geeignete zeitliche Auflösung ein, um sowohl die fallende Flanke als auch den Glitch sehen zu können. Messen Sie alle Signale der Schaltung und fügen Sie einen screenshot in Ihr Protokoll ein. Lassen Sie die Schaltung für den folgenden Versuch aufgebaut.

Hinweis

Sollten Sie den Glitch nicht sehen obwohl sich die Schaltung ansonsten erwartungsgemäß verhält, versuchen Sie andere UND-Gatter zu verwenden. Durch Toleranzen der Bauteillaufzeiten kann es im „ungünstigsten“ Fall passieren, dass der Glitch zufällig unterdrückt wird.

4.7 Gegenmaßnahmen bei Glitches

Der gemessene Glitch ist eine Folge der absoluten Minimierung der Normalform. Glitches können immer auftreten, wenn im KV-Diagramm keine Überdeckungen zwischen den Termen bestehen. Im Rückschluss können Hazards vermieden werden, indem man durch Hinzufügen von Termen zusätzliche Überdeckungen schafft. Die Funktion ist dann nicht mehr minimal, aber frei von Hazards.

1. Stellen Sie erneut ein KV-Diagramm auf. Das Schaltnetz soll jedoch durch Hinzufügen eines Terms immun gegen den beobachteten Glitch werden. Heben Sie den Term hervor, der eine Überdeckung der beiden bisherigen Einkreisungen herstellt. Wie muss die Hazard-freie Funktion lauten?
2. Zeichnen Sie den Schaltplan der neuen Funktion auf Gatter-Ebene und zeigen Sie diesen Ihrem Tutor.

3. Erweitern Sie Ihre Schaltung auf dem *DigiBoard* gemäß dem Schaltplan und legen das neue Ausgangssignal auf den letzten verbleibenden Digital-Eingang.
4. Messen Sie das Timing-Diagramm für die fallende Flanke von y wie im vorhergehenden Versuch und diskutieren Sie, ob und wie das Einfügen des zusätzlichen Terms den Glitch verhindert.

4.8 Evaluation

Auf der Moodleseite gibt es zu jedem Versuch eine Umfrage zur Evaluation. Bitte helfen Sie die Qualität des Praktikums zu verbessern, indem Sie uns Rückmeldung geben wie Sie die Versuchsdurchführung empfunden haben!

Loggen Sie Sich beide einzeln vom Praktikumsrechner aus ein und beantworten Sie die Umfrage noch direkt nach der Versuchsdurchführung bevor Sie das Praktikum verlassen!