

GPET Versuch 10 — Zuse und Lilienfeld – ganz diskret

Gruppe: Dienstag14

Tim Luchterhand, Paul Nykiel
tim.luchterhand@uni-ulm.de, paul.nykiel@uni-ulm.de

20. Juni 2017

5.1 Relais-Inverter mit Widerstand

Im ersten Teil des Versuchs soll das 12V-Relais untersucht werden. Achten Sie beim Anschließen der Eingangsspannung an die Spule des Relais immer auf die richtige Polarität. Diese ist zwar prinzipiell bei einem Relais irrelevant, allerdings wurde hier eine Diode parallel zur Spule verlötet um induktionsbedingte Spannungsspitzen bei den Schaltvorgängen kurzzuschließen. Um nun nicht die Eingangsspannung selbst kurzzuschließen, muss unbedingt auf entsprechende Polarität geachtet werden.

5.1.1 Stromverbrauch des Relais

Das Relais wird zunächst mit konstanter Versorgungsspannung betrieben, dabei soll der Stromverbrauch gemessen werden.

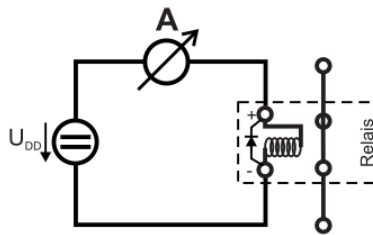


Abbildung 5.1: Aufbau: Relais mit konstanter Versorgung

1. Arbeiten Sie mit der konstanten Gleichspannung $U_{DD} = +10\text{V}$. Begrenzen Sie den Strom auf 100mA.
2. Bauen Sie die Schaltung aus Abbildung 5.1 bestehend aus dem Relais und dem Multimeter zur Strommessung auf.
3. Wie viel Strom fließt durch die Spule des Relais?

Protokoll Gemessener Schaltstrom: $I_{\text{Schalt}} = 0.038\text{A}$

5.1.2 Dynamik des Relais

Um die Tauglichkeit des Relais als Schalter für die Digitaltechnik zu untersuchen, wird im Folgenden ein Inverter nach Abbildung 5.2 aufgebaut. Das dynamische Verhalten des Bauelements soll unter Verwendung eines Testsignals untersucht werden.

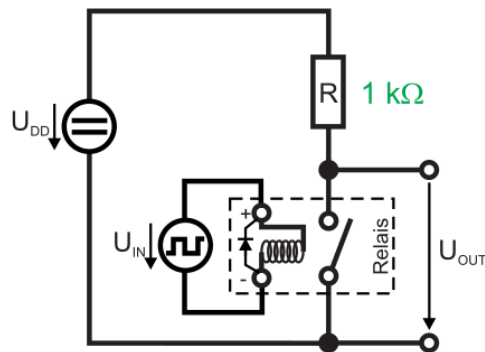


Abbildung 5.2: Aufbau: Relais mit Pull-Up-Widerstand

1. Verwenden Sie eine Gleichspannung von $+10\text{V}$ als Versorgung U_{DD} . Begrenzen Sie den Strom auf 100mA .
2. Zur Generierung des Testsignals U_{IN} soll der externe Funktionsgenerator verwendet werden. Erzeugen Sie ein Rechtecksignal mit den Potentialgrenzen 0V und $+10\text{V}$ bei einer Frequenz von 10Hz . Messen Sie mit dem Oszilloskop auf Kanal 1 zunächst das Testsignal und prüfen Sie dessen Richtigkeit. Schließen Sie das Relais zu diesem Zeitpunkt noch nicht an und stellen Sie vor Allem sicher, dass das untere Limit von 0V nicht unterschritten wird.
3. Bauen Sie die Inverterschaltung aus Abbildung 5.2 auf. Verwenden Sie den $1\text{ k}\Omega$ Widerstand als Pull-Up.
4. Messen Sie mit dem Oszilloskop auf Kanal 2 den Schaltungsausgang U_{OUT} . Untersuchen Sie die Reaktionszeit des Relais (nicht die Anstiegs- & Abfallzeit!). Fügen Sie entsprechende Screenshots vom Oszilloskop in Ihr Protokoll mit ein.
 - **Wie lange dauert es, bis ausgangsseitig stabil $+10\text{V}$ anliegen, wenn der Schaltungseingang auf niedriges Potential gefallen ist?**
 - **Wie lange dauert es, bis ausgangsseitig stabil 0V anliegen, wenn der Schaltungseingang auf hohes Potential gestiegen ist?**
 - **Ermitteln Sie, basierend auf diesen Messungen, die zu erwartende maximale Frequenz mit der das Relais gerade noch arbeiten kann.**
 - **Verifizieren Sie den berechneten Wert in der Praxis. Bei welcher Frequenz kann das Relais gerade noch arbeiten?**

Protokoll Bestimmung der Reaktionszeit:

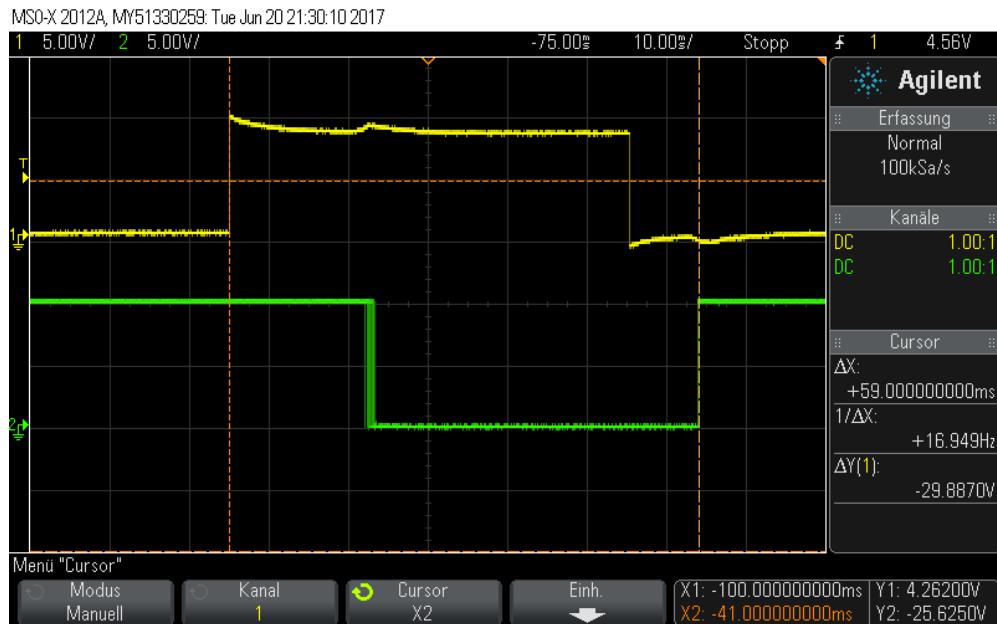


Abbildung 5.3: Reaktionszeit bei steigender Flanke

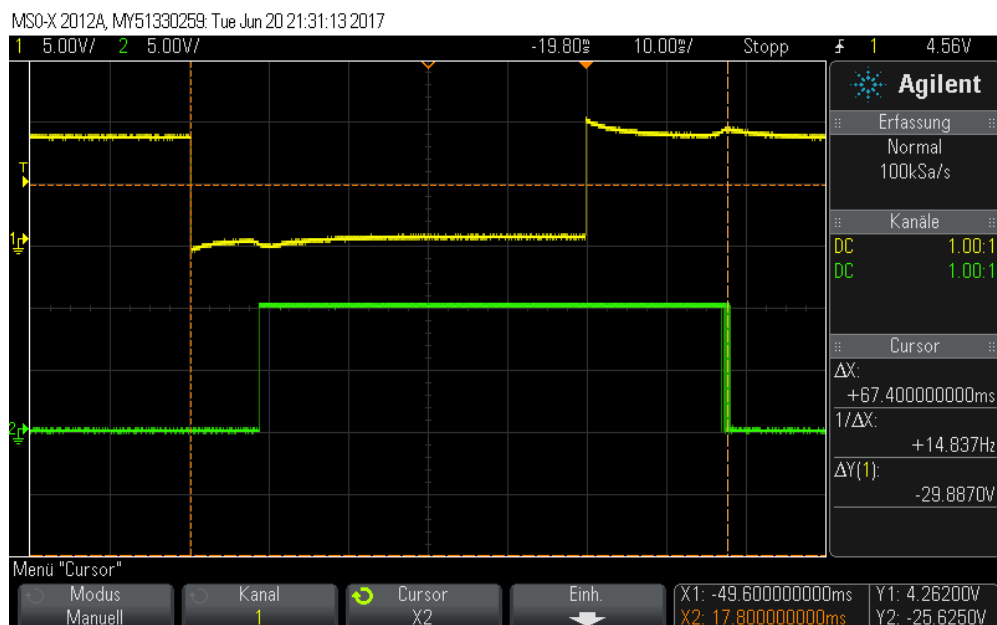


Abbildung 5.4: Reaktionszeit bei fallender Flanke

Aus Grafik 5.3 und Grafik 5.4 ergibt sich:

$$t_{rise} \approx 17\text{ms}$$

$$t_{fall} \approx 8\text{ms}$$

Die maximale Frequenz lässt sich wie folgt ermitteln:

$$t_{\max} := \max\{t_{rise}, t_{fall}\} \approx 17\text{ms}$$

$$\Rightarrow f_{\max} = \frac{1}{2 \cdot t_{\max}} = 29\text{Hz}$$

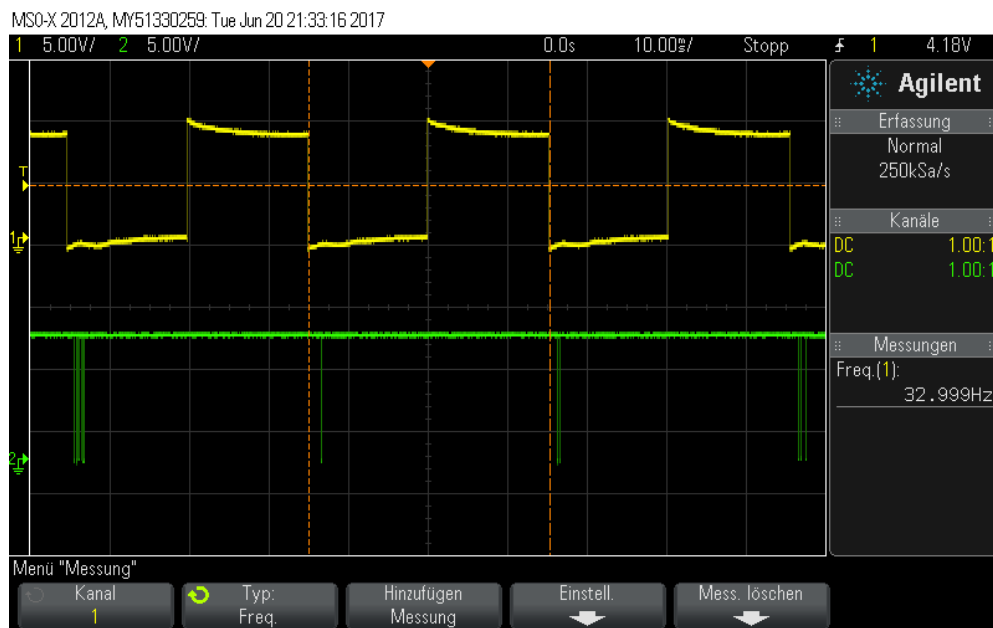


Abbildung 5.5: Maximale Frequenz

Aus Grafik 5.5 ergibt sich: $f_{\max, \text{mess}} \approx 33\text{Hz}$.

Die Messung bestätigt die Theorie: Wie im Bild zu erkennen, arbeitet das Relais nicht mehr ordnungsgemäß und das Ausgangssignal ist kaum noch zu erkennen. Dies ist also die höchste Frequenz, bei der das Relais gerade noch reagiert. Daher eignen sich Relais nicht für hohe Frequenzen, da sie aufgrund der mechanischen Trägheit schon niederfrequente Signale nicht schalten können.

5.2 nMOS-Inverter mit Widerstand

Es wird nun an Stelle des elektromechanischen Bauelements der rein elektrisch arbeitende Transistor verwendet. Dabei soll die theoretisch besprochene Problematik

der Widerstandsdimensionierung anhand eines Inverters praktisch verdeutlicht werden. Der Inverter wird dabei auf Stromverbrauch, Ausgangsspanne und Schaltgeschwindigkeit untersucht.

5.2.1 Stromverbrauch und Ausgangsspanne des nMOS-Inverters

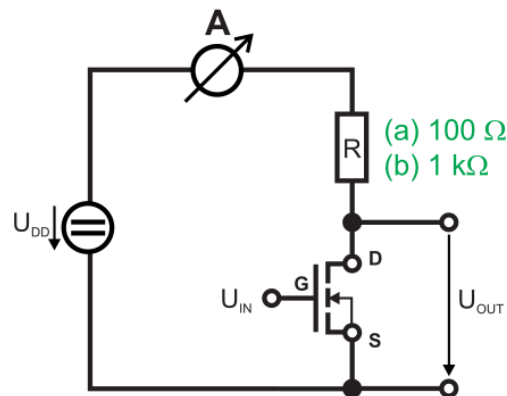


Abbildung 5.6: Aufbau: nMOS-Inverter mit Widerstand, konstante Eingangsspannung

1. Verwenden Sie jetzt eine Gleichspannung von +5V als Versorgungsspannung U_{DD} . Stellen Sie die Spannung mit Hilfe eines Multimeters möglichst genau ein. Entfernen Sie danach das Multimeter wieder. Begrenzen Sie den Strom auf 100mA.
2. Bauen Sie die Schaltung aus Abbildung 5.6 mit einem n-Kanal MOSFET auf. Verwenden Sie zunächst 100 Ohm als Pull-Up.
3. Legen Sie den Schaltungseingang U_{IN} auf das feste Potential GND . **Messen Sie die Ausgangsspannung U_{OUT} in diesem Zustand. Messen Sie außerdem den Strom, der dabei verbraucht wird.**
4. Verbinden Sie U_{IN} nun mit der Versorgungsspannung. **Messen Sie erneut die Ausgangsspannung U_{OUT} und den Stromverbrauch des Inverters.**
5. Tauschen Sie den Widerstand R aus. Verwenden Sie jetzt den 1 kOhm - Widerstand und wiederholen Sie die Messungen aus den vorigen beiden Schritten. Beachten Sie, welche Werte sich ändern.

Protokoll

U_{in}	U_{out}	I_{ges}
GND	5.016V	0A
U_{DD}	0.0823V	0.049A

Tabelle 5.1: Messung für $R = 100\Omega$

U_{in}	U_{out}	I_{ges}
GND	5.014V	0A
U_{DD}	0.0080V	0.004A

Tabelle 5.2: Messung für $R = 1k\Omega$

Bei beiden Aufbauten invertiert die Schaltung das angelegte Eingangssignal. Bei beiden Schaltungen erreicht U_{out} nie genau 0V bei $U_{in} = 5V$ und es fließt immer ein Schaltstrom.

Es fällt aber auf, dass beim Inverter mit $R = 1k\Omega$ der Low-Pegel um einen Faktor 10 geringer ist, als bei der Schaltung mit $R = 100\Omega$. Auch der Schaltstrom ist beim zweiten Aufbau um ca. einen Faktor 10 geringer.

Ein großer Widerstand verbessert also die erwünschten digitalen Eigenschaften des Inverters.

5.2.2 Dynamik des nMOS-Inverters

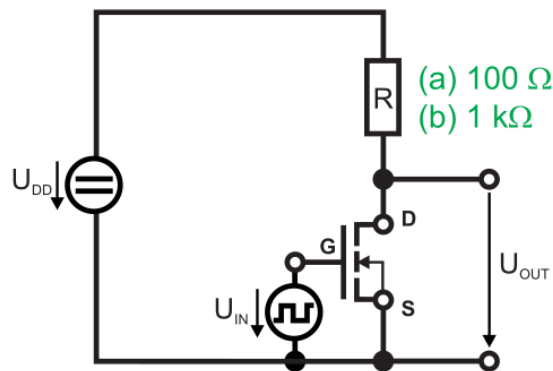


Abbildung 5.7: Aufbau: nMOS-Inverter mit Widerstand, Dynamikuntersuchung

1. Arbeiten Sie weiterhin mit der Gleichspannung von +5V als Versorgungsspannung U_{DD} . Begrenzen Sie den Strom auf 100mA.

2. Zur Generierung des Testsignals U_{IN} soll ab jetzt der interne Frequenzgenerator des Oszilloskops verwendet werden. Erzeugen Sie ein Rechtecksignal mit den Potentialgrenzen 0V und +5V bei einer Frequenz von 1MHz. Messen Sie mit dem Oszilloskop auf Kanal 1 zunächst das Testsignal und prüfen Sie dessen Richtigkeit. Schließen Sie das Eingangssignal an wie in Abbildung 5.7 dargestellt, verwenden Sie hierfür ein BNC-Kabel.
3. Untersuchen Sie die Schaltung aus Abbildung 5.7. Verwenden Sie zunächst 100 Ohm als Pull-Up. Entfernen Sie unbedingt das Amperemeter vom vorigen Versuch aus der Schaltung, dieses würde die nachfolgenden Untersuchungen verfälschen.

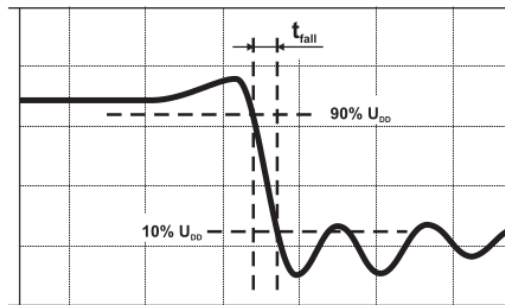
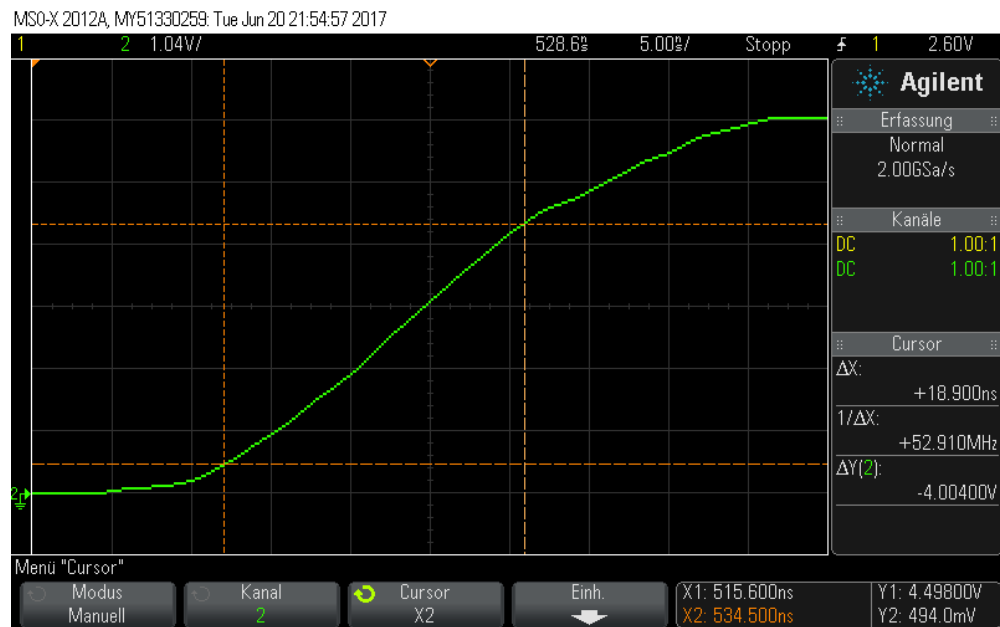
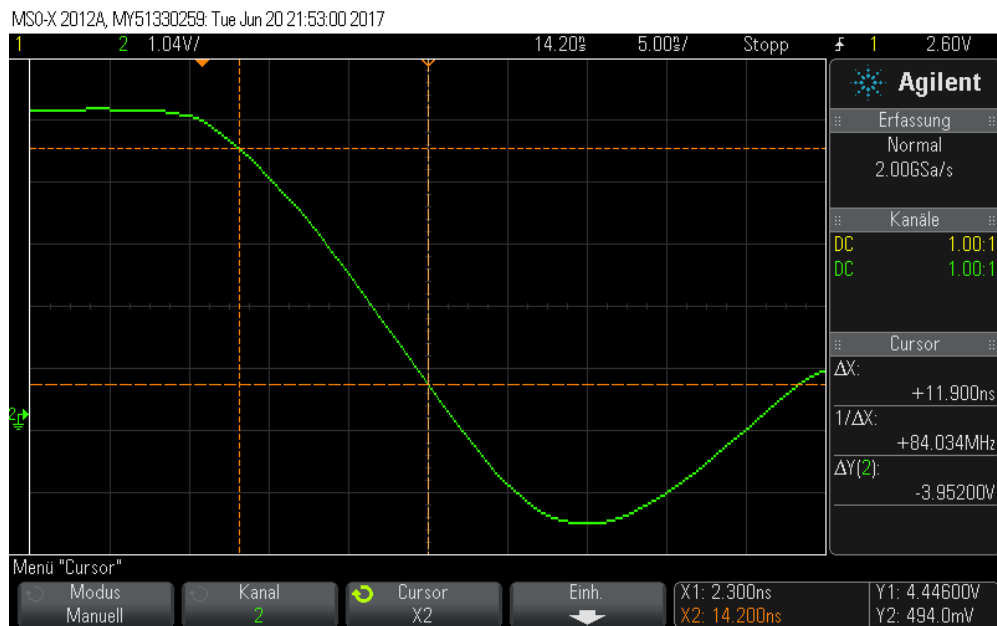
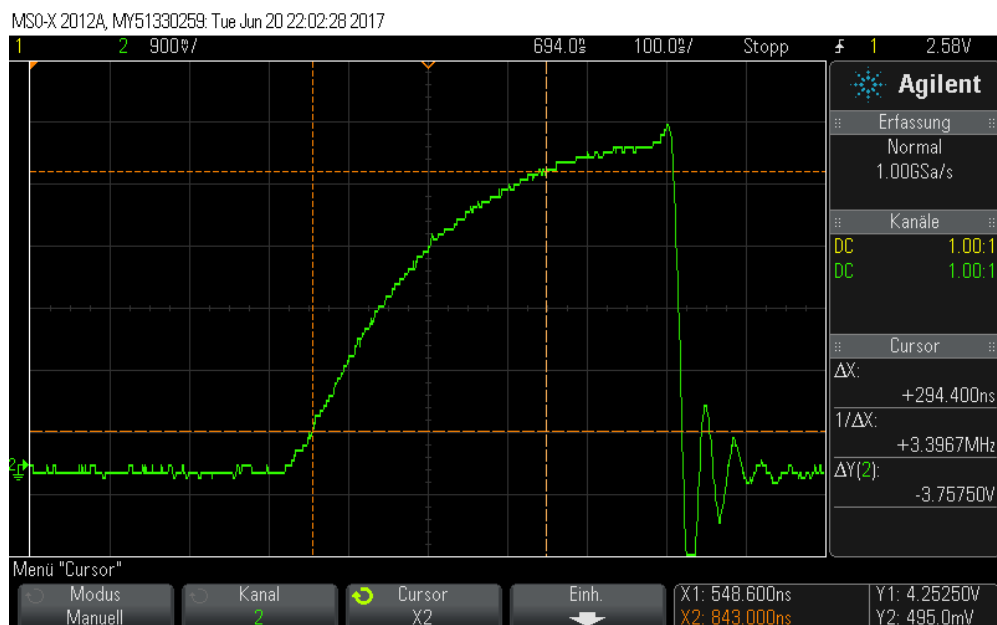
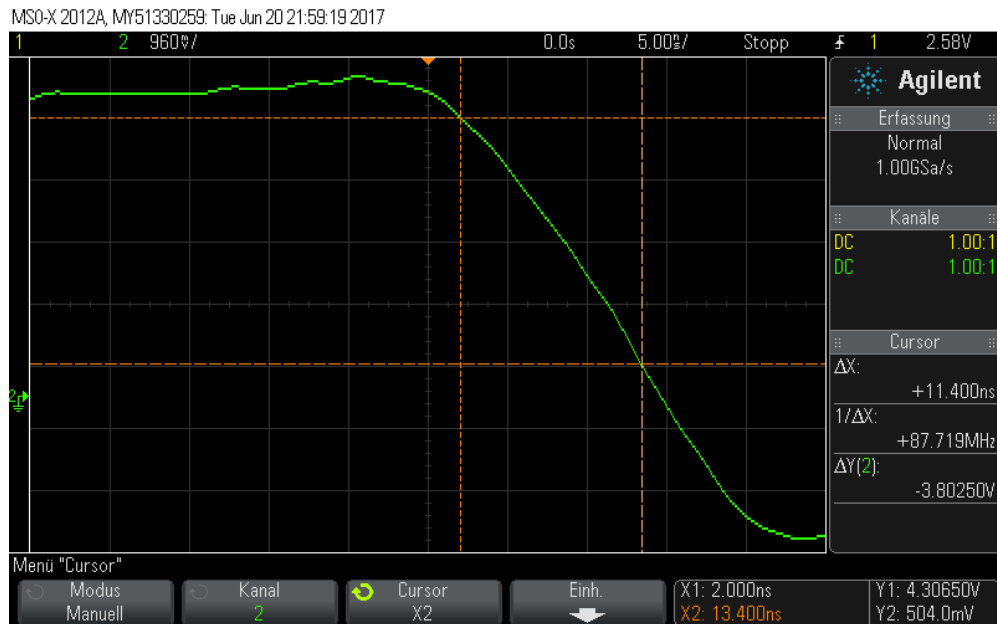


Abbildung 5.8: Messung der Schaltzeiten

4. Messen Sie mit dem Oszilloskop auf Kanal 2 über ein weiteres BNC-Kabel den Schaltungsausgang U_{OUT} . Untersuchen Sie die Anstiegs- & Abfallzeit der Schaltung. Führen Sie die Messungen durch wie in Abbildung 5.8 gezeigt. Messen Sie die Zeit für das Fallen oder Steigen des Ausgangssignals zwischen 10% und 90% der Versorgungsspannung. Verwenden Sie die Cursor-Funktion des Oszilloskops manuell, da die automatische Messung der Anstiegs- & Abfallzeit durch das hohe Schwingungsverhalten der Schaltung meist überfordert ist.
 - Wie lange dauert es, ausgehend von 10% U_{DD} , bis ausgangsseitig erstmals 90% U_{DD} anliegen (Anstiegszeit, t_{rise})?
 - Wie lange dauert es, ausgehend von 90% U_{DD} , bis ausgangsseitig erstmals 10% U_{DD} anliegt (Abfallzeit, t_{fall})?
 - Bestimmen Sie die theoretische Maximalfrequenz mit der die Schaltung, basierend auf den Messungen, gerade noch funktionieren kann.
5. Tauschen Sie den Widerstand R aus. Verwenden Sie nun 1 kOhm. Messen Sie erneut die Schaltzeiten.
6. Nennen Sie Vor- & Nachteil(e) eines großen Pull-Up-Widerstands.

ProtokollAbbildung 5.9: Anstiegszeit beim nMOS-Inverter mit $R = 100\Omega$

Abbildung 5.10: Abfallzeit beim nMOS-Inverter mit $R = 100\Omega$ Abbildung 5.11: Anstiegszeit beim nMOS-Inverter mit $R = 1k\Omega$

Abbildung 5.12: Abfallzeit beim nMOS-Inverter mit $R = 1\text{k}\Omega$

R	t_{rise}	t_{fall}	f_{max}
100Ω	18.9ns	11.9ns	26.5MHz
$1\text{k}\Omega$	294.4ns	11.4ns	1.7MHz

Tabelle 5.3: Anstiegs- und Abfallszeiten

Im Gegensatz zum Inverter im Gleichspannungsbetrieb fällt hier auf, dass ein großer Widerstand die maximale Betriebsfrequenz verringert.

5.3 CMOS Grundsaltungen

5.3.1 CMOS-Inverter

Um die CMOS-Logik mit den vorher untersuchten Technologien vergleichen zu können, wird auch in diesem Versuch zunächst ein Inverter aufgebaut. Dabei wird der Pull-Up-Widerstand ganz einfach durch einen p-Kanal MOSFET ersetzt.

5.3.2 Stromverbrauch und Ausgangsspanne des CMOS-Inverters

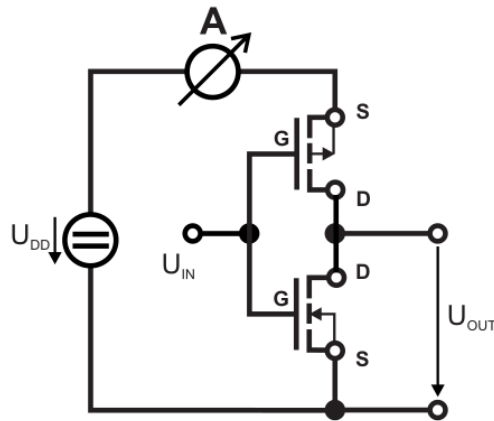


Abbildung 5.13: Aufbau: CMOS-Inverter, konstante Eingangsspannung

- Verwenden Sie +5V als Versorgung U_{DD} mit Strombegrenzung auf 100mA.
- Bauen Sie die Schaltung aus Abbildung 5.13 mit einem n-Kanal MOSFET und einem p-Kanal MOSFET auf.
- Legen Sie den Schaltungseingang U_{IN} auf festes Potential GND . **Messen Sie die Ausgangsspannung U_{OUT} . Messen Sie den Strom, den der Inverter verbraucht.**
- Verbinden Sie U_{IN} mit der Versorgungsspannung. **Messen Sie erneut Ausgangsspannung U_{OUT} und Stromverbrauch des Inverters.**
- Vergleichen Sie die Ergebnisse mit denen des nMOS-Inverters.

Protokoll

U_{in}	U_{out}	I_{ges}
GND	5.013V	0A
U_{DD}	0.0V	0A

Tabelle 5.4: Messwerte zum CMOS-Inverter

Der CMOS-Inverter besitzt im Gegensatz zum einfachen nMOS-Inverter ideale Eigenschaften: Es fließt kein messbarer Schaltstrom und die High- und Low-Pegel liegen genau bei U_{DD} und GND.

5.3.3 Dynamik des CMOS-Inverters

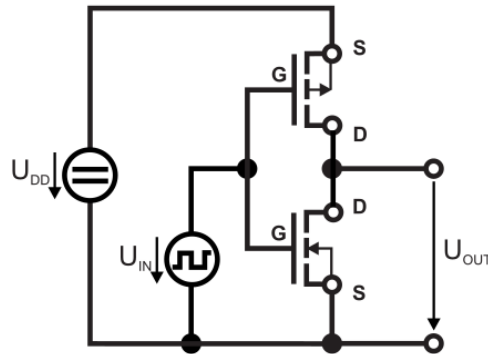


Abbildung 5.14: Aufbau: CMOS-Inverter, Dynamikuntersuchung

1. Verwenden Sie weiter $+5V$ für U_{DD} . Begrenzen Sie den Strom auf $100mA$.
2. Das Testsignal U_{IN} soll erzeugt werden, wie im Versuch mit dem nMOS-Inverter. Generieren Sie ein Rechtecksignal mit Potentialgrenzen $0V$ und $+5V$ bei einer Frequenz von $1MHz$.
3. Untersuchen Sie die Schaltung aus Abbildung 5.14 (entfernen Sie das Amperemeter).
4. Messen Sie mit dem Oszilloskop auf Kanal 2 den Schaltungsausgang U_{OUT} . Untersuchen Sie abermals die Dynamik. Führen Sie die Messung durch wie beim nMOS-Inverter.
 - Messen Sie die Anstiegszeit t_{rise} .
 - Messen Sie die Abfallzeit t_{fall} .
 - Bestimmen Sie die theoretische Maximalfrequenz mit der die Schaltung, basierend auf den Messungen, gerade noch funktionieren kann.
5. Welche Bauweise für einen Inverter würden Sie vorziehen? Vergleichen Sie die untersuchten Varianten und begründen Sie Ihre Wahl.

Protokoll

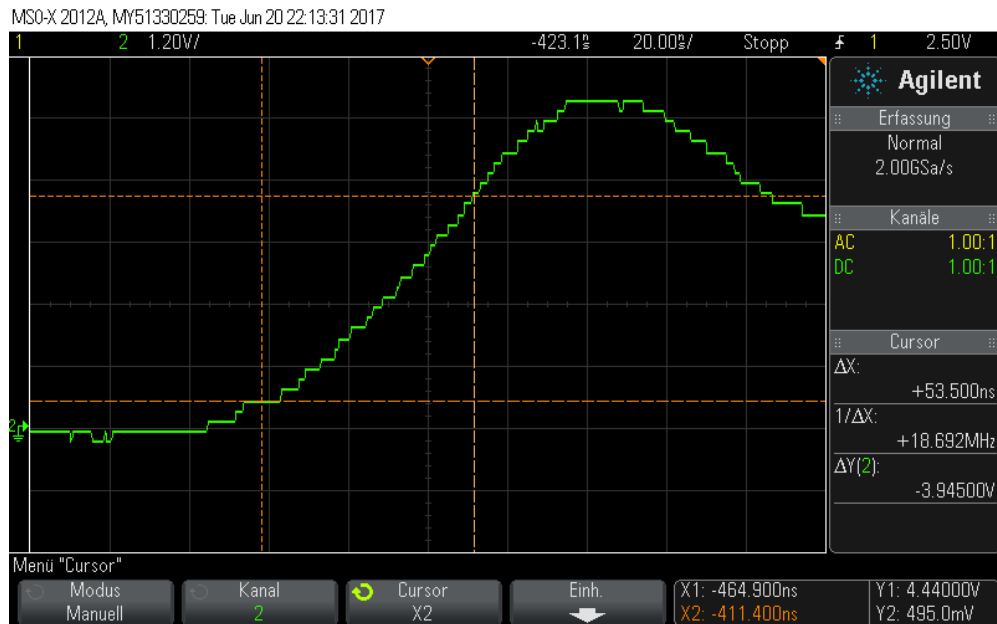


Abbildung 5.15: Anstiegszeit des CMOS-Inverters



Abbildung 5.16: Abfallzeit des CMOS-Inverters

Aus den Messungen ergeben sich:

$$\begin{aligned} t_{rise} &= 53.5\text{ns} \\ t_{fall} &= 18.6\text{ns} \\ \Rightarrow f_{\max} &= 9.35\text{MHz} \end{aligned}$$

Im Vergleich zum nMos-Inverter mit kleinem Widerstand ist der CMOS-Inverter nur um ca. einen Faktor 3 langsamer, dafür sind die Schalteigenschaften deutlich besser. Je nach Anwendung sollte man sich also zwischen nMos mit kleinem Widerstand für maximale Geschwindigkeit oder für den CMOS für besonders gute Schalteigenschaften und Energieeffizienz entscheiden.

5.3.4 CMOS-NOR

- Verwenden Sie eine Gleichspannung von +5V als Versorgungsspannung U_{DD} . Begrenzen Sie den Strom auf 100mA.
- Bauen Sie das CMOS-NOR entsprechend Ihrer Vorbereitung auf.
- Verifizieren Sie die Wahrheitstabelle, indem Sie die Eingänge U_A und U_B entsprechend mit den Potentialen GND und U_{DD} belegen.

Messen Sie den Schaltungsausgang mit dem Multimeter und vergleichen Sie mit der Tabelle aus ihrer Vorbereitung.

Protokoll

U_A	U_B	U_{out}
0V	0V	5V
5V	0V	4.7mV
0V	5V	0V
5V	5V	2.3mV

Tabelle 5.5: Wahrheitstabelle des CMOS-NOR

Die Schaltung weist die erwartete Charakteristik eines NOR-Gatters auf.