

# **GPET Versuch 11 — George Boole - voll integriert!**

**Gruppe: Dienstag14**

Tim Luchterhand, Paul Nykiel  
tim.luchterhand@uni-ulm.de, paul.nykiel@uni-ulm.de

27. Juni 2017

## 2 Vorbereitende Aufgaben

### 2.1 Vom Halbaddierer zum Volladdierer

1. Skizzieren Sie den Schaltplan des HA in Abbildung 2.1 gemäß Wahrheitstabelle.

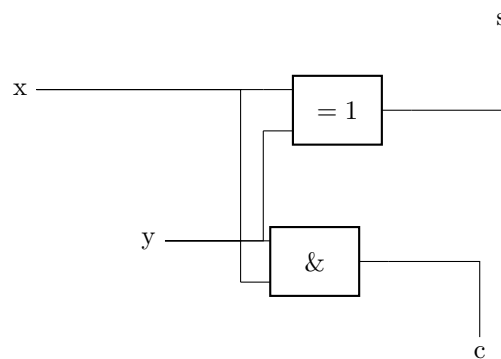


Abbildung 2.1: Halbaddierer

2. Erweitern Sie die Schaltung zu einem FA und skizzieren Sie sie in Abbildung 2.2

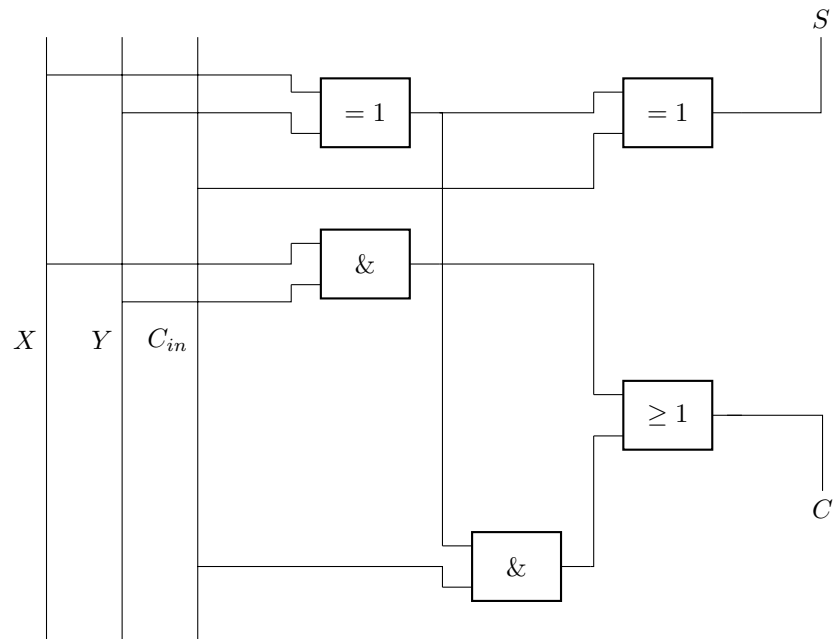


Abbildung 2.2: Komplizierter Volladdier

3. Versuchen Sie die FA-Schaltung so umzuformen, dass Ihnen zwei Quad-Gatter genügen. Notieren Sie die Herleitung und zeichnen Sie die Schaltung in Abbildung 2.3.

Mithilfe der De-Morganschen-Identität ergibt sich:

$$a + b = \overline{\overline{a + b}} = \overline{\overline{a} \cdot \overline{b}}$$

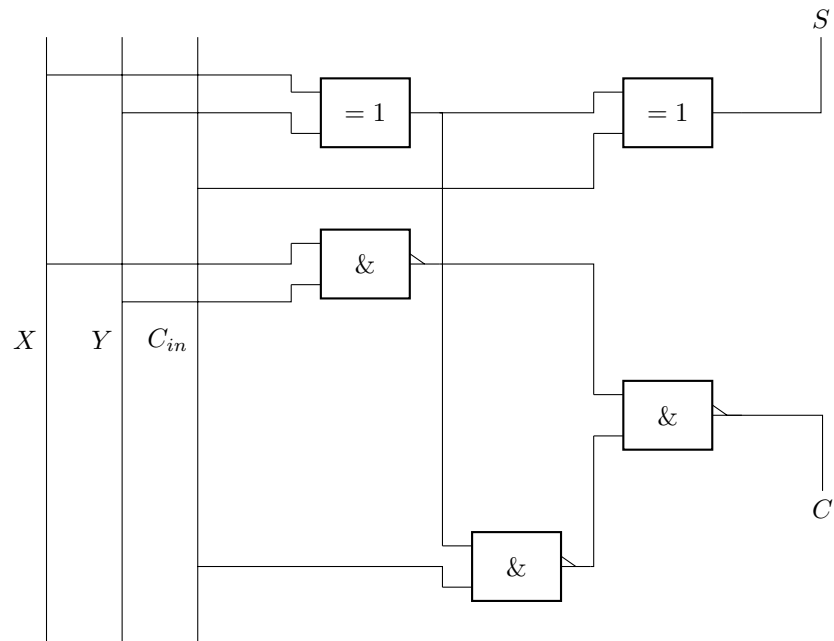


Abbildung 2.3: Vereinfachter Volladdierer

## 2.2 Schaltungsdefekte

## 4 Versuchsdurchführung

### 4.1 Volladdierer

Zunächst sollen Sie mit der Aufteilung des PCB-Boards vertraut werden und den Umgang mit den Laborkabeln anhand eines einfachen Beispiels verinnerlichen.

1. Bauen Sie einen Volladdierer gemäß Ihrer Vorbereitung auf. Realisieren Sie die Variante, die nur zwei Logikbausteine erfordert.
2. Verifizieren Sie die Wahrheitstabelle und zeigen Sie den Aufbau Ihrem Betreuer.

**Protokoll** Der aufgebaute Volladdierer funktioniert, wie erwartet, ordnungsgemäß.

### 4.2 Ermittlung der Logikfunktion

Beginnen Sie zunächst damit, die Ihnen unbekannte Schaltung A in Bereich (E) zu untersuchen.

1. Erstellen Sie die Wahrheitstabelle der unbekannten Funktion.
2. Ermitteln Sie mit Hilfe eines KV-Diagramms die minimierte Normalform der Schaltung. Lassen Sie Ihr Ergebnis durch Ihren Tutor überprüfen. Sie können sich nun die Schaltung in der Black-Box ansehen und Ihre Lösung verifizieren.

**Protokoll**

		BD			
		10	11	01	00
AC	10	0	0	1	1
	11	0	0	1	1
	01	1	0	0	0
	00	1	1	0	0

Tabelle 4.2: KV-Diagramm

a	b	c	d	out
0	0	0	0	0
1	0	0	0	1
0	1	0	0	1
1	1	0	0	0
0	0	1	0	0
1	0	1	0	1
0	1	1	0	1
1	1	1	0	0
0	0	0	1	0
1	0	0	1	1
0	1	0	1	1
1	1	0	1	0
0	0	1	1	0
1	0	1	1	1
0	1	1	1	0
1	1	1	1	0

Tabelle 4.1: Wahrheitstabelle der Schaltung A

Minimierte Normalform:

$$\begin{aligned}
 \text{out} &= a \cdot \bar{b} + \bar{a} \cdot \bar{d} \cdot b + b \cdot \bar{a} \cdot \bar{c} \\
 &= a \cdot \bar{b} + \bar{a} \cdot b \cdot (\bar{c} + \bar{d})
 \end{aligned}$$

Die Schaltung in der Blackbox stimmt mit der Normalform überein.

### 4.3 Aufspüren eines Schaltungsdefektes

Die zweite Schaltung (B) ist identisch zur soeben untersuchten, jedoch weicht ihr Verhalten auf Grund eines Defektes ab. Ein Knoten des Schaltnetzes ist stets auf konstantem Potenzial, unabhängig von der Belegung der Eingänge (stuck-at-0/1-Problem). Im Folgenden sollen Sie Art und Ort des Defektes bestimmen.

1. Erstellen Sie auch für dieses Schaltnetz die Wahrheitstabelle (Sch.B).
2. Welcher Baustein auf dem *DigiBoard* eignet sich, um auf den ersten Blick Unterschiede im Verhalten der beiden Schaltungen zu erkennen?
3. Nutzen Sie einen solchen Baustein um die Unterschiede des Verhaltens der beiden Schaltungen zu ermitteln und stellen Sie diese in einer Tabelle (Differenz) dar.
4. Betrachten Sie nur die Knoten  $K_1 - K_3$ . Finden Sie geeignete Testvektoren, um etwaige Defekte aufzuspüren:
5. Ermitteln Sie Ort und Art des Defektes.

### Protokoll

a	b	c	d	out
0	0	0	0	0
1	0	0	0	0
0	1	0	0	1
1	1	0	0	0
0	0	1	0	0
1	0	1	0	0
0	1	1	0	1
1	1	1	0	0
0	0	0	1	0
1	0	0	1	0
0	1	0	1	1
1	1	0	1	0
0	0	1	1	0
1	0	1	1	0
0	1	1	1	0
1	1	1	1	0

Tabelle 4.3: Wahrheitstabelle für Schaltung B

Man schaltet die Ausgänge der beiden Schaltungen mit einem XOR zusammen. Sobald die Ausgänge nicht identisch sind, ist der Ausgang des XORs auf high und sonst auf low.

a	b	c	d	$out_a$	$out_b$
1	0	0	0	1	0
1	0	0	1	1	0
1	0	1	0	1	0
1	0	1	1	1	0

Tabelle 4.4: Differenz der beiden Schaltungen

**Testvektoren**

$$K_1 : \bar{a} \cdot \bar{b} \cdot c \cdot d, \bar{a} \cdot b \cdot c \cdot d, a \cdot \bar{b} \cdot c \cdot d, a \cdot b \cdot c \cdot d$$

$$K_2 : \bar{a} \cdot \bar{b} \cdot \bar{c} \cdot d, a \cdot \bar{b} \cdot \bar{c} \cdot d, \bar{a} \cdot b \cdot \bar{c} \cdot d, a \cdot b \cdot \bar{c} \cdot d$$

$$K_3 : \bar{a} \cdot b \cdot \bar{c} \cdot \bar{d}, \bar{a} \cdot b \cdot c \cdot \bar{d}, \bar{a} \cdot \bar{b} \cdot \bar{c} \cdot \bar{d}, \bar{a} \cdot \bar{b} \cdot c \cdot \bar{d}$$

a	b	$K_1$
0	0	0
0	1	0
1	0	0
1	1	0

Tabelle 4.5: Testvektor bei  $K_1$ 

Aus dieser Tabelle erkennt man, dass der Knoten  $K_1$  immer auf 0V liegt, also ein „Stuck-at-0“ bei  $K_1$ .



## 4.4 Doppel-XOR

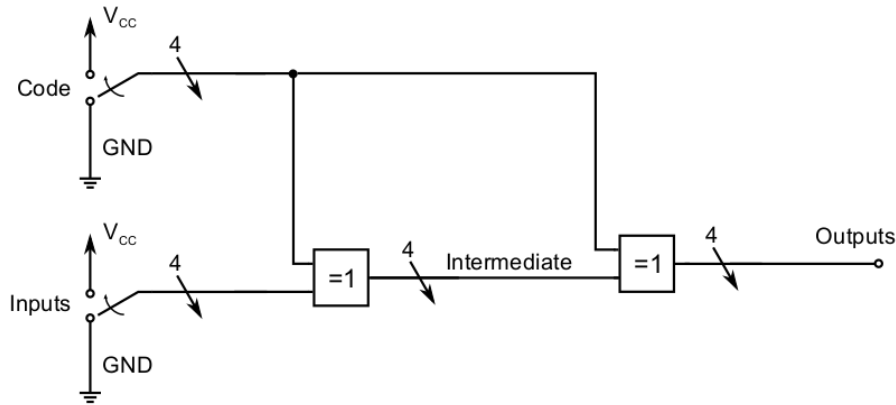


Abbildung 4.1: Versuch mit Doppel-XOR

Bauen Sie zunächst eine Schaltung aus 2 Quad-XORs gemäß Abbildung 4.1 auf. Die mit 4 gekennzeichneten Pfeile stehen für einen Bus mit vier Adern, das heißt, die dort gezeigte Schaltung ist vier mal parallel aufzubauen. Verwenden Sie sowohl für die vier *Inputs* als auch für die vier *Code*-Eingänge jeweils vier zusammenhängende Schalter aus Bereich (B), mit denen Sie zwischen *GND* und *V<sub>DD</sub>* wechseln können. Wenn Sie die vier *Intermediate*-Signale und die vier *Outputs* auf die LED-Bank in Bereich (G) legen, können Sie die Zustände gut vergleichen. Es bietet sich an, die vier zusammengehörenden Signale jeweils auf eine Reihe der LED-Bank zu geben und die selbe Reihenfolge zu nutzen. Stellen Sie nun eine beliebige aber konstante Eingangskombination für die vier *Inputs* ein.

1. Welcher Effekt lässt sich an den Ausgängen (*Intermediate* und *Output*) beobachten, wenn Sie bei konstanten *Input*-Eingängen eine andere Kombinationen auf die *Code*-Eingänge geben?
2. Welcher Effekt lässt sich an den Ausgängen (*Intermediate* und *Output*) beobachten, wenn Sie nun nur die *Input*-Eingänge variieren?
3. Wie lässt sich dieser Effekt mit Hilfe der Booleschen Gleichungen ausdrücken und belegen? Zeigen Sie, dass  $a \oplus b \oplus b = a$  gilt.
4. Wofür könnte die Schaltung genutzt werden?

**Protokoll** Der eingang Input wird unverändert zum Ausgang Output durchgereicht, der eingang Code verändert Output nicht. Am Ausgang Intermediate wird das „verschlüsselte“ Eingangssignal ausgegeben.

Das Verhalten der Schaltung lässt sich durch folgenden booleschen Ausdruck beschreiben:

$$a \oplus b \oplus b = a \oplus (b \oplus b) = a \oplus 0 = a$$

Ohne den Zustand des Codeeingangs zu kennen, lässt sich nur mit Kenntnis des Intermediate-Ausgangs nicht der eigentliche Eingangszustand bestimmen. Es handelt sich also um eine einfache Verschlüsselung.

## 4.5 Verwendung der digitalen Oszilloskop-Eingänge

Einführend sollen Sie die Gatterlaufzeiten eines AND, NOR, NOT und eines XOR ermitteln. Hierfür werden Sie die digitalen Eingänge des Oszilloskops verwenden.

### 4.5.1 Bereitstellung geeigneter Eingangssignale

Sie können mit Hilfe des Taster *CLK* aus Bereich (C) eine entprellte Flanke erzeugen. Verwenden Sie auf jeden Fall nur diesen Taster, da die anderen Schalter nicht entprellt sind und die Messung dadurch verfälscht werden könnte. Die benachoverlinete LED zeigt den aktuellen Pegel an. Sie benötigen zusätzlich zwei Jumper; mit dem Einen verbinden Sie den *CLK*-Taster mit der *CLK*-Leitung, mit dem Zweiten verbinden Sie in Bereich (F) eine der Buchsen mit der *CLK*-Leitung. Anschließend können Sie an dieser Buchse die Flanke abgreifen. Führen Sie dieses Signal sowohl auf einen Eingang des zu vermessenden Gatters, als auch auf einen *Output* in Bereich (G), sodass Sie am Oszilloskop auf die Flanke triggern können. Abbildung 4.2 verdeutlicht die benötigten Schritte nochmals. Beschalten Sie den zweiten Eingang des zu vermessenden Gatter so, dass die erzeugte Flanke zu einem Zustandswechsel führt.

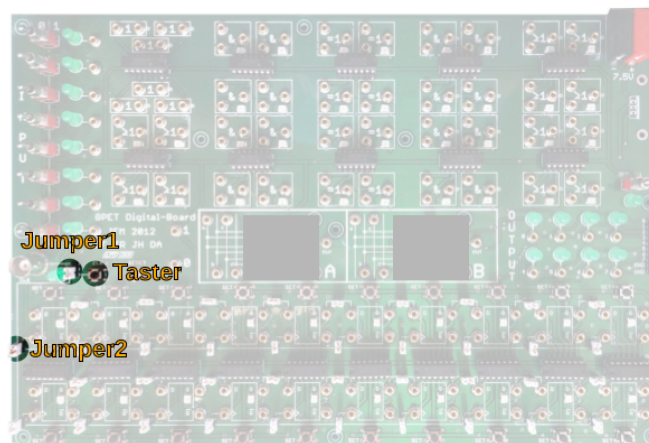


Abbildung 4.2: Abgreifen einer entprellten Flanke

### 4.5.2 Einstellungen am Oszilloskop

Verbinden Sie auf Seiten des *DigiBoards* die Kabelpeitsche mit der Pin-Leiste in Bereich (G) und achten Sie dabei auf die Beschriftung der einzelnen Kabel. Das Ende mit dem Flachbandkabel kann an der Frontseite des Oszilloskops eingesteckt werden. Setzen Sie das Oszilloskop mittels **Default Setup** zurück und deaktivieren Sie die analogen Kanäle 1 und 2. Per **Digital** gelangen Sie in das Menü zur Konfiguration der digitalen Eingänge. Mit den kontextabhängigen Knöpfen unterhalb des Displays wählen sie zunächst die richtige Schwellwerteinstellung für CMOS-Gatter (0V-5V, Schwelle ist 2,5V). Sie können nun zur Erhöhung der Übersichtlichkeit die Amplitude der Darstellung im Display anpassen und nur die benötigten Digital-Eingänge anwählen. Im **Trigger**-Menü können Sie schließlich den digitalen Eingang auswählen, der die Flanke liefert. Führen Sie dann die entsprechenden Messungen als Einzelmessung über **Single** durch. Ermitteln Sie die Laufzeiten für die Gatter AND, NOR, NOT und XOR.



Abbildung 4.3: Laufzeit für das AND-Gatter

**Protokoll** Laufzeit: 15ns

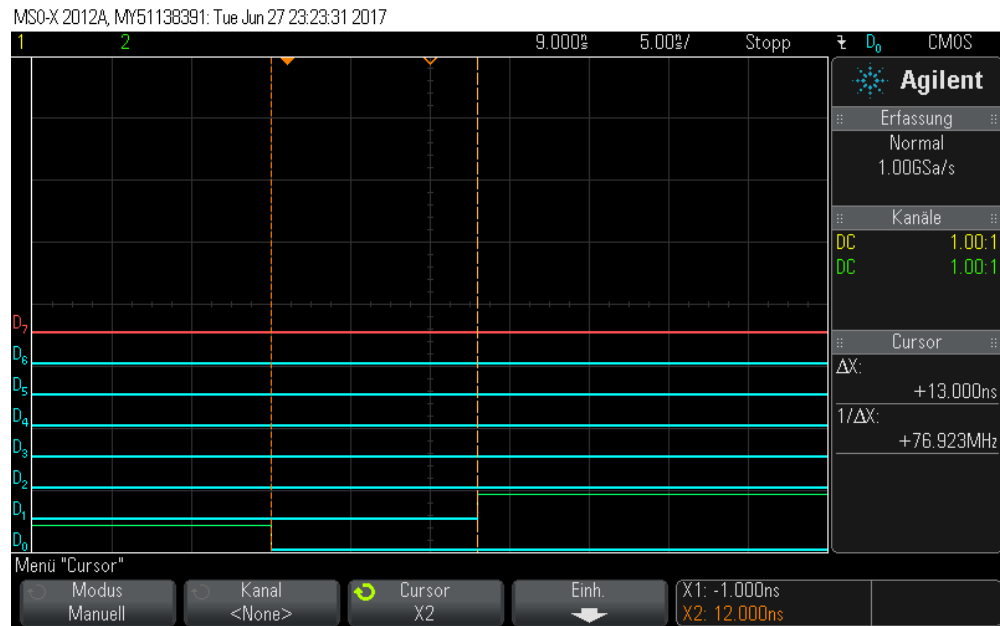


Abbildung 4.4: Laufzeit für das NOR-Gatter

Laufzeit: 13ns

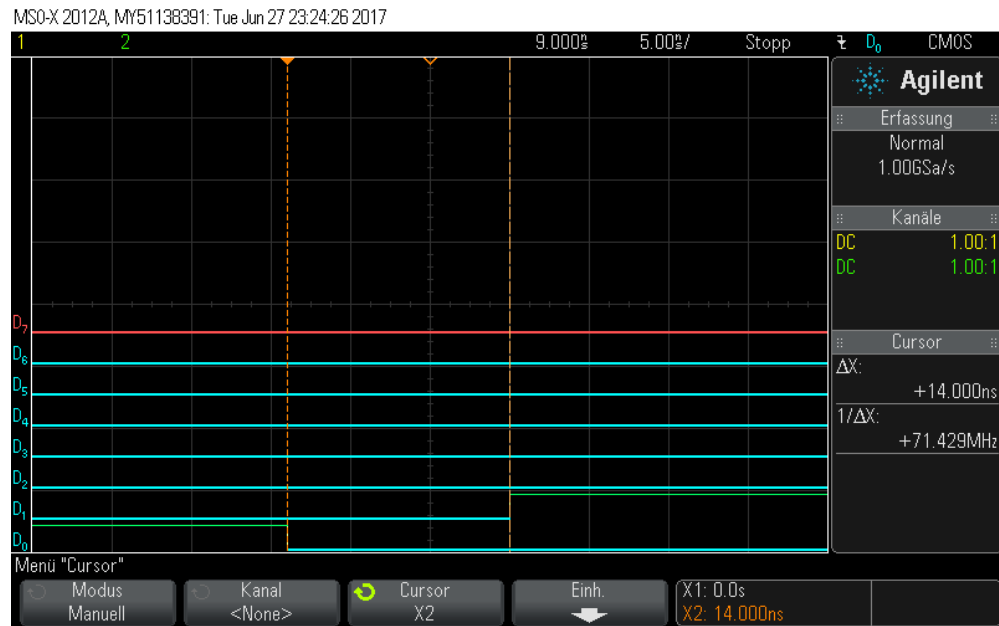


Abbildung 4.5: Laufzeit für das NOT-Gatter

Laufzeit: 14ns

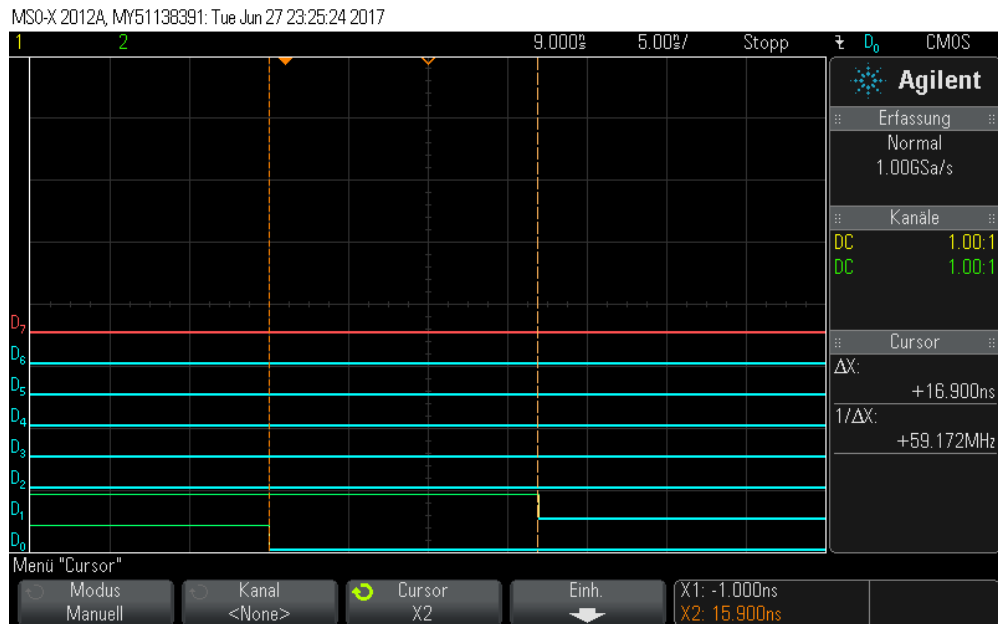


Abbildung 4.6: Laufzeit für das XOR-Gatter

Laufzeit: 17ns

## 4.6 Zeitverhalten der Gattersignale

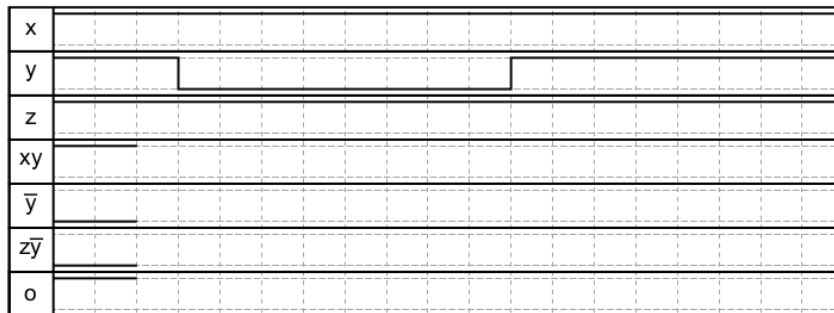


Abbildung 4.7: Timing Diagramm einer digitalen Schaltung

Wir wollen den Glitch aus der Vorbereitungsaufgabe nachvollziehen.

1. Bauen Sie die Schaltung gemäß der Vorbereitungsfrage auf und verifizieren Sie die Wahrheitstabelle.
2. Wählen Sie für  $x$  den Kanal 7 und führen sie alle weiteren Signale gemäß Abbildung 4.7 auf die weiteren Ausgänge ( $x \rightarrow 7 \dots o \rightarrow 1$ ). Dadurch lässt sich die Ausbreitung der Signale innerhalb der Schaltung gut beobachten. Wir wollen nun das Timing-Diagramm nachmessen. Hierfür setzen Sie  $x = z = 1$  und erzeugen mit Hilfe des *CLK*-Tasters eine fallende Flanke auf  $y$ . Am Oszilloskop triggern Sie nun auf den Kanal, der die fallende Flanke von  $y$  führt. Stellen Sie am Oszilloskop eine geeignete zeitliche Auflösung ein, um sowohl die fallende Flanke als auch den Glitch sehen zu können. Messen Sie alle Signale der Schaltung und fügen Sie einen screenshot in Ihr Protokoll ein. Lassen Sie die Schaltung für den folgenden Versuch aufgebaut.

### Hinweis

Sollten Sie den Glitch nicht sehen obwohl sich die Schaltung ansonsten erwartungsgemäß verhält, versuchen Sie andere UND-Gatter zu verwenden. Durch Toleranzen der Bauteillaufzeiten kann es im „ungünstigsten“ Fall passieren, dass der Glitch zufällig unterdrückt wird.

### Protokoll



Abbildung 4.8: Auftretender Glitch

Der Glitch ist in Form eines kurzen Low-Pegels beim Eingang  $D_1$  deutlich zu sehen.

## 4.7 Gegenmaßnahmen bei Glitches

Der gemessene Glitch ist eine Folge der absoluten Minimierung der Normalform. Glitches können immer auftreten, wenn im KV-Diagramm keine Überdeckungen zwischen den Termen bestehen. Im Rückschluss können Hazards vermieden werden, indem man durch Hinzufügen von Termen zusätzliche Überdeckungen schafft. Die Funktion ist dann nicht mehr minimal, aber frei von Hazards.

1. Stellen Sie erneut ein KV-Diagramm auf. Das Schaltnetz soll jedoch durch Hinzufügen eines Terms immun gegen den beobachteten Glitch werden. Heben Sie den Term hervor, der eine Überdeckung der beiden bisherigen Einkreisungen herstellt. Wie muss die Hazard-freie Funktion lauten?
2. Zeichnen Sie den Schaltplan der neuen Funktion auf Gatter-Ebene und zeigen Sie diesen Ihrem Tutor.
3. Erweitern Sie Ihre Schaltung auf dem *DigiBoard* gemäß dem Schaltplan und legen das neue Ausgangssignal auf den letzten verbleibenden Digital-Eingang.
4. Messen Sie das Timing-Diagramm für die fallende Flanke von  $y$  wie im vorhergehenden Versuch und diskutieren Sie, ob und wie das Einfügen des zusätzlichen Terms den Glitch verhindert.

### Protokoll

		yz			
		10	11	01	00
x	1	1	1	1	0
	0	0	0	1	0

Tabelle 4.6: KV-Diagramm

Daraus ergibt sich die Normalform:

$$\text{out} = x \cdot y + z \cdot \bar{y} + x \cdot z$$





Abbildung 4.9: Glitch tritt nicht mehr auf

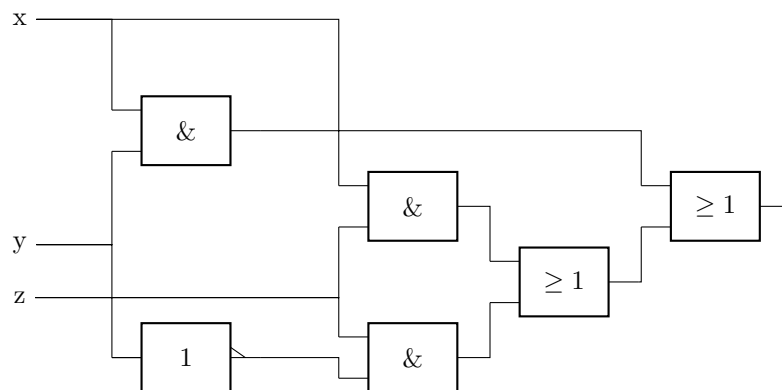


Abbildung 4.10: Schaltung ohne Glitch

Wie in der überarbeiteten Schaltung zu erkennen, wird das glitchbehaftete Signal nun zusätzlich mit  $x \cdot z$  verodert. Dadurch verschwindet der kurze Low-Pegel.