

GPET Versuch 12 — Würfeln mit Eccles & Jordan

Gruppe: Dienstag14

Tim Luchterhand, Paul Nykiel
tim.luchterhand@uni-ulm.de, paul.nykiel@uni-ulm.de

28. Juni 2017

3.1 Latches und Flip-Flops

Zu Beginn des Versuches sollen einfache Speicherzellen aus den grundlegenden Logikgattern aufgebaut werden, die Sie bereits im vorherigen Versuch kennengelernt haben.

3.1.1 Ungetaktete Latches

Bauen Sie ein ungetaktetes RS-Latch und ein ungetaktetes D-Latch nach Abbildung 1 aus NOR und NOT Gattern auf. Verwenden Sie zwei Schalter im Bereich (B) des *Digital-Boards* zur Erzeugung der Signale D/S und R und verbinden Sie die positiven Ausgänge Q mit den LEDs im Bereich (G). Versuchen Sie, die in Abbildung 3.1 dargestellte Signalfolge nachzuvollziehen und ergänzen Sie die Ausgangssignale Q der Latches. Die Verzögerungen durch Gatterlaufzeiten müssen nicht berücksichtigt werden. Das Timing ist ebenfalls nicht relevant, solange die vorgegebene Abfolge der Signale eingehalten wird.

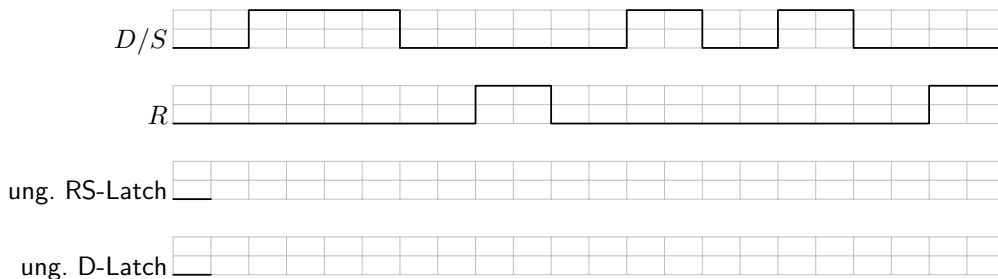


Abbildung 3.1: Vervollständigen Sie das Timing-Diagramm der ungetakteten Latches.

3.1.2 Getaktete Latches

Erweitern Sie die beiden Latches nun mit Hilfe von AND-Gattern um einen Takteingang (vgl. Abbildung 2), den Sie mit einem weiteren Schalter verbinden. Vervollständigen Sie das Timing-Diagramm in Abbildung 3.4.

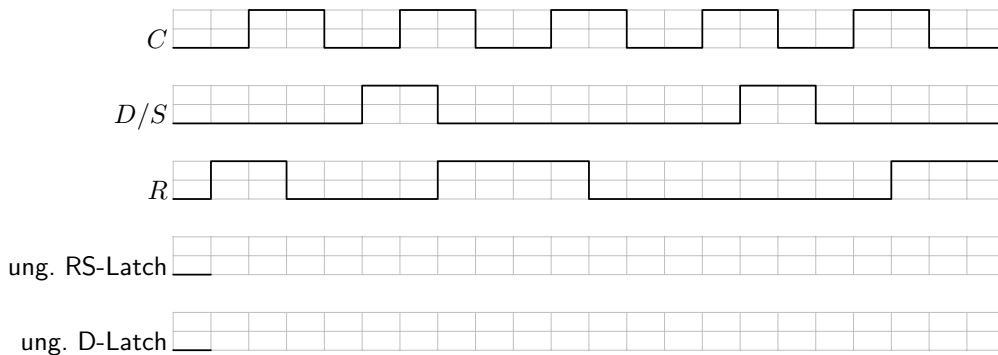


Abbildung 3.2: Vervollständigen Sie das Timing-Diagramm der ungetakteten Latches.

3.1.3 D-Flip-Flop

Realisieren Sie ein positiv flankengesteuertes D-Flip-Flop, wie in Abbildung 3b dargestellt aus den Einfachgattern NOR, AND und NOT. Die Eingangssignale sollen auch hier durch Schalter realisiert werden, der Ausgang soll auf eine LED im Bereich (G) gelegt werden. Tragen Sie die ermittelten Ausgangssignale des Flip-Flops in Abbildung 3.3 ein.

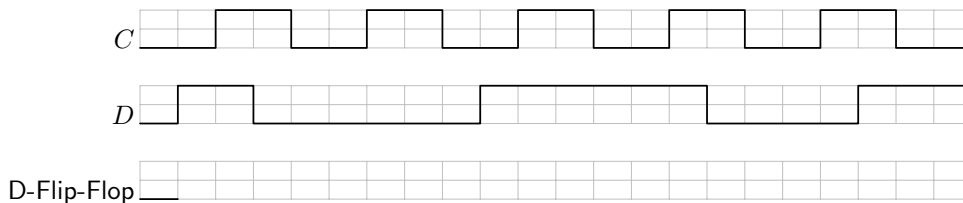


Abbildung 3.3: Vervollständigen Sie das Timing-Diagramm des D-Flip-Flops.

3.2 8 Bit-Asynchrnzähler

Wie Sie feststellen konnten, erfordert der Aufbau eines einzelnen Flip-Flops aus Logikgattern einen erheblichen Schaltungsaufwand. Um auch komplexer Schaltwerke realisieren zu können, verwenden wir ab jetzt die integrierten D-Flip-Flops im Bereich (F) des *Digital- Boards*. Entfernen Sie für diesen Versuch zunächst alle Jumper. Sie benötigen lediglich den Jumper für die Wahl des CLK -Tasters als Takteingangs und eine Verbindung des ersten Flip-Flops des Zählers mit dem zentralen Taktsignal.

3.2.1 Aufbau

Bauen Sie einen 8 Bit-Asynchrnzähler nach dem Prinzip aus Vorbereitungsfrage 2.3 auf. Verwenden Sie den CLK -Taster zur Erzeugung eines Taktpulses und überprüfen

Sie die Funktionalität. Um die höherwertigen Bits zu überprüfen können Sie den Zähler mit den SET -Tastern auch vorinitialisieren. Zeigen Sie anschließend den Aufbau Ihrem Tutor.

3.2.2 Zwischenwerte

Betrachten Sie nun die Ausgänge des Zählers auf dem Oszilloskop. Setzen Sie zunächst das Oszilloskop mittels Default Setup zurück. Verbinden Sie anschließend die Flip-Flops mit den Ausgängen 0-7 des im Bereich (G) und schließen Sie die Digitaleingänge des Oszilloskops an die Stiftleiste an. Aktivieren Sie im die Eingänge $D_0 - D_7$ im Digital Menü und gruppieren Sie diese als Hexadezimal-Bus. Achten Sie darauf, dass die richtigen Schwellwerte für die digitalen Eingänge (CMOS, 2,5 V) eingestellt sind. Stellen Sie zuletzt den Trigger auf einen geeigneten Eingang ein und wählen Sie die wechselnde Flanke, um sowohl bei steigender als auch bei fallender Flanke ein Triggererevent auszulösen. Der Triggermodus sollte mittels Mode/Coupling auf Normal gestellt werden, da im Auto-Modus auch bei fehlendem Triggerimpuls eine Aktualisierung durchgeführt wird. Schauen Sie sich den Übergang vom Zählerstand $0111\ 1111_{\text{bin}}$ (127_{dec} bzw. $7F_{\text{hex}}$) zum Zählerstand $1000\ 0000_{\text{bin}}$ (128_{dec} bzw. 80_{hex}) an. Tragen Sie die Zwischenzustände des Asynchronzählers in das Timing-Diagramm in Abbildung 18 ein und nehmen Sie einen Screenshot vom Oszilloskop in Ihr Protokoll mit auf. Was ist der Grund für diese Zwischenzustände?



Abbildung 3.4: Vervollständigen Sie das Timing-Diagramm der ungetakteten Latches.

3.2.3 Gatterlaufzeit

Bestimmen Sie Zeit bis ein neuer (korrekter) Zählerstand an den Ausgängen anliegt und errechnen Sie daraus die Laufzeitverzögerung eines D-Flip-Flops.

3.3 4 Bit-Synchronzähler

Setzen Sie für diesen Versuch alle vertikalen Jumper auf das *Digital-Board*. Damit werden alle Flip-Flops mit dem zentralen Taktsignal versorgt. Verwenden Sie weiterhin den CLK - Taster als Takteingang.

3.3.1 Aufbau

Bauen Sie nun einen 4 Bit-Synchronzähler mit der Zählreihenfolge $0 \rightarrow 3 \rightarrow 6 \rightarrow 9 \rightarrow 12 \rightarrow 0 \rightarrow \dots$ auf und überprüfen Sie die Funktionalität. Verwenden Sie dazu die Ergebnisse von Vorbereitungsfrage 2.4. Zeigen Sie den Aufbau Ihrem Tutor.

3.3.2 Übergänge

Betrachten Sie auch hier die vier Bits des Zählers auf dem Oszilloskop. Schauen Sie sich die Übergänge der Zählerstände an. Im Gegensatz zum Asynchronzähler sollten die

Übergänge beim Synchronzähler gleichzeitig stattfinden. Dennoch werden Sie bei mehrfacher Wiederholung des Versuches feststellen, dass die Übergänge unter Umständen zu minimal unterschiedlichen Zeitpunkten stattfinden. Dies ist auf verschiedene Ursachen zurückzuführen. Neben leicht unterschiedlichen Laufzeiten der einzelnen D-Flip-Flops hängt dies primär mit der Datenerfassung der digitalen Eingänge des Oszilloskops zusammen. Ein limitierender Faktor ist die minimale Zeitauflösung des Oszilloskops. Was ist die maximale Zeitliche Auflösung des Oszilloskops, oder anders ausgedrückt der minimale Laufzeitunterschied den Sie beobachten können?

Zudem stellt der digitale Eingang das Signal stark idealisiert dar, da ein einfacher Schwellwertvergleich vorgenommen wird. Liegt das Eingangssignal unterhalb des eingestellten Referenzpegels (bei CMOS 2,5 V), so wird eine 0 erkannt, oberhalb eine 1. Tatsächlich findet dagegen ein annähernd exponentieller Lade- bzw. Entladevorgang statt, die Zeitkonstante wird dabei primär von den parasitären Kapazitäten des folgenden Gatters sowie der Eingangskapazität des Oszilloskopeingangs bestimmt.

3.4 Schieberegister

3.4.1 Ringzähler

Bauen Sie ein 8 Bit-Schieberegister auf, indem Sie die horizontalen Jumper verwenden und verbinden Sie den Ausgang des letzten Flip-Flops mit dem Eingang des ersten (8 Bit-Ringzähler). Überprüfen Sie die Funktionalität, indem Sie ein beliebiges Bitmuster „durchschieben“. Zeigen Sie den Aufbau Ihrem Tutor.

3.4.2 Frequenzteiler

Der von Ihnen aufgebaute Ringzähler kann, abhängig vom Anfangszustand des Schieberegisters, auch als Frequenzteiler genutzt werden. Betreiben Sie den Ringzähler hierzu mit dem Frequenzgenerator aus dem Oszilloskop. Der Frequenzgenerator wird mit der Taste Wave Gen aktiviert. Stellen Sie die Form auf Rechteck, die untere Spannung auf 0 V und die obere Spannung auf 5 V ein, der Arbeitszyklus sollte 50 % betragen. Wenn Sie die richtigen Werte eingestellt haben verbinden Sie den Ausgang Gen. Out mit dem BNC-Eingang des Digital-Boards und wählen Sie den BNC-Eingang mit dem Jumper aus. Mehrfaches Drücken der Taste Wave Gen aktiviert und deaktiviert das Taktsignal. Stellen Sie nun eine Frequenz von 10 Hz ein und stellen Sie diesen Takt sowie den Ausgang des letzten Flip-Flops auf dem Oszilloskop dar. Untersuchen Sie die fünf Anfangszustände aus Tabelle 4 im Hinblick auf die Frequenzteilung. Messen Sie hierbei die Frequenz des Ausgangssignals und leiten Sie daraus die Frequenzteilung sowie den Arbeitszyklus ab.

Anfangszustand	Ausgangsfrequenz	Frequenzteilung	Arbeitszyklus
11110000			
11001100			
10101010			
10000000			
10001000			

Tabelle 3.1: Messergebnisse des Frequenzteilers.

3.5 DVB-S Scrambler

Bauen Sie das linear rückgekoppelte Schieberegister des DVB-S Scramblers auf, das im grau hinterlegten Teil in Abbildung 5 dargestellt ist. Wie kann das Scrambling auf der Empfängerseite rückgängig gemacht werden? Wie lautet das Boolesche Gesetz für diesen Vorgang? (Tipp: Erinnern Sie sich an den vorherigen Versuch)

Ermitteln Sie die ersten 20 Werte der PN-Sequenz. Achten Sie auf eine korrekte Vorinitialisierung des Registers, die in Abbildung 5 oberhalb jeder Zelle angegeben ist.

3.6 GPS C/A-Code Generator

Bauen Sie den C/A-Code-Generator des GPS-Systems auf, das im grau hinterlegten Teil in Abbildung 6 dargestellt ist. Beginnen Sie mit dem G1-Shift-Register nach Abbildung 7 und dem G2-Shift-Register nach Abbildung 8. Schalten Sie als letztes die Verknüpfungen zur Generierung der G_i -Sequenz gemäß Abbildung 6. In Tabelle 5 finden Sie die entsprechenden Werte für die Phase-Select-Logic der Satelliten 5, 13 und 17. Ermitteln Sie für diese Satelliten jeweils die ersten 10 Werte der PN-Sequenz. Beide Register müssen dabei jeweils mit Einsen vorinitialisiert werden.

Satellit	Phase-Select-Logic	PN-Sequenz
5	$1 \oplus 9$	
13	$6 \oplus 7$	
17	$1 \oplus 4$	

Tabelle 3.2: GPS C/A Code