

Grundlagen der Rechnerarchitektur

Tim Luchterhand, Paul Nykiel (Abgabegruppe 117)

8. Dezember 2018

1 Digitale Schaltungen

1.1

$2^3 = x_3$	$2^2 = x_2$	$2^1 = x_1$	$2^0 = x_0$	x_{10}	$f(x)$
0	0	0	0	0	1
0	0	0	1	1	1
0	0	1	0	2	1
0	0	1	1	3	1
0	1	0	0	4	1
0	1	0	1	5	1
0	1	1	0	6	1
0	1	1	1	7	0
1	0	0	0	8	1
1	0	0	1	9	1
1	0	1	0	10	1
1	0	1	1	11	0
1	1	0	0	12	1
1	1	0	1	13	1
1	1	1	0	14	1
1	1	1	1	15	1

(a)

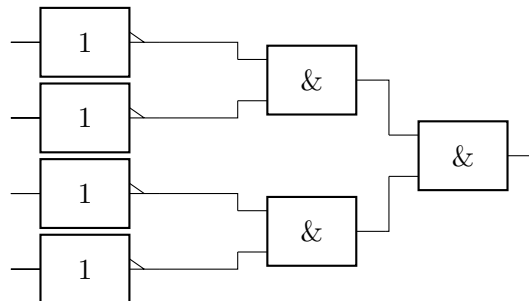
(b)

$$\begin{aligned}
 f(x) = & \overline{x_0} \overline{x_1} \overline{x_2} \overline{x_3} \\
 & + \overline{x_0} \overline{x_1} \overline{x_2} x_3 \\
 & + \overline{x_0} \overline{x_1} x_2 \overline{x_3} \\
 & + \overline{x_0} \overline{x_1} x_2 x_3 \\
 & + \overline{x_0} x_1 \overline{x_2} \overline{x_3} \\
 & + \overline{x_0} x_1 \overline{x_2} x_3 \\
 & + \overline{x_0} x_1 x_2 \overline{x_3} \\
 & + \overline{x_0} x_1 x_2 x_3 \\
 & + x_0 \overline{x_1} \overline{x_2} \overline{x_3} \\
 & + x_0 \overline{x_1} \overline{x_2} x_3 \\
 & + x_0 \overline{x_1} x_2 \overline{x_3} \\
 & + x_0 \overline{x_1} x_2 x_3 \\
 & + x_0 x_1 \overline{x_2} \overline{x_3} \\
 & + x_0 x_1 \overline{x_2} x_3 \\
 & + x_0 x_1 x_2 \overline{x_3} \\
 & + x_0 x_1 x_2 x_3
 \end{aligned}$$

(c)

$$f(x) = (x_0 + \overline{x_1} + \overline{x_2} + \overline{x_3}) \cdot (\overline{x_0} + x_1 + \overline{x_2} + \overline{x_3})$$

(d) Gatterschaltung:



(e) Karnaugh-Veitch-Diagramm:

		x_0					
		0	1	1	0		
x_1	0	1	1	1	1	0	x_3
	1	1	1	0	1	0	
	1	1	0	1	1	1	
	0	1	1	1	1	1	
		x_2					
		0	0	1	1		

Daraus ergibt sich:

$$\begin{aligned}
 f_{\text{Min}}(x) = & \overline{x_2} \cdot \overline{x_3} \\
 & + x_2 \cdot x_3 \\
 & + \overline{x_1} \cdot x_2 \cdot \overline{x_3} \\
 & + \overline{x_0} \cdot x_2 \cdot \overline{x_3} \\
 & + \overline{x_1} \cdot \overline{x_2} \cdot x_3 \\
 & + \overline{x_0} \cdot \overline{x_2} \cdot x_3
 \end{aligned}$$

(f)

(g)

1.2

- (a) Bei n- bzw. p-Mos Schaltungen fließt in dem Fall das der Ausgang auf *GND* liegt fließt durch den Pull-Up Widerstand ein Strom. Dieser Strom sorgt für einen erhöhten Stromverbrauch und damit verbunden thermische Probleme wenn viele Logikelemente auf kleinem Raum realisiert werden.

Zudem muss eine Kompromiss bei der Dimensionierung des Pull-Up Widerstandes eingegangen werden, bei zu kleinem Widerstand fließt ein sehr großer Strom, bei zu großem Widerstand kann das Gatter nicht mehr funktionieren wenn der Ausgang gegen *GND* gezogen wird.

Des weiteren sind Widerstände schwierig auf die Größenordnung von MOS-Transistoren zu verkleinern. Außerdem führt die vergleichsweise große physikalische Ausdehnung von Widerständen bei hohen Taktraten zu Problemen durch die parasitären Kapazitäten und Induktivitäten eines Widerstandes.

(b) Die ausprobieren der verschiedenen Eingangswerte ergibt sich:

x_1	x_2	x_3	$f(x_1, x_2, x_3)$
0	0	0	1
1	0	0	1
0	1	0	1
1	1	0	0
0	0	1	1
1	0	1	1
0	1	1	1
1	1	1	0

Daraus folgt:

$$f(x_1, x_2, x_3) = \overline{x_1 \cdot x_2}$$

(c) siehe b)

(d)