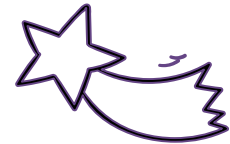
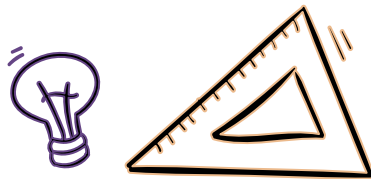




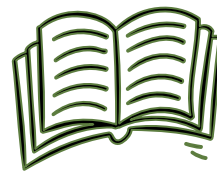
تصميم الدارات الإلكترونية بالحاسوب



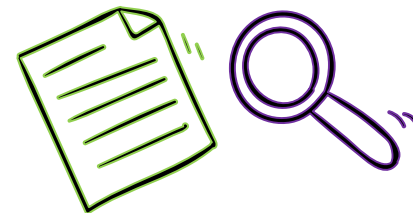
Computer Design of Electronic Circuits



إعداد: د. علا جزماتي



السنة الرابعة قسم التحكم والأتمتة
العام الدراسي 2023-2024



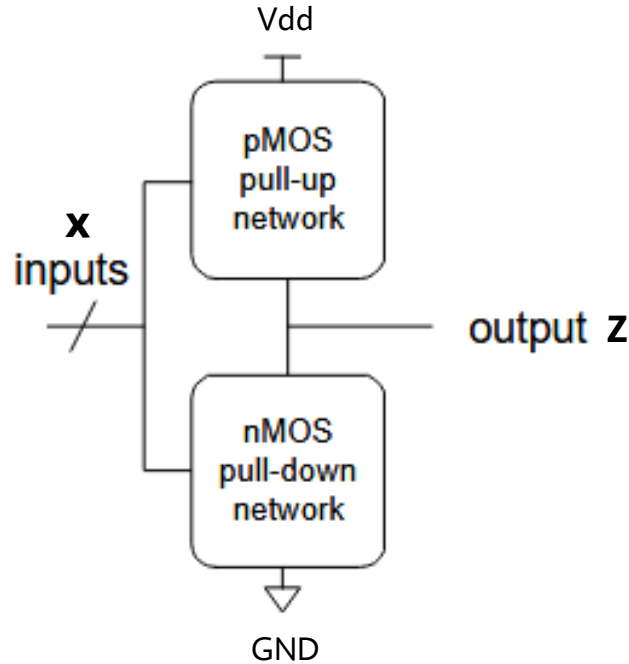
المحاضرة السادسة



محتويات المقرر

1. مدخل إلى أهمية تطوير أدوات التصميم باستخدام الحاسب (Introduction to The Need of Developing CAD Tools)
2. تصنيف عام لأنواع أدوات التصميم (General Classification of CAD Tools Used in Electronic Systems Design)
3. مدخل إلى اللغات المستخدمة في التصميم (Introduction to Design Languages VHDL, Verilog, Verilog System, ..)
4. مدخل إلى مراحل بناء النظم الرقمية (Introduction to Digital Systems Synthesis)
5. مرحلة البناء منخفض المستوى (Low Level Synthesis)
6. تصميم الدارات المتكاملة للنظم عالية التكامل (Layout Design for VLSI Systems)
7. تطبيقات تصميمية (Design Applications)
8. اتجاهات التطور الحديثة (Trends and New Directions)

تصميم الأنظمة الرقمية باستخدام CMOS:



إن التابع الكلي لشبكة CMOS يعطى بالعلاقة : $Z = f(x)$

والشكل التالي يوضح شبكة CMOS المكونة من :

1- شبكة السحب نحو المستوى الأعلى pmos

2- شبكة السحب نحو المستوى المنخفض nmos

تابع nmos : $Z_n = \overline{f(x)}$

تابع pmos : $Z_p = f(\bar{x})$

$$Z = Z_n[0'] + Z_p[1]$$

تصميم الأنظمة الرقمية باستخدام CMOS:

مثال 1 :

نريد تحقيق دارة nor : $Z = \overline{A + B}$

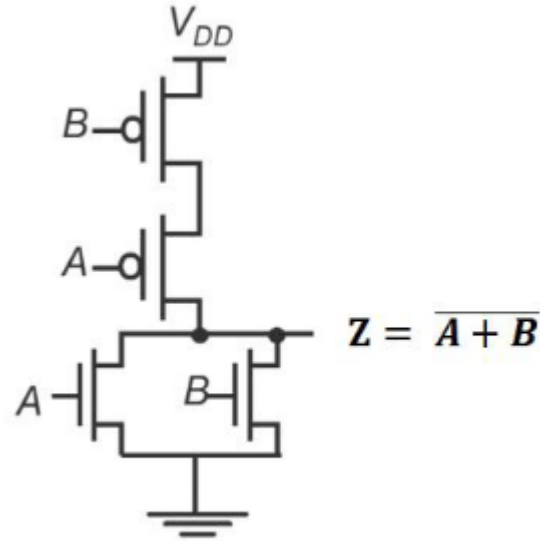
الحل :

تابع nmos : $Z_n = \overline{f(x)} = A + B$

وهذا التابع يحققه ترانزستورين على التفرع.

تابع pmos : $Z_p = f(\bar{x}) = \overline{\overline{A} + \overline{B}} = A.B$

وهذا التابع يحققه ترانزستورين على التسلسل.



دارة nor

4 T

ومنه نرسم الدارة التالية :

تصميم الأنظمة الرقمية باستخدام CMOS:

مثال 2 :

نريد تحقيق دارة not : $Z = \bar{x}$

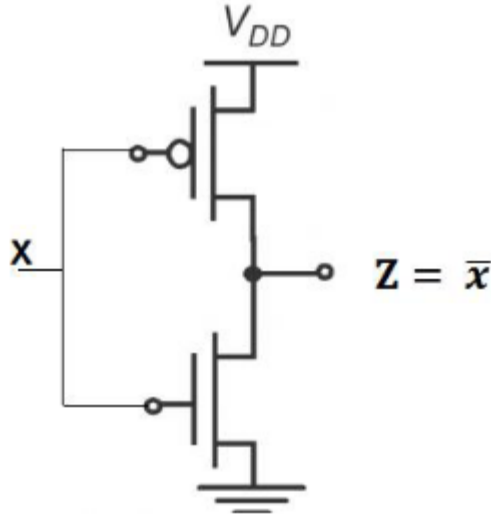
الحل :

تابع nmos : $Z_n = \overline{f(x)} = \bar{\bar{x}} = x$

وهذا التابع يحققه ترانزستور nmos

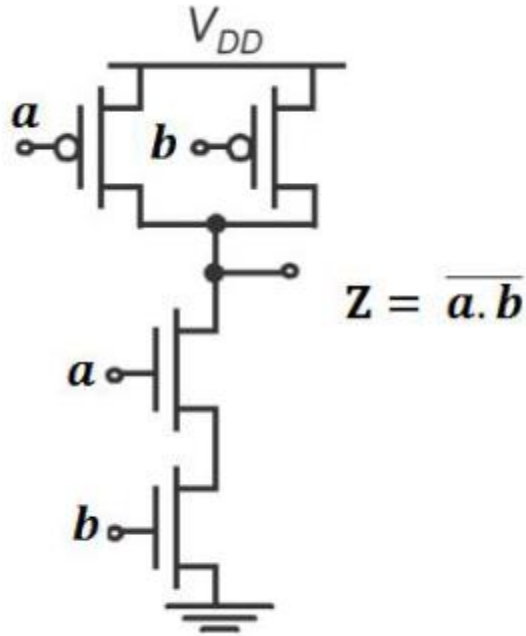
تابع pmos : $Z_p = f(\bar{x}) = x$

وهذا التابع يحققه ترانزستور pmos.



2 T

تصميم الأنظمة الرقمية باستخدام CMOS:



مثال 3 :

نريد تحقيق دارة NAND : $Z = \overline{a.b}$

الحل :

تابع nmos : $Z_n = \overline{f(x)} = \overline{\overline{a.b}} = a.b$

وهذا التابع يحققه ترانزستورين nmos على التسلسل.

تابع pmos : $Z_p = f(\overline{x}) = \overline{\overline{a.b}} = \overline{\overline{a}} + \overline{\overline{b}} = a + b$

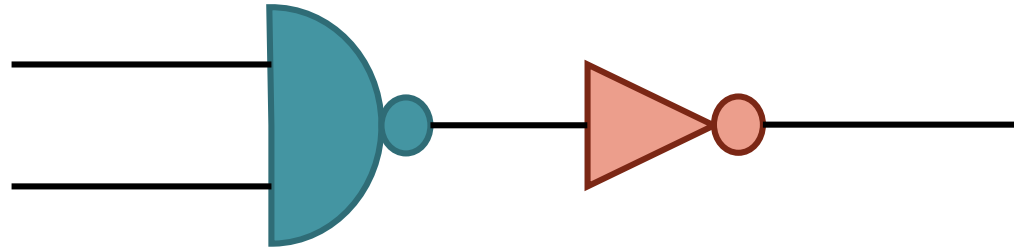
وهذا التابع يحققه ترانزستورين pmos على التفرع.

ومنه نرسم الدارة التالية :

4 T

1

AND



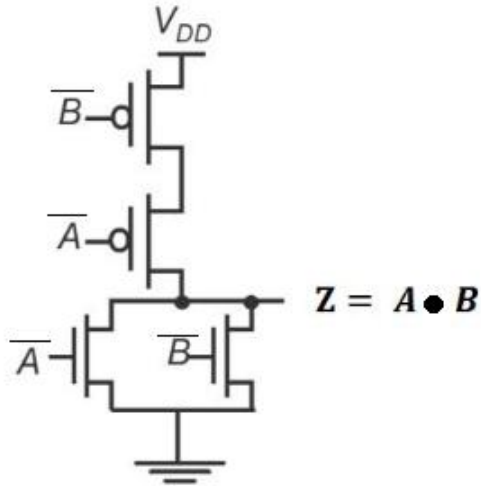
4 T

2 T

6 T

2

AND



$$Z = f(a,b) = a.b$$

$$Z_n = f(a, b) = \overline{a.b} = \overline{a} + \overline{b}$$

$$Z_p = f(a, b) = \overline{a.b}$$

تفرع

تسلسل

$$4+2+2 = 8 \text{ T}$$

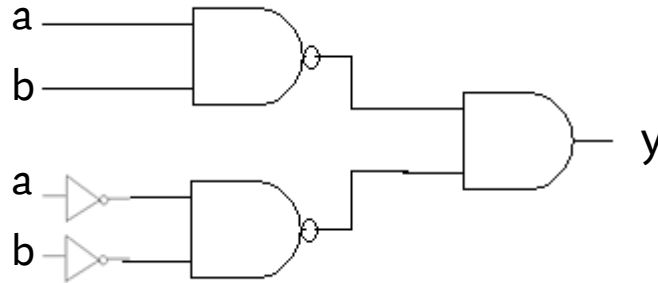
تصميم الأنظمة الرقمية باستخدام CMOS:

OR



XOR

طريقة أولى



$$2T + 2T + 4T + 4T + 8T$$

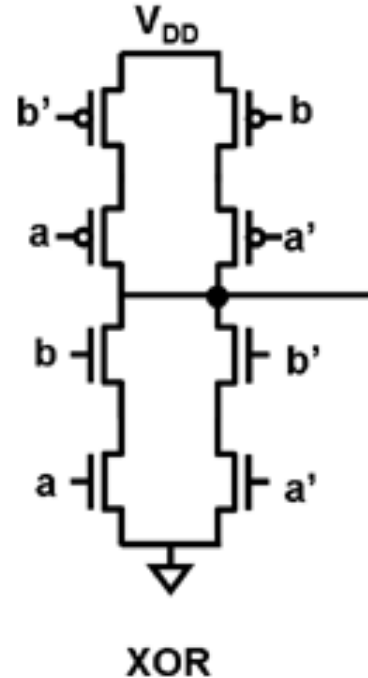
20T

XOR

طريقة ثانية

$$Z = f(a, b) = a.\bar{b} + \bar{a}.b$$
$$Zn = \overline{f(a, b)} = \bar{a}.\bar{b} + a.b$$
$$Zp = f(\bar{a}, \bar{b}) = a.\bar{b} + \bar{a}.b$$

12T



XOR

طريقة ثالثة

$$Z = f(a, b) = \overline{a \cdot \bar{b} + \bar{a} \cdot b} = \overline{a \cdot \bar{b}} \cdot \overline{\bar{a} \cdot b} = \overline{(a + \bar{b})} \cdot \overline{(\bar{a} + b)}$$

$$Z = \overline{(a \cdot b + \bar{a} \cdot \bar{b})} = \overline{(a \cdot b + (a + b))}$$

$$C = \overline{a + b}$$

$$Z = \overline{a \cdot b + C}$$

$$Zn = \overline{f(a, b, c)} = \overline{a \cdot b + C}$$

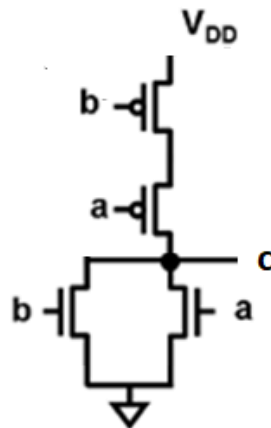
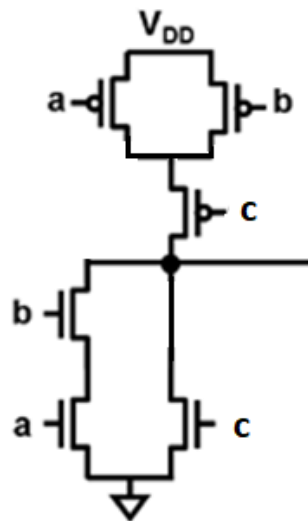
$$Zp = f(\bar{a}, \bar{b}, \bar{c}) = \overline{\bar{a} \cdot \bar{b} + \bar{c}} = (a + b) \cdot C$$

$$C = \overline{a + b}$$

$$Cn = a + b$$

$$Cp = a \cdot b$$

10T



نلاحظ أنه عند أخذ النفي مرتين للتابع المنطقي - غير المنفي- يمكن الحصول على دارات CMOS بعدد أقل من الترانزستورات

XNOR

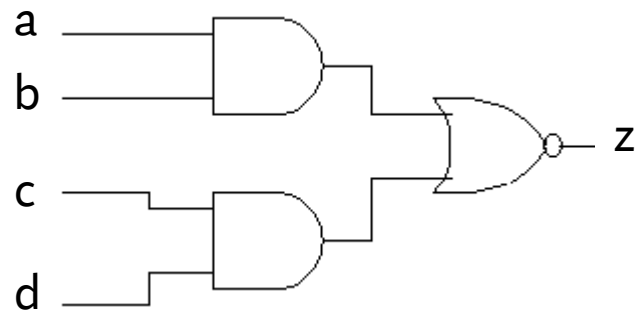


تصميم الأنظمة الرقمية باستخدام CMOS:

$$Z = ab + cd$$

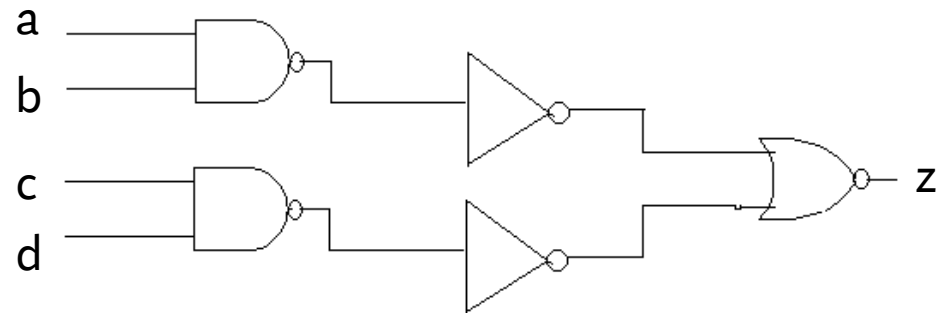
أوجد الحل المثالي للتابع المنطقي

20T



طريقة أولى

16T



طريقة ثانية

تصميم الأنظمة الرقمية باستخدام CMOS:

$$Z = \overline{ab + cd}$$

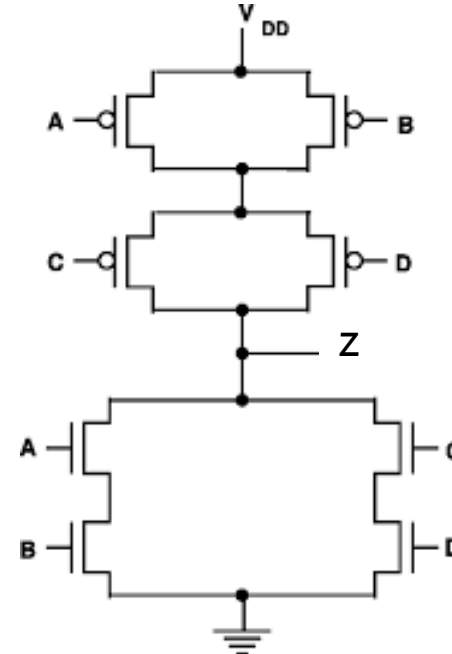
أوجد الحل المثالي للتابع المنطقي

طريقة ثالثة

$$Z = \overline{a.b + cd}$$

$$Z_n = a.b + cd = a.b + cd$$

$$Z_p = \overline{\overline{a.b} + \overline{cd}} = (a+b)(c+d)$$



الطريقة 3 هي الحل الأفضل
ويستهلك أقل عدد ممكن من
الترانزستورات لتحقيق هذا التابع
باستخدام دارات CMOS

8 T

تصميم الأنظمة الرقمية باستخدام CMOS:

دراسة Nand ب N مدخل

• زمن الانتقال إلى 1

$$R_{eq} = \frac{R_Q}{n}$$

$$\tau_{LH} = R_{eq} \cdot C_L \quad \text{زمن الشحن}$$

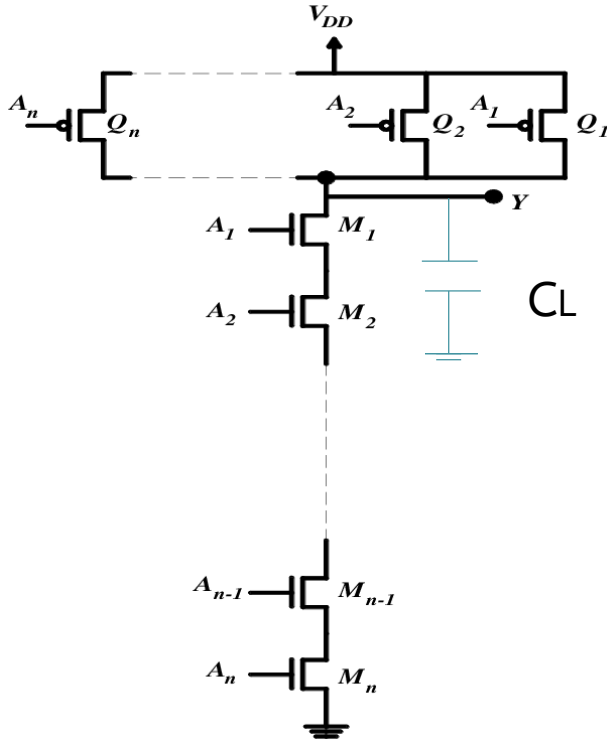
• زمن الانتقال إلى 0

$$R_{eq} = n \cdot R_Q$$

$$\tau_{HL} = R_{eq} \cdot C_L \quad \text{زمن التفريغ}$$

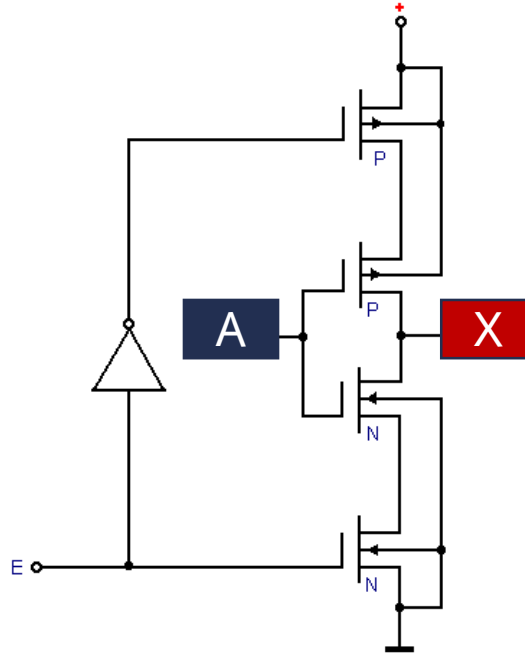
$$n^2 = \tau_{HL} / \tau_{LH}$$

زمن الشحن > زمن التفريغ



تصميم الأنظمة الرقمية باستخدام CMOS:

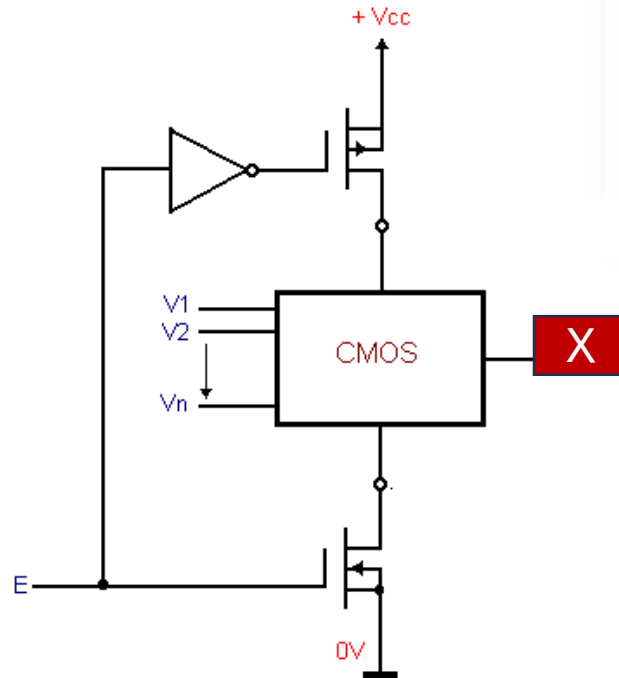
تصميم عاكس ثلاثي الحالة



E = 1	=>	A = 0	=>	X = 1
E = 1	=>	A = 1	=>	X = 0
E = 0	=>	A = NC	=>	X = Z

تصميم الأنظمة الرقمية باستخدام CMOS:

تعميم



• حاول تصميم NOR ثلاثية الحالة

تصميم الأنظمة الرقمية باستخدام CMOS:

حدد التوابع المنطقية التالية انطلاقاً من PMOS -NMOS

1 $Z_n = x_1 + x_2.x_3$

2 $Z_p = x_1 (x_2 + x_3)$

الأسئلة والمناقشة

