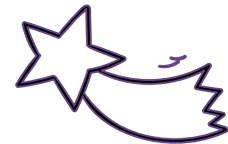
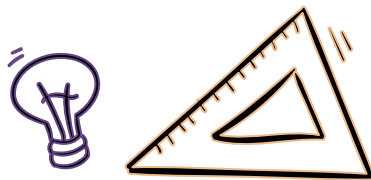




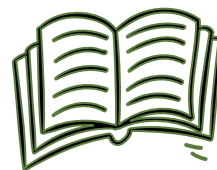
تصميم الدارات الإلكترونية بالحاسوب



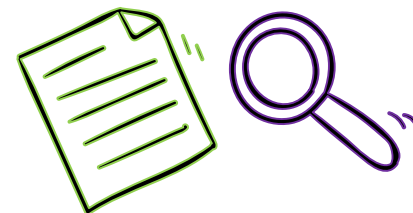
Computer Design of Electronic Circuits



إعداد: د. علا جزماتي



السنة الرابعة قسم التحكم والأتمتة
العام الدراسي 2023-2024



المحاضرة الخامسة



محتويات المقرر

1. مدخل إلى أهمية تطوير أدوات التصميم باستخدام الحاسب (Introduction to The Need of Developing CAD Tools)
2. تصنيف عام لأنواع أدوات التصميم (General Classification of CAD Tools Used in Electronic Systems Design)
3. مدخل إلى اللغات المستخدمة في التصميم (Introduction to Design Languages VHDL, Verilog, Verilog System, ..)
4. مدخل إلى مراحل بناء النظم الرقمية (Introduction to Digital Systems Synthesis)
5. مرحلة البناء منخفض المستوى (Low Level Synthesis)
6. تصميم الدارات المتكاملة للنظم عالية التكامل (Layout Design for VLSI Systems)
7. تطبيقات تصميمية (Design Applications)
8. اتجاهات التطور الحديثة (Trends and New Directions)

SSI = small-scale integration (up to 10 gates) ($< 10^2$)T

MSI = medium-scale integration (up to 1000 gates) (10^2 - 10^3)

LSI = large-scale integration (up to 10000 gates) (10^3 - 10^4)

VLSI = very large-scale integration (over 10000 gates) (10^4 - 10^9)

ULSI = ultra large-scale integration & **GSI** = giga-scale integration ($> 10^9$)

System-on-a-Chip (SoC or SOC) is an integrated circuit in which all the components needed for a computer or other system are included on a single chip.

Chip Integration Level

Moore's Law

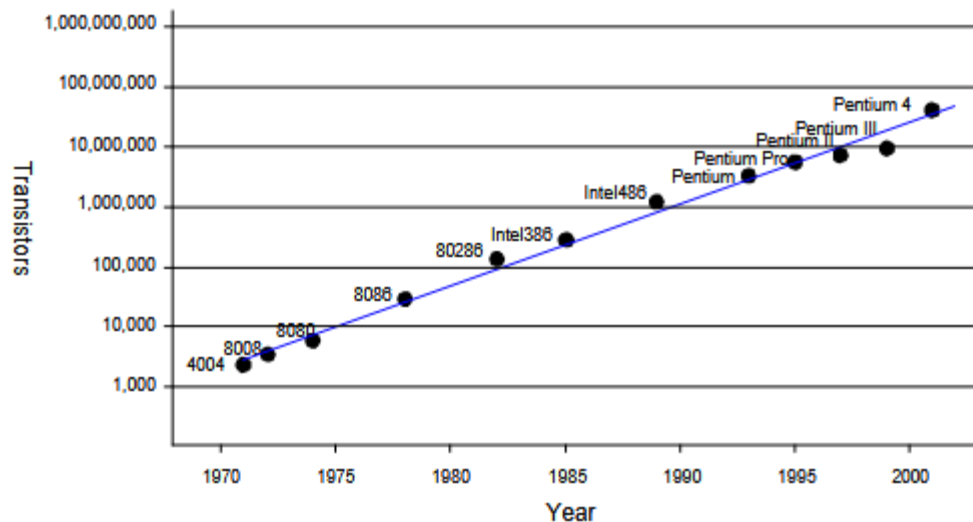


قانون Moore

• عدد المكونات التي يمكن أن تكامل على شريحة واحدة يتضاعف كل 18 شهراً.

• حالياً العدد المتوسط يتضاعف بالفعل لكن كل أقل من 18 شهراً، لكن لمتى سيستمر هذا؟

ITRS - International Technology Roadmap for Semiconductors



Integration Levels

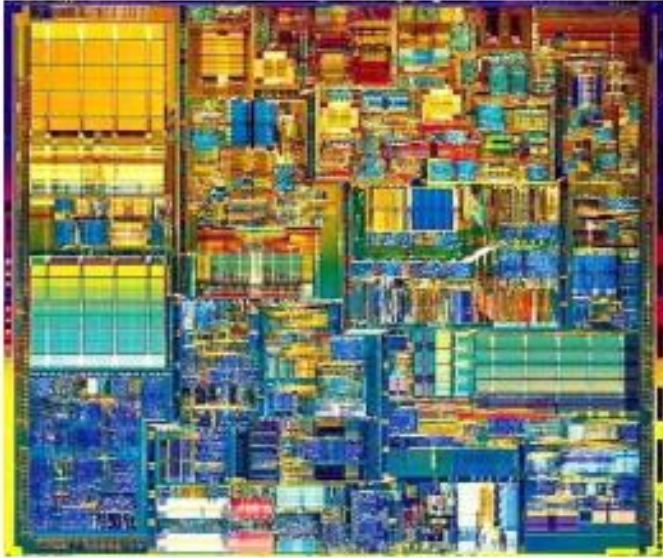
SSI: 10 gates

MSI: 1000 gates

LSI: 10,000 gates

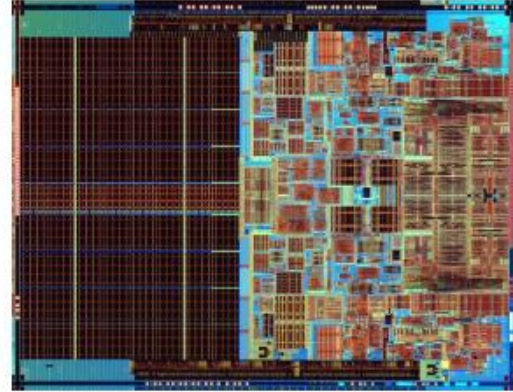
VLSI: > 10k gates

Intel Pentium 4 Micro-Processor



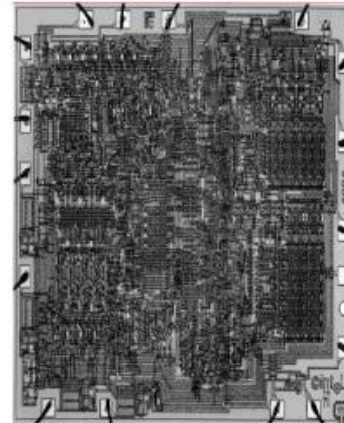
2000
42 million transistors
2 GHz operation
0.18 μm

Intel Core 2 Quad



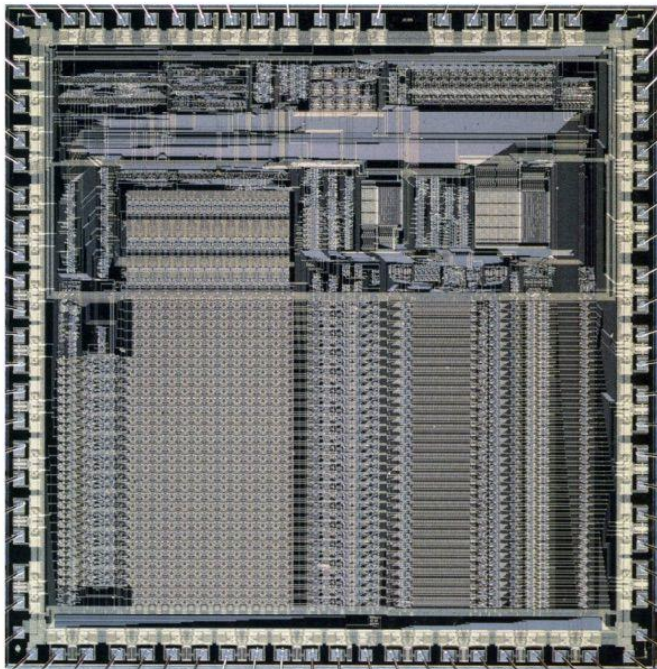
2008
820 million transistors
2.83 GHz operation
45 nm

Intel 4004 Micro-Processor

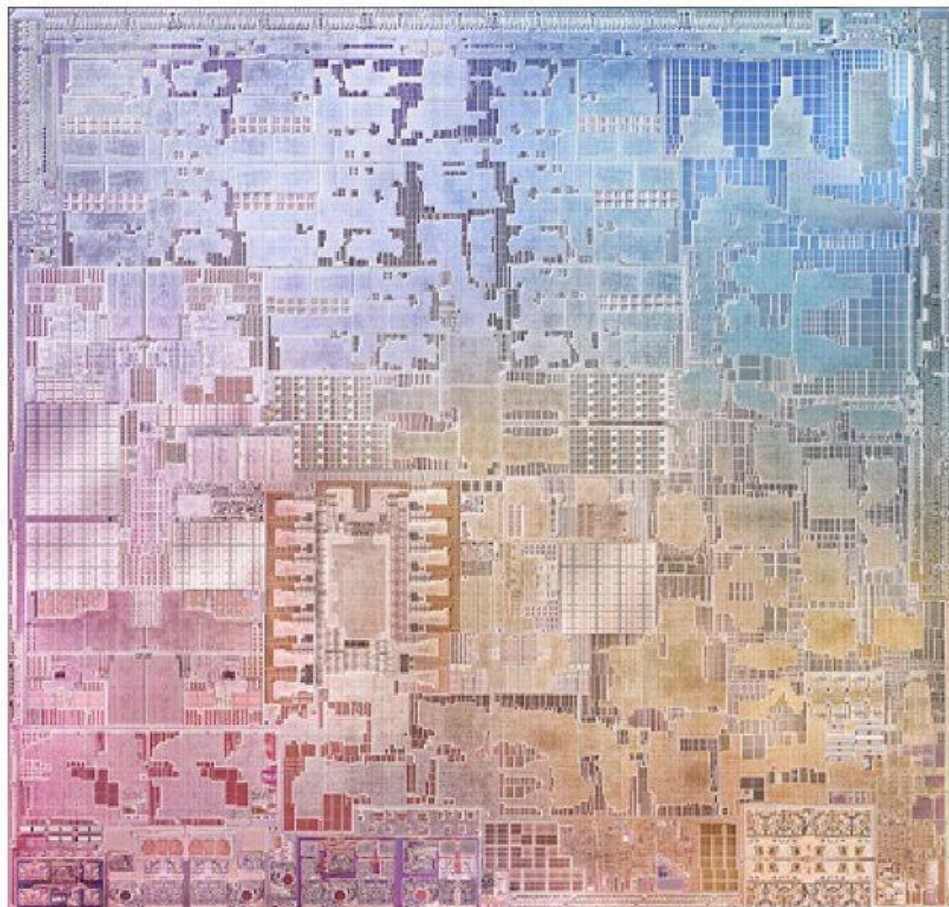


1971
2300 transistors
108 KHz operation
PMOS only (10 μm process)

Technology Scaling

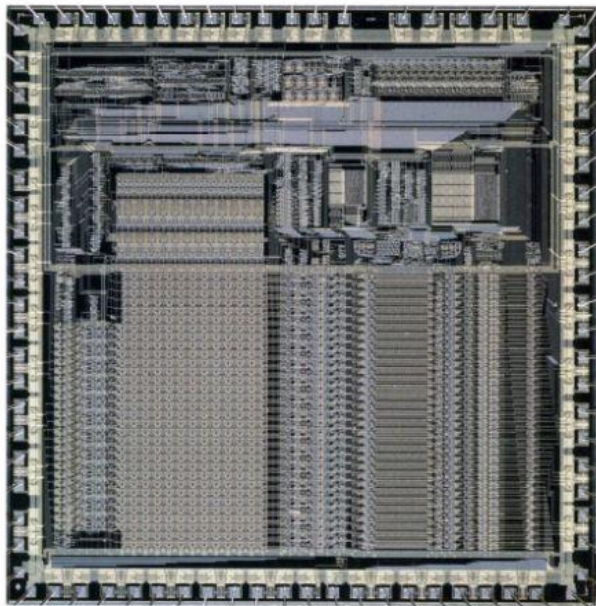


ARM1 processor (1985)
25 thousand transistors



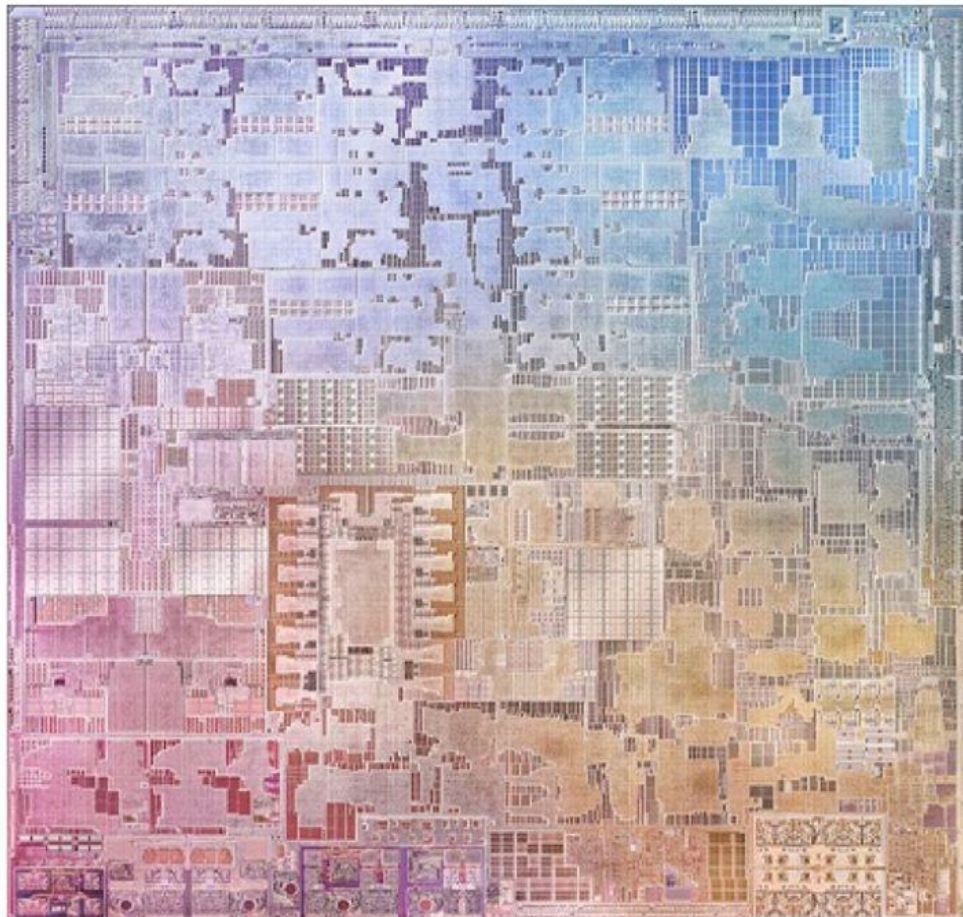
Apple M1 processor (2020)
8-core ARM, 16 billion transistors

ARM1 and Apple M1 at the same scale



ARM1 processor
~7mm wide
3 μ m process

If built with M1 transistors, the entire ARM1 chip would be the tiny dot inside this circle: ○



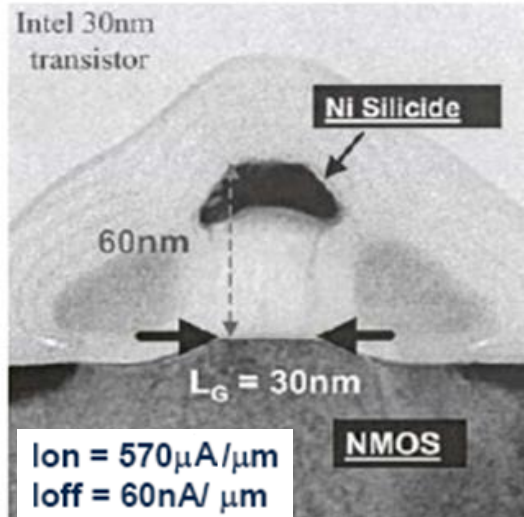
Apple M1 processor, ~11mm wide, 5 nm process

مقدمة حول مرحلة البناء منخفض المستوى للدارات الإلكترونية:

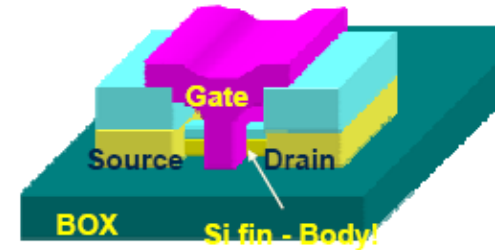
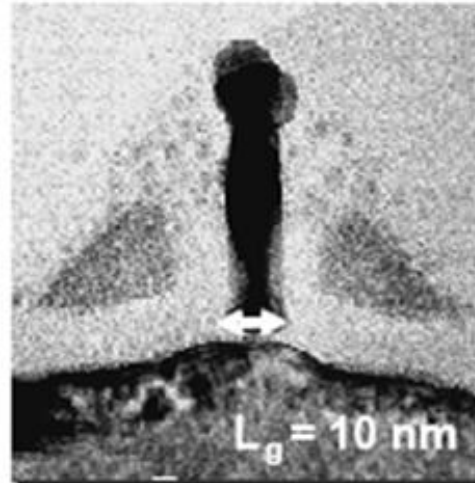
غالباً ما يوصف تقدم الإلكترونيات بالبعد الأصغر في الترانزستور MOS وهو طول القناة أي المسافة بين المنبع (Source) والمصرف (Drain).

إن التحدي الرئيسي اليوم يتمثل في إيجاد طرق الوصول إلى ترانزستورات فائقة الصغر.

Intel's 30nm transistor,
2002

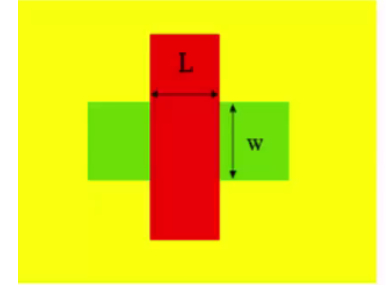
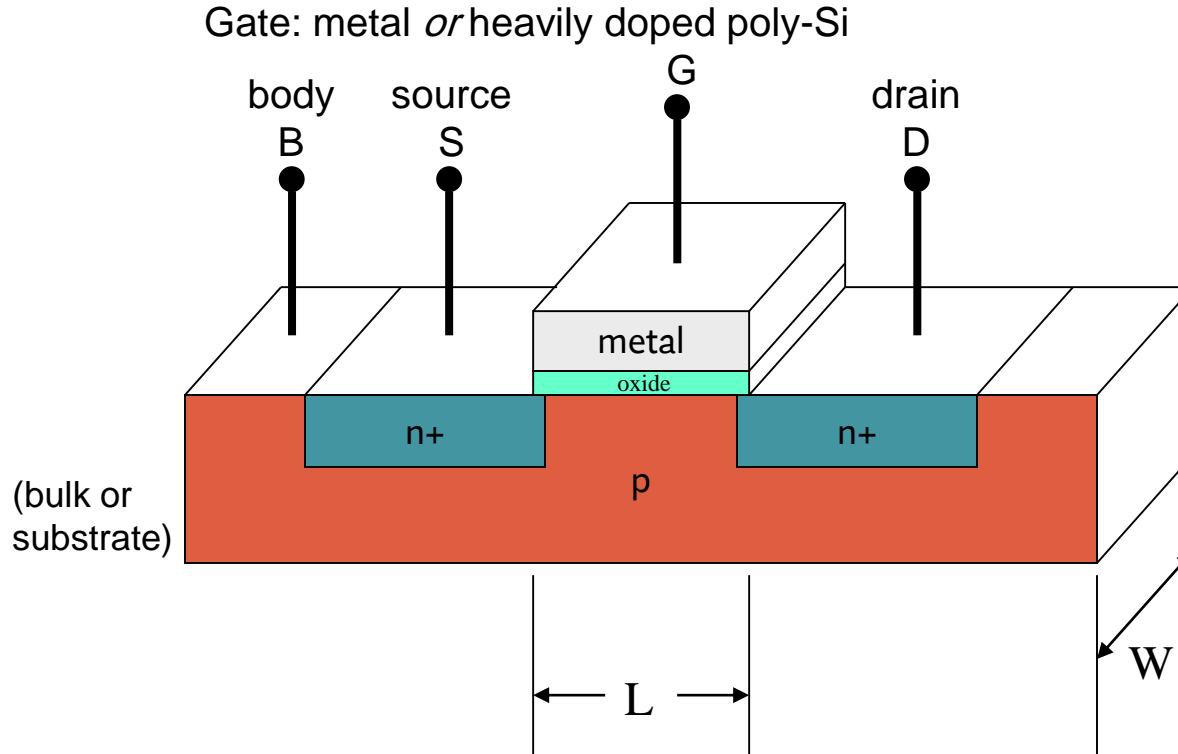


10nm device

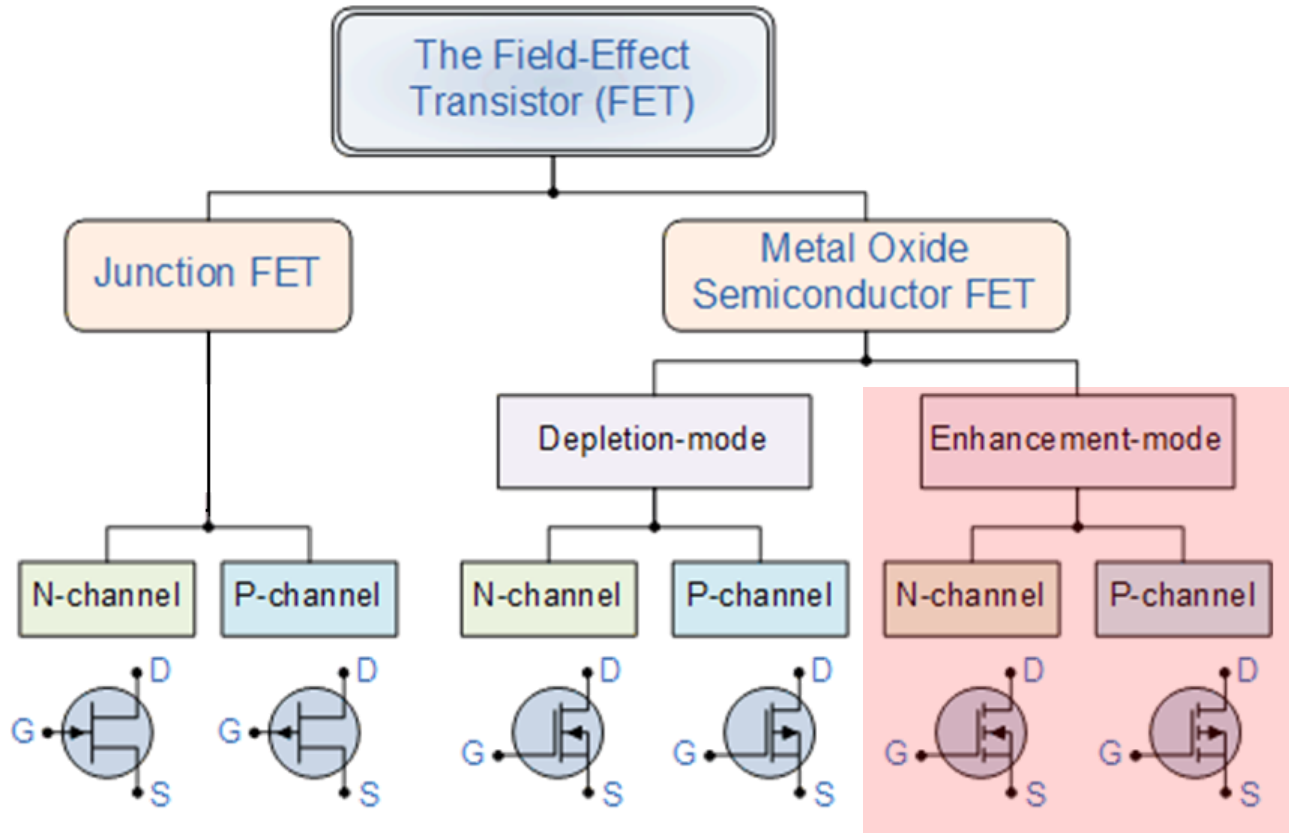


مقدمة حول مرحلة البناء منخفض المستوى للدارات الإلكترونية:

Structure: *n-channel* MOSFET (NMOS)



مقدمة حول مرحلة البناء منخفض المستوى للدارات الإلكترونية:



مقدمة حول مرحلة البناء منخفض المستوى للدارات الإلكترونية:

الترانزستور الحقلي ذو البوابة المعزولة: و يدعى أيضاً الترانزستور الحقلي نصف الناقل ذو الأكسيد المعدني

Metal Oxide Semiconductor Field Effect Transistor

تصنف الترانزستورات الـ **MOSFET** إلى صنفين أساسيين :

MOSFET (D):

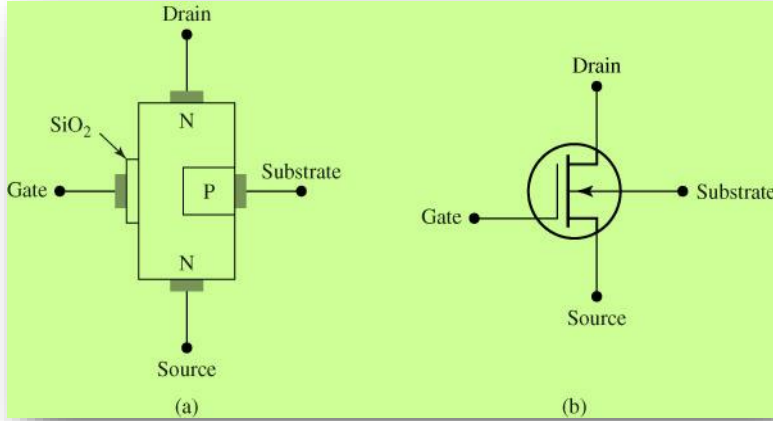
ويعمل هذا الترانزستور بنظامي عمل (إغناء و إفقار) أي بتقطيب أمامي أو عكسي لقطب الدخل (البوابة) - **Depletion-Enhancement**

MOSFET ويدعى أيضاً الترانزستور ذو القناة مسبقة الصنع

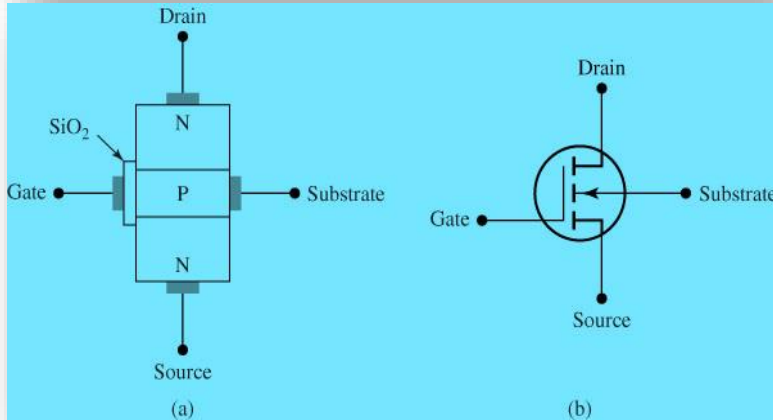
MOSFET (E):

ويعمل هذا الترانزستور بنظام عمل وحيد (إغناء) أي بتقطيب أمامي فقط على الدخل - **Enhancement MOSFET**

مقدمة حول مرحلة البناء منخفض المستوى للدارات الإلكترونية:



MOSFET (D)– n channel

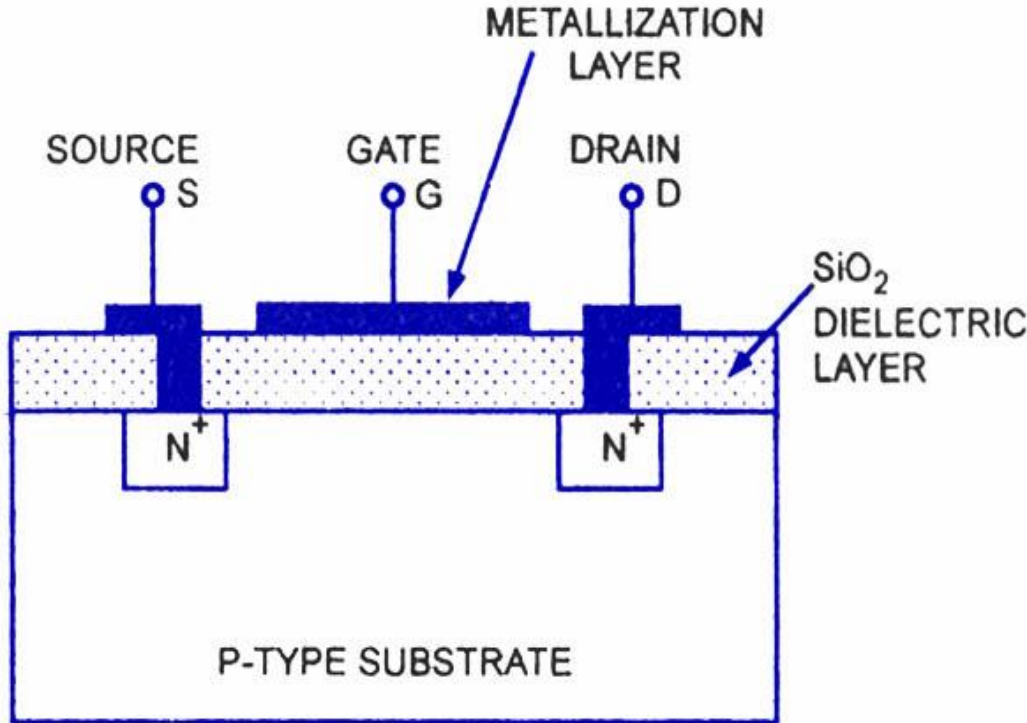


MOSFET (E)– n channel

و تختلف البنية الطبقيّة للترانزستور الحثلي ذو البوابة المعزولة بحسب صنفه إلا أنها تشترك في كون قطب البوابة معزول عن جسم الترانزستور بمادة أكسيد السيليكون مما يجعل تيار البوابة مساو للصفر ($I_G = 0$) بغض النظر عن قطبية الجهد المطبقة

مقدمة حول مرحلة البناء منخفض المستوى للدارات الإلكترونية:

ترانزستور Mosfet:



ترانزستور Mosfet في نظام الاغناء والذي

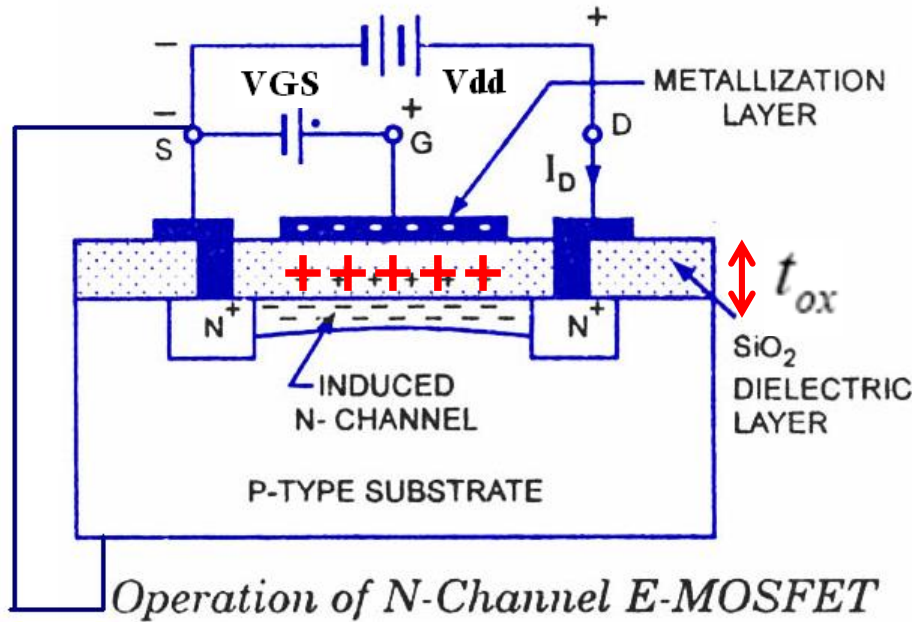
نستخدمه في دارات CMOS، حيث في هذا

النوع لا توجد قناة كي تمر الالكترونات الحرة

من خلالها من المنبع إلى المصرف.

مقدمة حول مرحلة البناء منخفض المستوى للدارات الإلكترونية:

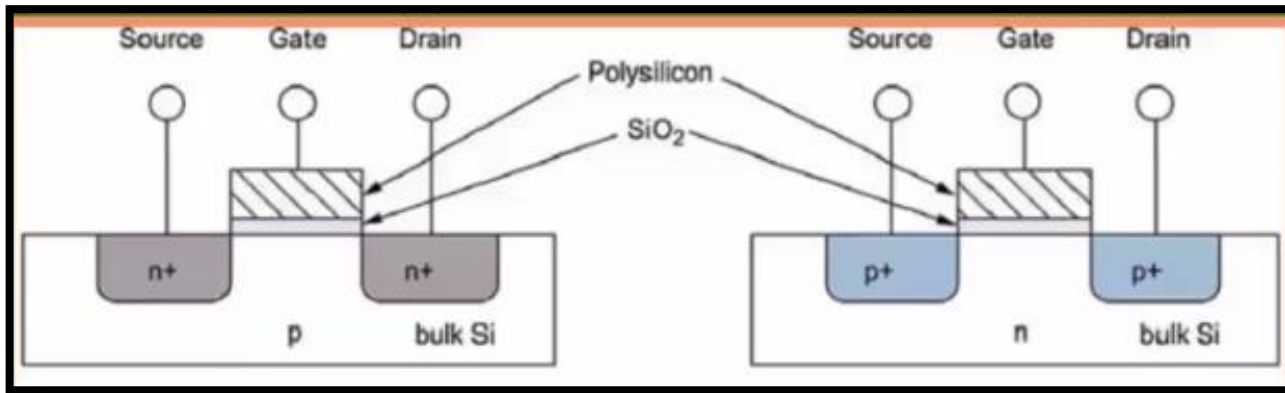
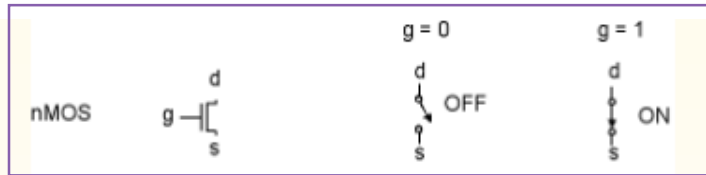
ترانزستور Mosfet:



عندما نطبق جهداً أمامياً على البوابة سوف
يحرص على ظهور شحنات سالبة في المنطقة
p و هي عبارة عن إلكترونات حرة , وإذا
استمرينا بزيادة جهد V_{GS} الموجب إلى قيمة
جهد العتبة يصبح عدد الإلكترونات الحرة كبيراً
جداً، وبالتالي تنقلب المنطقة بالقرب من طبقة
الأكسيد العازل من المادة p إلى n تتشكل القناة
كهربائياً .

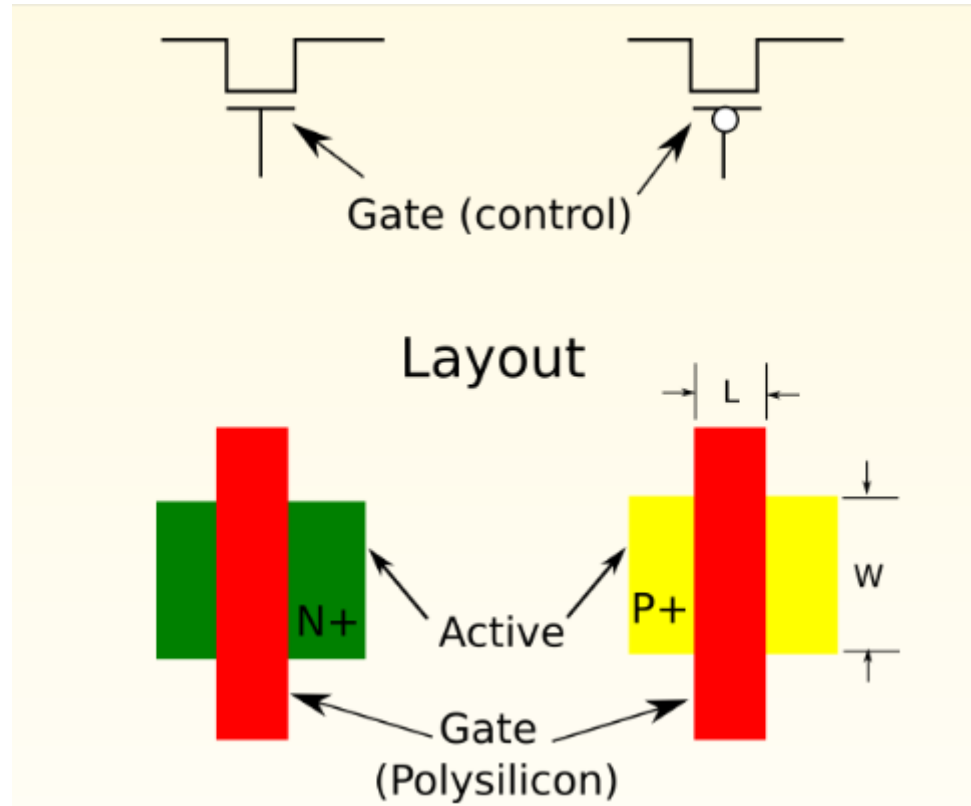
مقدمة حول مرحلة البناء منخفض المستوى للدارات الإلكترونية:

ترانزستور Mosfet:



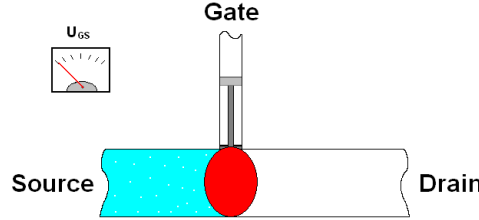
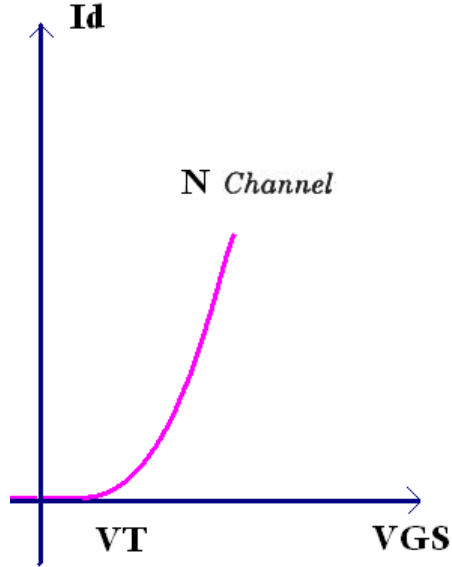
Two types of transistors, **nMOS** and **pMOS**

ترانزستور Mosfet:



مقدمة حول مرحلة البناء منخفض المستوى للدارات الإلكترونية:

Threshold Voltage جهد العتبة



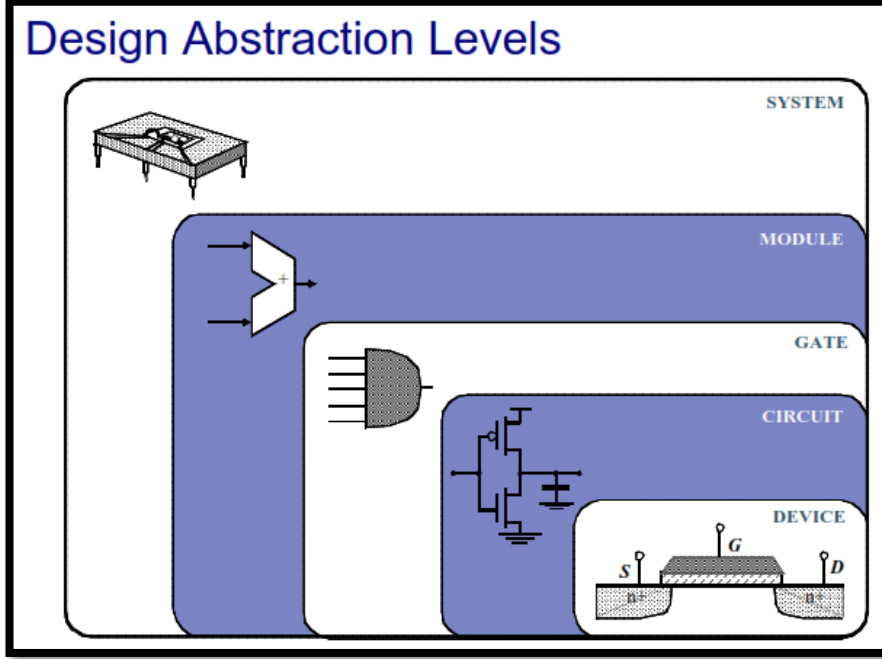
إذا جهد العتبة :

هو أقل جهد أمامي واجب تطبيقه على
البوابة منبع كي تتشكل القناة, وبالتالي البدء
في مرور التيار المصرفي I_d .
أي في حالة $V_{GS} < V_T$ مرور التيار
المصرفي I_d معدوم .

المميزة التبادلية

مقدمة حول مرحلة البناء منخفض المستوى للدارات الإلكترونية:

مراحل تصميم الدارات المتكاملة:



1- توصيف الدارة لمعرفة طبيعة بنيتها.

2- تحديد النموذج الوظيفي لها.

3- البوابات التي تحقق التابع المطلوب.

4- تحويل البوابات إلى ترانزستورات.

5- تحويل المخطط الناتج إلى ماسكات (polygons)

لتساعدنا في تصميم الدارة المطلوبة

من أهم أدوات تصميم
ومحاكاة دارات CMOS
باستخدام الحاسب

Microwind

...CMOS layout design & simulation tool

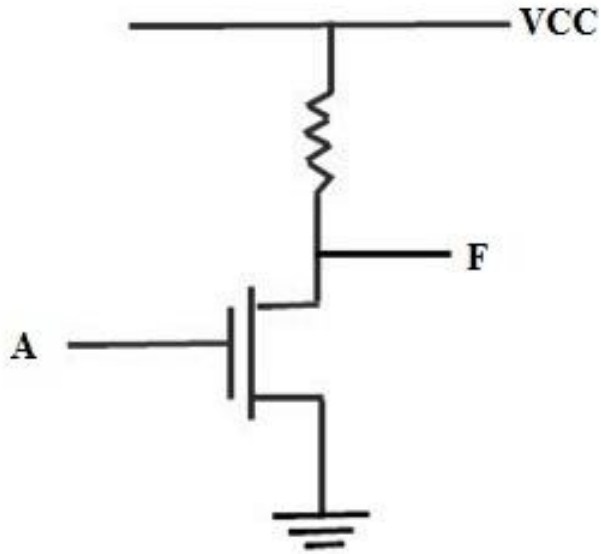


...giving you the squeeze of
nanometer technology

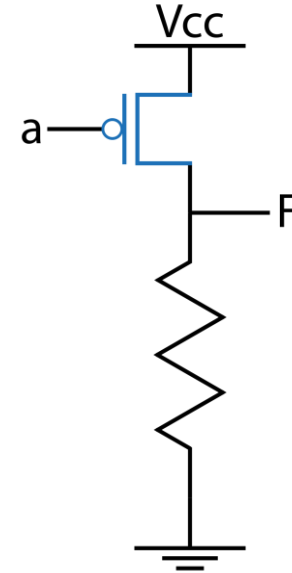
$\mu\omega\iota\eta\delta^{\circ}$

A Layout and Simulation tool for deep sub-micron CMOS design

مقدمة حول مرحلة البناء منخفض المستوى للدارات الإلكترونية:



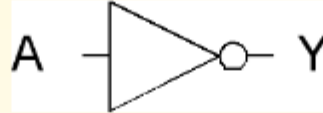
NMOS Inverter



PMOS Inverter

تصميم الأنظمة الرقمية باستخدام CMOS:

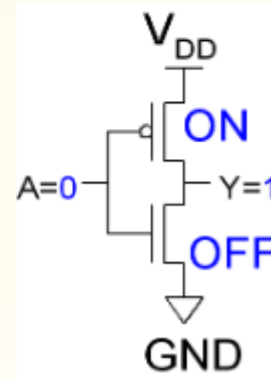
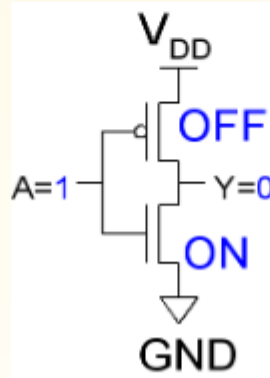
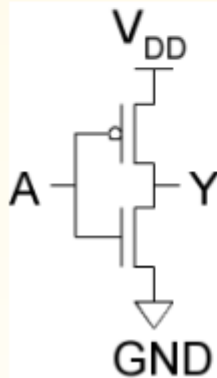
CMOS Inverter



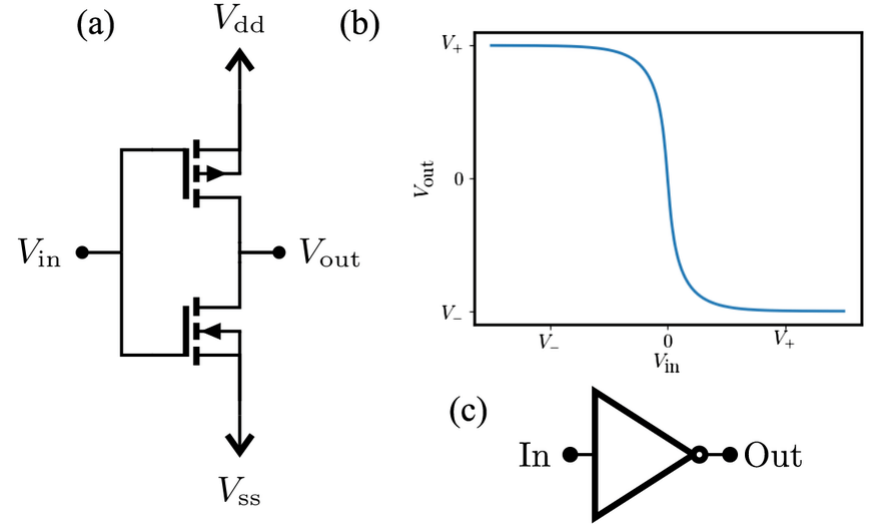
A	Y
0	
1	

A	Y
0	
1	0

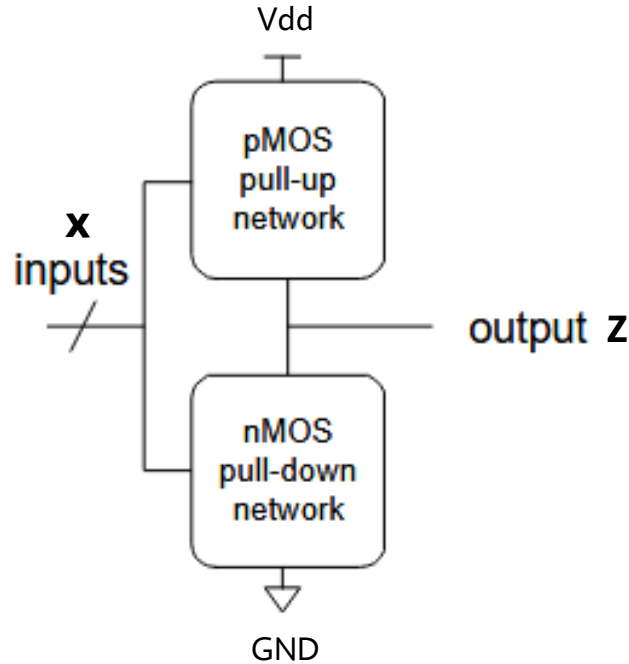
A	Y
0	1
1	0



تصميم الأنظمة الرقمية باستخدام CMOS:



تصميم الأنظمة الرقمية باستخدام CMOS:



إن التابع الكلي لشبكة CMOS يعطى بالعلاقة : $Z = f(x)$

والشكل التالي يوضح شبكة CMOS المكونة من :

1- شبكة السحب نحو المستوى الأعلى pmos

2- شبكة السحب نحو المستوى المنخفض nmos

تابع nmos : $Z_n = \overline{f(x)}$

تابع pmos : $Z_p = f(\bar{x})$

$$Z = Z_n[0'] + Z_p[1]$$

تصميم الأنظمة الرقمية باستخدام CMOS:

مثال 1 :

نريد تحقيق دارة nor : $Z = \overline{A + B}$

الحل:

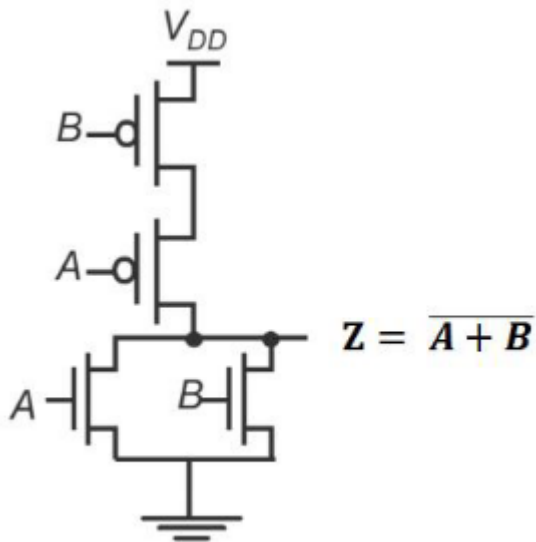
تابع nmos : $Z_n = \overline{f(x)} = A + B$

وهذا التابع يحققه ترانزستورين على التفرع.

تابع pmos : $Z_p = f(\bar{x}) = \overline{\overline{A} + \overline{B}} = A.B$

وهذا التابع يحققه ترانزستورين على التسلسل.

ومنه نرسم الدارة التالية :

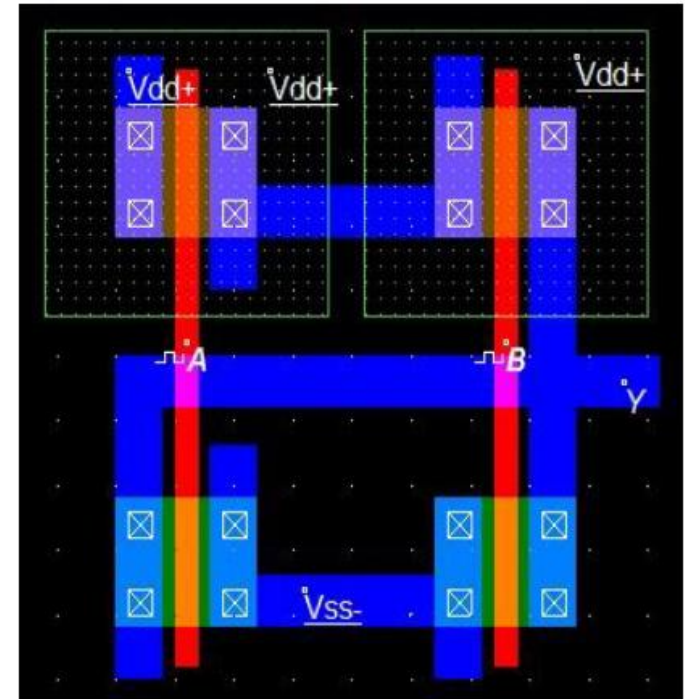
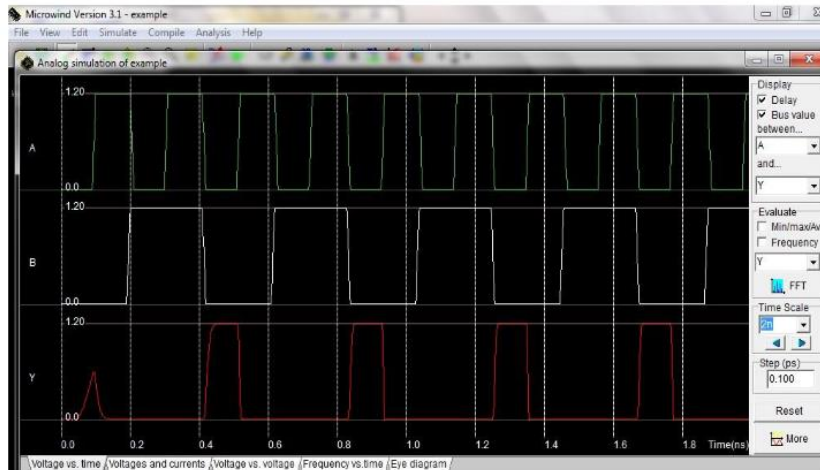
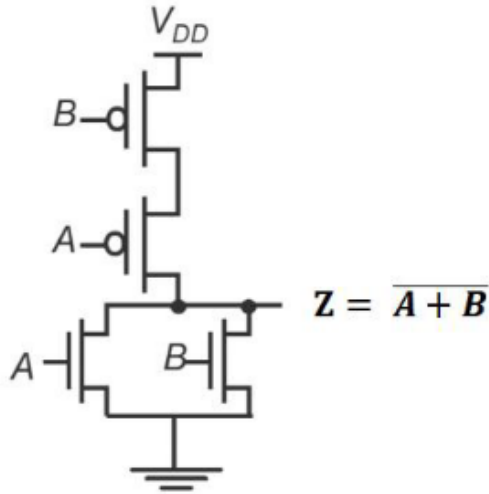


دارة nor

تصميم الأنظمة الرقمية باستخدام CMOS:

رسم *layout* باستخدام أداة *micro wind*

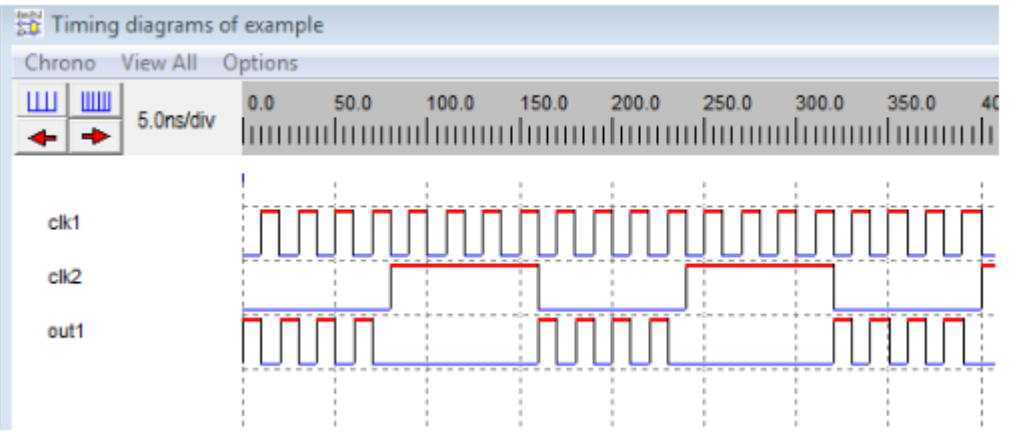
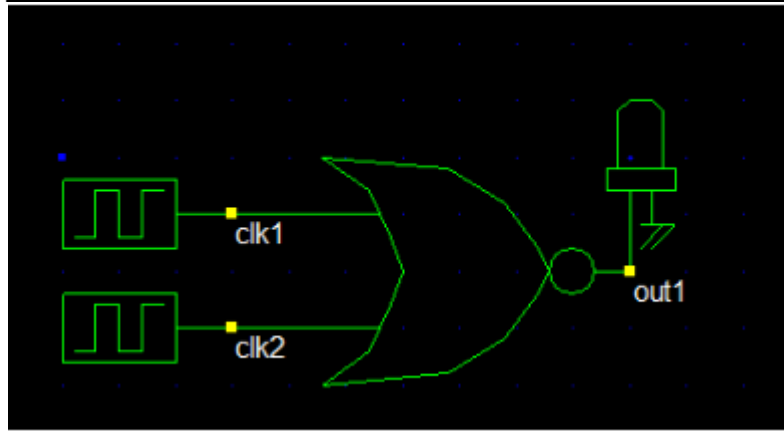
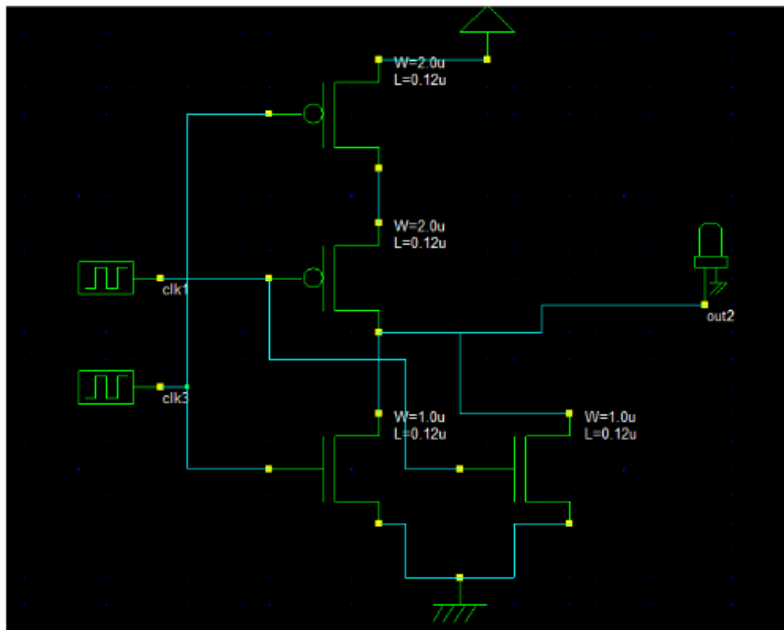
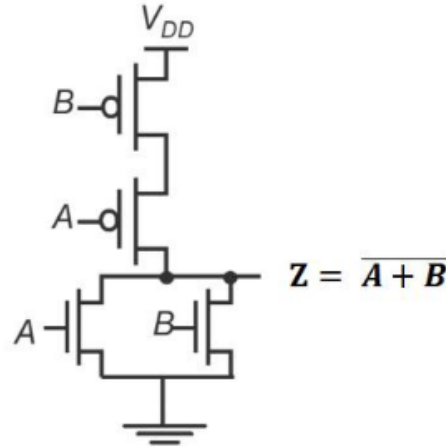
دائرة nor



تصميم الأنظمة الرقمية باستخدام CMOS:

المحاكاة باستخدام أداة dsch2

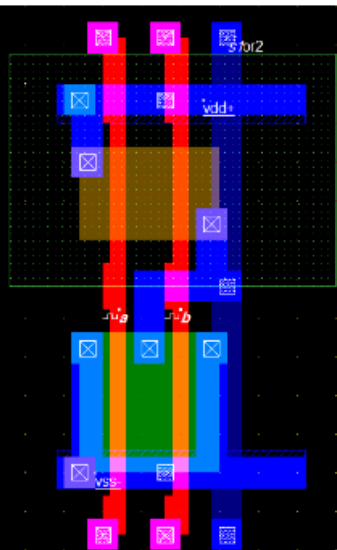
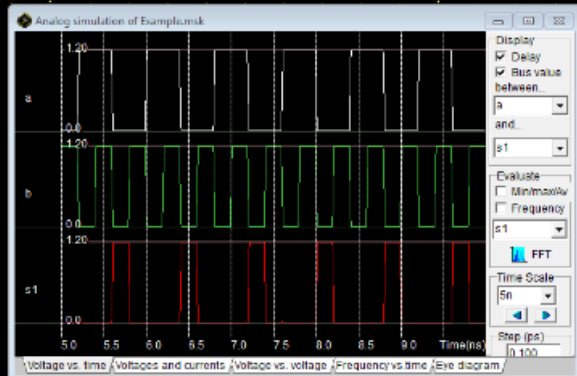
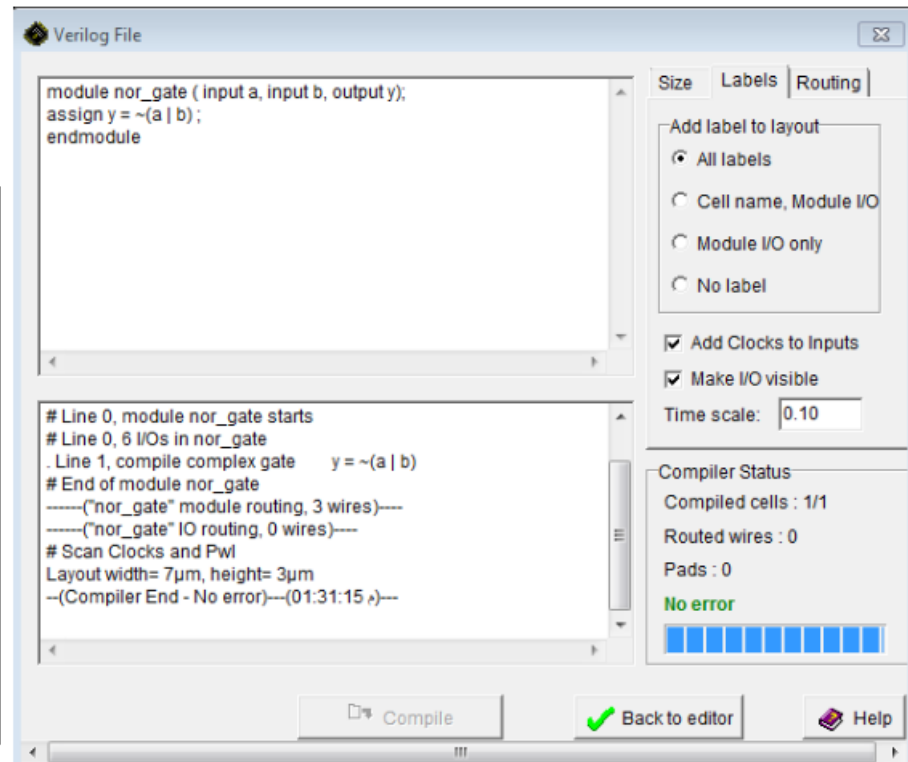
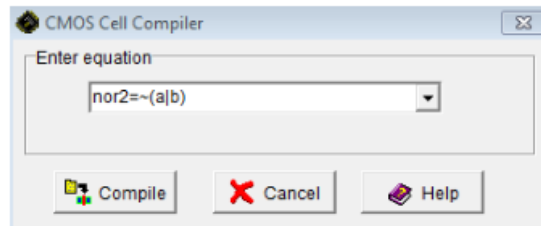
دائرة nor



تصميم الأنظمة الرقمية باستخدام CMOS:

المحاكاة باستخدام أداة dsch2

دائرة nor



تصميم الأنظمة الرقمية باستخدام CMOS:

مثال 2 :

نريد تحقيق دارة not : $Z = \bar{x}$

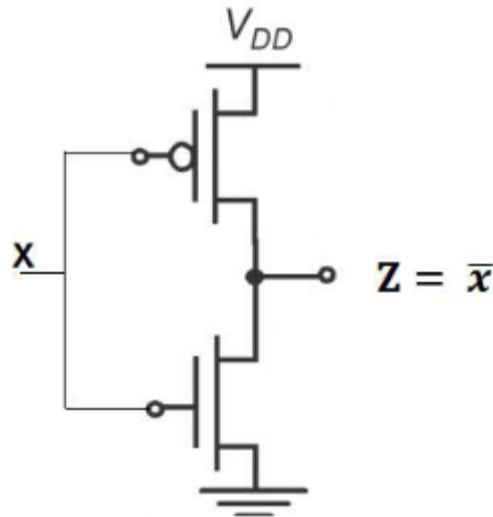
الحل :

تابع nmos : $Z_n = \overline{f(x)} = \bar{\bar{x}} = x$

وهذا التابع يحققه ترانزستور nmos

تابع pmos : $Z_p = f(\bar{x}) = x$

وهذا التابع يحققه ترانزستور pmos.





5 lambda
0.250μm


Layout Generator

Pads | Inductor | Contacts | MOS | Path | Logo | Bus | Res | Diode | Capa




Mos Parameters

Width MOS μm

Length MOS μm

Nbr of fingers 

nMOS pMOS Double gate

Nmos device

Imax:0.138mA

Options

☒ low leakage

☐ high speed


☐ high voltage


Units

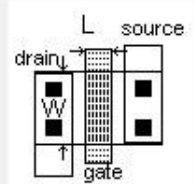
☒ in micron (μm)

☐ in lambda

☐ Add polarization

 Generate Device

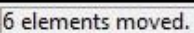
 Cancel





PMOS

NMOS

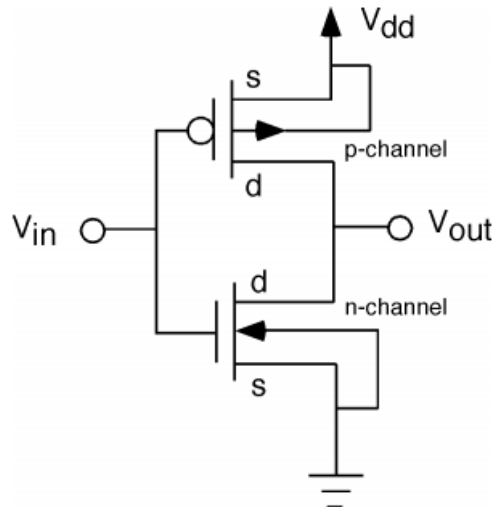


VDD

(Vin) Gate

نعتبر هذا الطرف
Drain

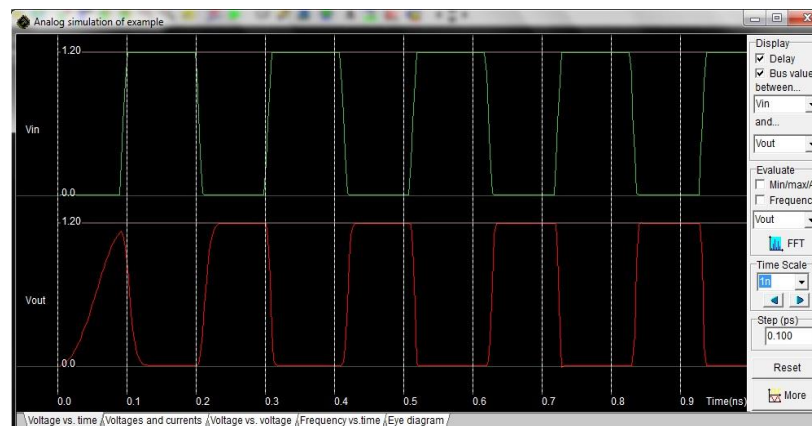
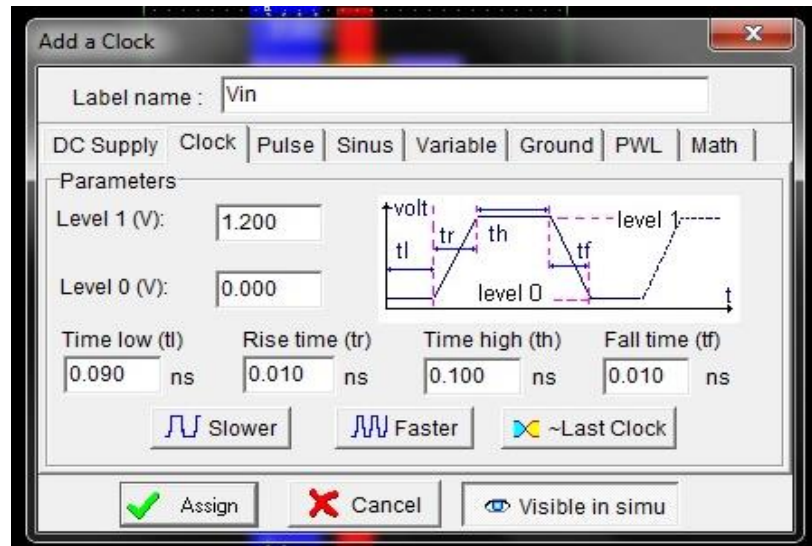
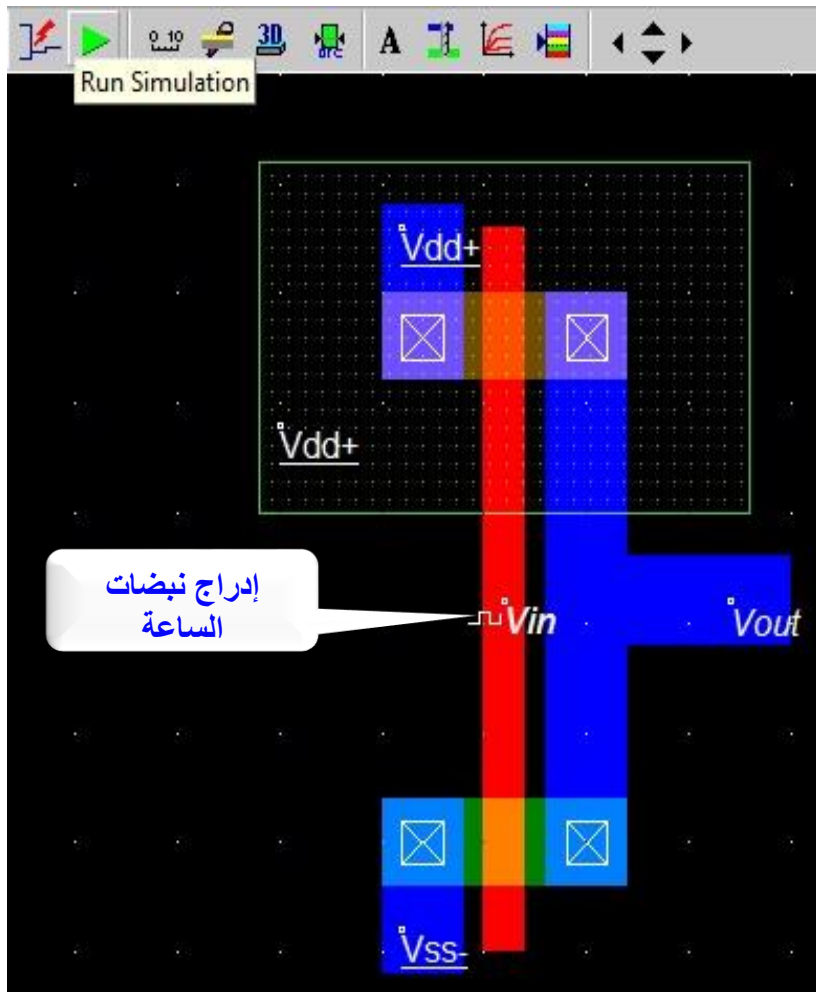
يصبح هذا الطرف
Source



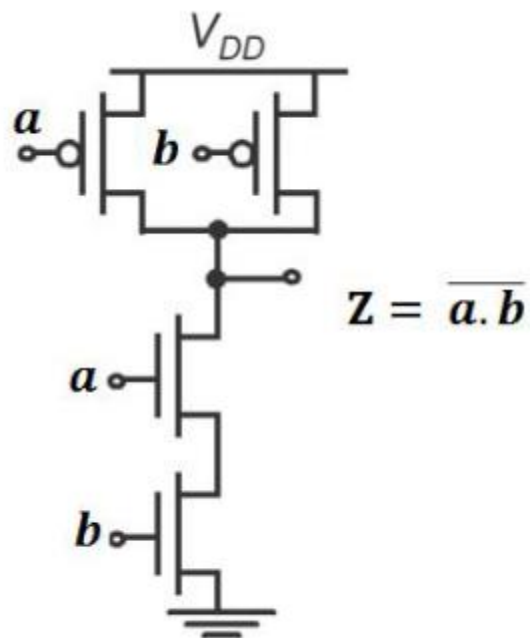
Source

Vss

نعتبره Drain



تصميم الأنظمة الرقمية باستخدام CMOS:



مثال 3 :

نريد تحقيق دارة NAND : $Z = \overline{a.b}$

الحل :

تابع nmos : $Z_n = \overline{f(x)} = \overline{\overline{a.b}} = a.b$

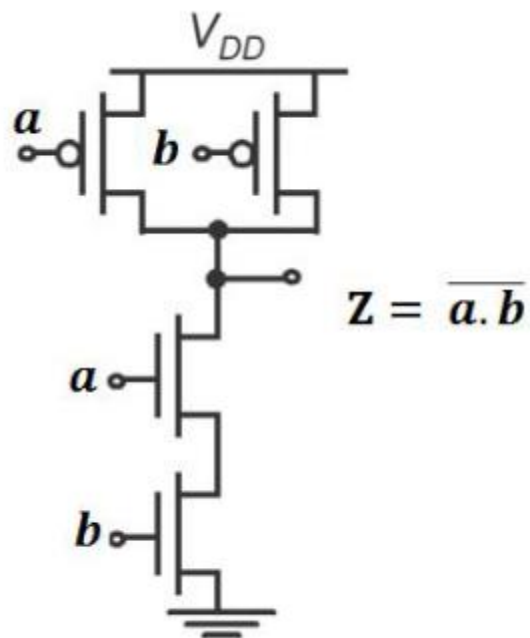
وهذا التابع يحققه ترانزستورين nmos على التسلسل.

تابع pmos : $Z_p = f(\overline{x}) = \overline{\overline{a.b}} = \overline{\overline{a}} + \overline{\overline{b}} = a + b$

وهذا التابع يحققه ترانزستورين pmos على التفرع.

ومنه نرسم الدارة التالية :

تصميم الأنظمة الرقمية باستخدام CMOS:



مثال 3 :

نريد تحقيق دارة NAND : $Z = \overline{a.b}$

الحل :

تابع nmos : $Z_n = \overline{f(x)} = \overline{\overline{a.b}} = a.b$

وهذا التابع يحققه ترانزستورين nmos على التسلسل.

تابع pmos : $Z_p = f(\overline{x}) = \overline{\overline{a.b}} = \overline{\overline{a}} + \overline{\overline{b}} = a + b$

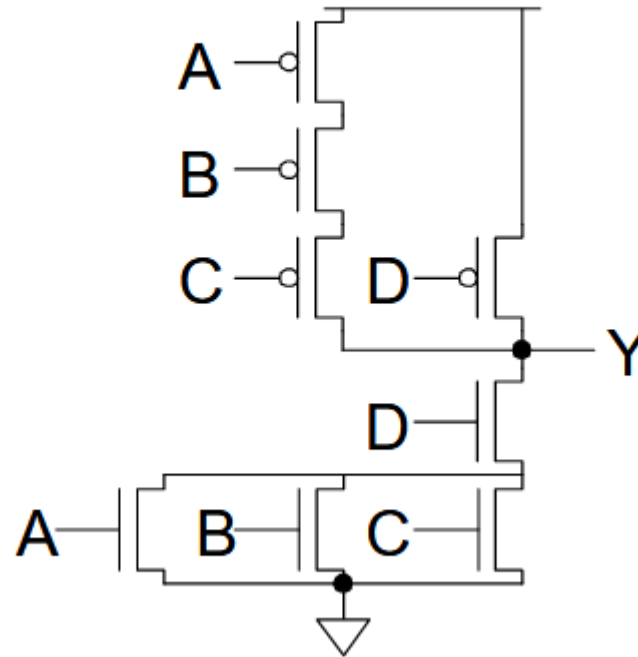
وهذا التابع يحققه ترانزستورين pmos على التفرع.

ومنه نرسم الدارة التالية :

تمرين : ارسم دارة cmos التي تحقق دارة AND و Xor.

تصميم الأنظمة الرقمية باستخدام CMOS:

$$\square Y = \overline{(A + B + C)} \cdot D$$



تذكرة

Basic Rules of Boolean Algebra

1. $A + 0 = A$	7. $A \cdot A = A$
2. $A + 1 = 1$	8. $A \cdot \bar{A} = 0$
3. $A \cdot 0 = 0$	9. $\overline{\bar{A}} = A$
4. $A \cdot 1 = A$	10. $A + AB = A$
5. $A + A = A$	11. $A + \bar{A}B = A + B$
6. $A + \bar{A} = 1$	12. $(A + B)(A + C) = A + BC$

DeMorgan's Theorem

$$\overline{(AB)} = (\bar{A} + \bar{B})$$

$$\overline{(A + B)} = (\bar{A} \bar{B})$$

الأسئلة والمناقشة

