




CURRICULUM VITAE

Nombre	Aurelio Federico Morales Villanueva	FOTO 
Código docente	19858514-B	
Título Profesional	Ingeniero Electrónico	
Mayor Grado Académico	Doctor of Philosophy (Ph.D.)	
Categoría	Profesor Principal	
Dedicación	Tiempo Completo (40 horas)	
Correo electrónico	amorales@uni.edu.pe	

Educación superior conducente a grado o título

(incluir al final de la tabla, estudios de posgrado en los que falte obtener el grado, diplomados, especializaciones)

Descripción	Año	Universidad SIGLA	País
Bachiller en Ingeniería Electrónica	1985	U.N.I.	Perú
Título de Ingeniero Electrónico	1988	U.N.I.	Perú
Maestría en Ciencias en Ingeniería Electrónica	1991	U.N.I.	Perú
Maestría en Ciencias en Electrical Engineering	1994	State University of New York, Buffalo	U.S.A.
Ph.D. en Electrical and Computer Engineering	2015	University of Florida	U.S.A.

Experiencia académica (enseñanza y cargos administrativos en universidad u otra institución académica)

Institución	Cargo	Años: desde-hasta
U.N.I. - Facultad de Ingeniería Eléctrica y Electrónica	Director de Escuela de Ing. de Telecomunicaciones	May/2017 – Nov/2019
U.N.I. - Facultad de Ingeniería Eléctrica y Electrónica	Profesor Principal	Jun/2012 – hoy
U.N.I. - Facultad de Ingeniería Eléctrica y Electrónica	Profesor Asociado	Abr/1994 – May/2012
U.N.I. - Facultad de Ingeniería Eléctrica y Electrónica	Profesor Auxiliar	Oct/1989 – Set/1992

Experiencia profesional (en empresa o gobierno)

Institución	Cargo	Años: desde-hasta
Telefónica del Perú S.A.A.	Ingeniero Preventa Sectorial	May/2006 – Ene/2008
Telefónica Empresas Perú S.A.A.	Ing. Senior Soporte de Operaciones	Set/2001 – Abr/2006
Telefónica Sistemas Sucursal del Perú S.A.	Ingeniero de Proyectos	Jul/1996 – Ago/2001

Trabajos de investigación (situación: completado, publicado, en proceso, etc.)

Trabajo de investigación	Año	Participación (jefe o investigador)	Situación
Uncertainty Evaluation of a Gas Turbine Model based on NARX and Monte Carlo Dropout	2023	Investigador	Publicado
Exploring Dynamic Partial Reconfiguration in a Tightly-coupled Coprocessor Attached to a RISC-V Soft-processor on a FPGA	2021	Investigador	Publicado
Relocation of Hardware Tasks across Networked Partially Reconfigurable FPGAs	2017	Jefe	Publicado



Configuration Prefetching and Reuse for Preemptive Hardware Multitasking on Partially Reconfigurable FPGAs	2016	Jefe	Publicado
Partial Region and Bitstream Cost Models for Hardware Multitasking on Partially Reconfigurable FPGAs	2015	Jefe	Publicado
On-chip Context Save and Restore of Hardware Tasks on Partially Reconfigurable FPGAs	2013	Jefe	Publicado
HTR: On-Chip Hardware Task Relocation for Partially Reconfigurable FPGAs	2013	Jefe	Publicado

Colegiatura profesional: número de registro, año	Colegio de Ingenieros del Perú, CIP N° 37860, 1990		
Miembro de Sociedades Científicas y Profesionales	Institute of Electrical and Electronics Engineers (IEEE)		
Premios y Reconocimientos	Beca FINCyT/LASPAU para realizar estudios de doctorado en UNIVERSITY OF FLORIDA, Florida, USA, Agosto 2009 – Julio 2015		
	Beca FULBRIGHT para realizar estudios de Maestría en STATE UNIVERSITY OF NEW YORK, Buffalo, USA, Julio 1992 - Diciembre 1993		
Certificaciones			
Participación como expositor o panelista en conferencias	Trabajo o Tema	Conferencia o Evento Organizador / Lugar	Año
	Exploring Dynamic Partial Reconfiguration in a Tightly-coupled Coprocessor Attached to a RISC-V Soft-processor on a FPGA	INTERCON 2021 / Lima	2021
	On-Chip Software Tools for Hardware Multitasking on Partially Reconfigurable FPGAs	INTERCON 2016 / Piura	2016
	Diseño e Implementación de un CPU RISC Superescalar en un FPGA para Enseñanza e Investigación	INTERCON 2011 / Lima	2011
Publicaciones (libros, revistas técnicas, ensayos no incluidos en el acápite anterior)	Título	Revista / Editorial	Año
	Reconfigurable Computing: Architectures, Tools and Applications, Lecture Notes in Computer Science, Volume 7806, 2013, pp 185-196	Springer	2013
Participación como asistente en: cursos, conferencias, seminarios, talleres, simposios	Evento	Organizador - Lugar	Año
	Google Cloud Computing Foundations	U.N.I. / Google	2023
	Introducción a la Computación de Alto Rendimiento	INICTEL-UNI	2017
	Telecomunicaciones y Microcontroladores con Sistemas Didácticos LN (Lucas Nülle)	U.N.I. – F.I.E.E. /Lima	2017
	Essentials of FPGA Design / Static Timing Analysis and Xilinx Design Constraints / Embedded Systems Design / Partial	U.N.I.	2016



UNIVERSIDAD NACIONAL DE INGENIERÍA

Facultad de Ingeniería Eléctrica y Electrónica

	Reconfiguration Tools and Techniques							
	Certificate in Data Centre	INICTEL-UNI						2016
	IX Curso de Especialización en Telecomunicaciones	OSIPTEL						2005
	II Diplomado de Especialización en Gerencia de Proyectos: Programa de Certificación PMI	U.P.C.						2004
	Microprocessor Laboratory: Third Regional Course on Advanced VLSI Design Techniques	I.C.T.P. / U.N.I.						2000
Otras actividades de apoyo técnico, social, etc.	Asesor de la rama estudiantil IEEE CAS (Circuit and Systems) de la UNI, 2023-2024							
Idiomas. A: avanzado I: Intermedio B: Básico	Inglés	A	x	I		B		
	Italiano	A		I	x	B		

Asignaturas a su cargo en los últimos tres años en la UNI (indique si es en otra Facultad)

EE-681 Arquitectura de Computadores de Procesamiento Paralelo
EE-604 Introducción a Microcontroladores

Del total del trabajo semanal, indique en % el tiempo dedicado a la UNI:

EN LA UNI (en %)					Otra institución (%)	Suma
Docencia	Tutoría-Asesoría	Investigación	Administración Facultad	Administración Central		
80%	10%	10%	00%	0%	0%	100%

Nota: Docencia incluye preparación y dictado de clases, y corrección de evaluaciones.

Administración incluye laboratorios.