

性能評価報告書

23 班：執筆者 神事倫紀

執筆日:2023 年 6 月 8 日

1 性能評価

- 回路面積：
 - － 中間時点の回路面積:3082
 - － 最終的な回路面積:3341
- クロック周波数
 - － 中間時点の周波数:10MHz(書き換えてしまい見つからなかったの
でメモしてあった参考記録)
 - － 最終的な周波数：
 - * CAD での予測値:

	Fmax	Restricted Fmax	Clock Name	Note
1	78.49 MHz	78.49 MHz	pll[alt...][clk[0]]	
2	83.11 MHz	83.11 MHz	clk1	
3	88.84 MHz	88.84 MHz	alter...d_tck	

図 1: CAD での予測周波数

- * 実機上の周波数:100MHz(基数ソート),120MHz(バブルソート)
- 応用プログラム (基数ソート/sorted,r-sorted 検知) の性能：
 - － プログラムの命令数:151
 - － 実行サイクル数:63762(random) / 10236(sorted) / 18423(r-sorted)

1.1 考察

中間時点でのバブルソートのサイクル数の記載がなかったために単純にどの程度サイクル数を減少させることが出来たかを完璧に比較することはできないが、5 段パイプライン化をすることに成功したので中間時点での予想通りにサイ来る数は約 5 分の 1 になったのではないかと考えられる。また、動作周波数についても中間時点では 10MHz が限界だったが、最終的には CAD での予測値で 80MHz 前後、実機上では 100MHz まで正確に動作することが確認できたので、中間時点より格段に動作速度が上がったといえるだろう。この理由として、自分たちがきちんとタイミング制約等気にしたことがあげられるだろう。中間時点ではギリギリ動いていたような動いていないようなといった、まだバグだらけの状態だったので、きちんとすべてのバグを取り終わった今のプロセッサは動作速度が上がったのだろう。また、回路面積についてだが中間時点では 1.3 倍程度にはなってしまうのではないかという予測を立てていたが、実際は 1.1 倍程度で済んでおり、その理由としては中間

時点から追加したものが、フォワーディングユニット、ハザード検出ユニット等だけなのでそれほど重くて大きいものを追加する必要がなかったことがあげられるだろう。

また、中間時点で最終的なソート速度コンテストに提出するものの目標として 10 万サイクル以下、1ms 以下を目標としていたが、自分たちが最終的に提出することが出来たのは平均 3 万サイクル、0.45ms のものだったので目標はすべて達成することが出来た。

また、さらなる向上について自分はやはりより周波数を上げることが考えられると思う。自分の機能設計報告書でも述べたが、タイミング制約をきちんとやってきたとはいってもやはり遅い部分が存在し、自分はそこが分岐命令近辺なのではないかと思う。その部分をより改良してより高い周波数で動くように工夫することが出来ればもっとより早いプロセッサができると考える。