

تحويل تا ساعت ۲۳:۵۵ روز سه‌شنبه مورخ ۱۴۰۰/۰۳/۲۵ از طریق سامانه‌ی دروس

نکاتی در رابطه با نوع تمرین

هر سری از تمرین‌ها، از چهار بخش تشکیل شده است:

- مرور و تثبیت مفاهیم: پرسش‌های این بخش جهت مرور و یادآوری مفاهیم درسی آورده شده است و با مطالعه مفاهیم درسی گفته‌شده در کلاس درس و اسلایدهای درس خواهید توانست به آن‌ها پاسخ دهید. پاسخ آن‌ها مورد ارزیابی قرار نخواهد گرفت، لذا نیازی به ارسال پاسخ آن‌ها نیست.
- تحلیل و طراحی مدار: پرسش‌های این بخش جهت درک عمیق مفاهیم درسی و افزایش قدرت تحلیل و طراحی سیستم‌های دیجیتال آورده شده است. پاسخ به آن‌ها الزامی بوده و مورد ارزیابی قرار خواهد گرفت.
- توصیف و پیاده‌سازی: پرسش‌های این بخش جهت افزایش مهارت شما در پیاده‌سازی مدارهای دیجیتال، بررسی درستی عملکرد آن و استفاده از ابزارهای طراحی آورده شده است. پاسخ به آن‌ها الزامی بوده و مورد ارزیابی قرار خواهد گرفت.
- طراحی و پیاده‌سازی سامانه پیشرفته: پرسش‌های این بخش ممکن است کمی پیچیده‌تر و دشوارتر از سایر بخش‌ها باشد. الزامی یا اختیاری بودن آن‌ها در صورت پرسش ذکر شده است.

نکاتی در رابطه با نحوه‌ی ارسال تمرین

- ارسال تمرینات به‌صورت الکترونیکی و از طریق [سامانه دروس](#) خواهد بود. فایل ارسالی شما فایل zip با نام sid_hs.zip است که sid شماره دانشجویی و hs شماره سری تمرین است. یک قالب آماده در سامانه دروس قرار داده شده است تا پاسخ تمرین را در قالب تعیین شده بنویسید. پرسش‌هایی که پاسخ آن‌ها ماهیت تشریحی و تحلیلی دارد را به صورت تایپ‌شده یا دستی نوشته و به صورت یک فایل PDF ذخیره نمایید.
- زمان تحويل هر سری از تمرینات مشخص بوده و پاسخ تمرین پس از موعد مقرر شده در سامانه دروس قرار داده خواهد شد لذا امکان تغییر آن وجود ندارد. در حل تمرینات، می‌توانید به‌صورت دوتایی یا چندتایی با یکدیگر همفکری و بحث نمایند ولی هر شخص می‌بایست در نهایت پاسخ و استدلال خود را به‌صورت انفرادی بنویسد و در صورت شباهت پاسخ، تمامی افراد نمره تمرین را از دست خواهند داد.
- بازای هر روز ارسال زودهنگام تمرین‌ها ۵ درصد نمره اضافی تا سقف ۲۰ درصد (در صورتی که نمره خام تمرین بالاتر از ۷۵ درصد شود) در نظر گرفته خواهد شد. بازای هر روز دیرکرد در ارسال تمرین ۱۵ درصد جریمه اعمال خواهد شد. ارسال دیرهنگام فقط تا ۲ روز پس از زمان مقرر شده امکان‌پذیر است و پس از آن نمره تمرین صفر در نظر گرفته خواهد شد.

چنانچه ابهامی در زمینه تمرینات دارید، می‌توانید اشکالات خود را از طریق پست الکترونیکی زیر با موضوع PDS.2021 رفع نمایید.

[ali\[mohammadpour\[at\]aut\[dot\]ac\[dot\]ir](mailto:ali[mohammadpour[at]aut[dot]ac[dot]ir)

محمدپور

موفق و پیروز باشید!

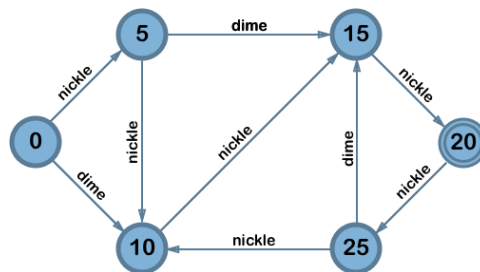
تحويل تا ساعت ۲۳:۵۵ روز سه‌شنبه مورخ ۱۴۰۰/۰۳/۲۵ از طریق سامانه‌ی دروس

پرسش‌های مرور و تثبیت مفاهیم (نیازی به ارسال پاسخ این بخش نیست.)

(الف) به سوالات زیر پاسخ دهید.

- روش‌های کدگذاری حالات مختلف یک ماشین حالت را نام برده و مزایا و معایب هریک را بیان کنید.
 - توضیح دهید در چه صورت سیگنال‌ها و متغیرهای موجود در یک فرایند در حین سنتز به حافظه تبدیل می‌شوند؟
 - نقش و دلایل شبیه‌سازی قبل و بعد از سنتز را بیان کنید.
 - انواع wait را نام برده و بگویید هر کدام با یکدیگر چه تفاوتی دارند.
 - از کد wait (که زمانی نامحدود را منتظر می‌ماند) در کجا می‌توان استفاده کرد؟
 - چرا از اصطلاح چرخه‌ی طراحی استفاده می‌کنیم؟ مراحل چرخه‌ی طراحی را نام برده و هر یک را توضیح دهید.
- (ب) مدار تشخیص دهنده‌ی دنباله‌ی ۱۰۰۱۰۰۱ و ۱۰۱۱۰۰۱۱ را به صورت همپوشان^۱ توصیف نمایید. این مدار دارای یک ورودی است که با هر کلاک، یک بیت را دریافت می‌کند و وقتی هر کدام از دنباله‌های بالا را دریافت کرد، خروجی خود را یک کند. همپوشان بودن به معنی این است که مثلاً اگر دنباله ۱۰۰۱۰۰۱۰۰۱ دریافت شد، خروجی در کلاک هفتم و کلاک سیزدهم یک می‌شود.

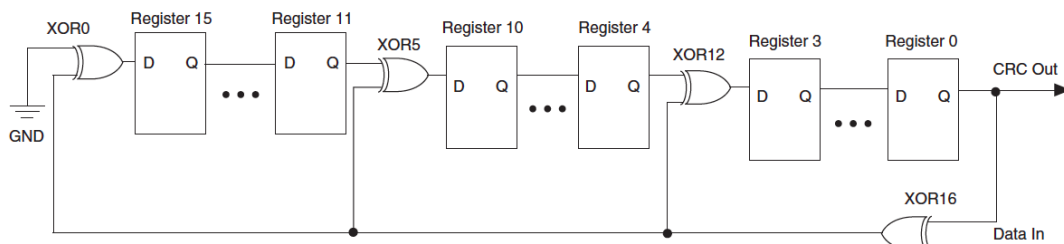
(ج) مدار مربوط به ماشین حالت شکل ۵-۱ را توصیف نمایید. سپس در ابزار Vivado آن را به صورت One-Hot و Gray سنتز نمایید. میزان منابع مصرفی دو روش را با یکدیگر مقایسه کنید.



شکل ۵-۱ ماشین حالت

(د) یک کروномتر با ورودی‌های ساعت، بازنشانی، نگه‌داشتن (pause) و ادامه (resume) و یک خروجی از نوع عدد صحیح طراحی کنید. فرکانس کلاک ورودی را ۲۰ مگاهرتز در نظر بگیرید.

(ه) ماژول تشخیص‌دهنده‌ی خطای CRC16-CCITT را به صورت سریالی (حساس به کلاک) طراحی نمایید.



شکل ۵-۱ ماژول تشخیص‌دهنده‌ی CRC16-CCITT

^۱ Overlapped

تحويل تا ساعت ۲۳:۵۵ روز سه‌شنبه مورخ ۱۴۰۰/۰۳/۲۵ از طریق سامانه‌ی دروس

(ارسال پاسخ این بخش الزامی است.)

پرسش ۱-۵

فرض کنید جهت طراحی یک شمارنده که ورودی فعال‌ساز همگام و بازنشانی ناهمگام دارد، از قطعه کد ۱-۵ استفاده شود.

قطعه کد ۱-۵

```
-- type of signal 'count' is std_logic_vector(7 downto 0)
-- type of other signals is std_logic
active_clock <= clock and enable;
process (active_clock)
begin
    if reset = '1' then
        count <= (others => '0')
    else
        if rising_edge(active_clock) then
            count <= count + '1';
        end if;
    end if;
end process
```

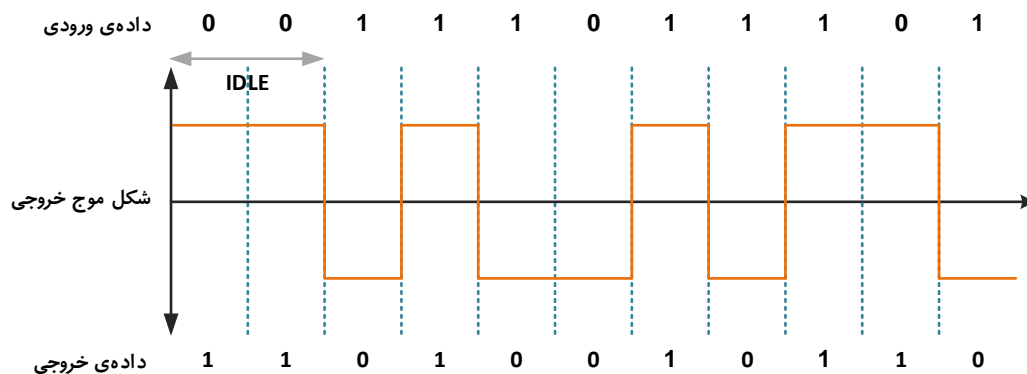
الف) در رابطه با نقش سیگنال Enable توضیح دهید. برای چه هدفی می‌توان از آن استفاده کرد؟

ب) در لیست حساسیت فرآیند^۲ فقط سیگنال کلاک (clock) را قرار داده و آن را طوری بازنویسی کنید که عملیات قطعه کد ۱-۵ را انجام دهد.

² Process

پرسش ۵-۲

کد NRZI یا کد برگشت‌ناپذیر به صفر معکوس^۳ برای انتقال داده‌های سریال استفاده می‌شود. هنگام کدگذاری اگر مقدار ورودی در کلاک جاری یک باشد، خروجی برعکس می‌شود و اگر ورودی صفر باشد، خروجی حالت قبلی را حفظ می‌کند. در حالت اولیه‌ی بیکار (idle)، خروجی برابر یک است و در مثال زیر، اولین خروجی معنادار صفر خواهد بود. به عبارتی دیگر، ورودی‌های پیشین را برابر صفر در نظر بگیرید.



الف) کدگذار^۴ NRZI را با استفاده از ماشین حالت به صورت سنتزپذیر توصیف نمایید.

ب) آشکارساز^۵ کد NRZI را با استفاده از ماشین حالت به صورت سنتزپذیر توصیف نمایید. آشکارساز به صورت معکوس عمل می‌کند یعنی اگر ورودی کد NRZI باشد، خروجی آن دنباله ورودی‌های اولی خواهد بود.

ج) یک فایل محیط آزمون تعریف نمایید و در آن یک کدگذار NRZI را به آشکارساز آن وصل نمایید. مدار را با بردار آزمون زیر شبیه‌سازی نمایید. بدیهی است که خروجی باید بردار آزمون باشد.

د) کد شبیه‌سازی و شکل موج آن را ارائه دهید. از رشته‌ی بیتی زیر به عنوان بردار آزمون استفاده کنید.

111010100100100001001010101001001

^۳ Non-return to-zero Invert

^۴ Encoder

^۵ Decoder

پرسش ۳-۵

اطلاعات ژن‌های انسان شامل ۴ کاراکتر {A, C, T, G} است. دو نمونه از رشته‌هایی که در ژن‌ها یافت می‌شوند به صورت زیر هستند:

$$U = G^5 A^+ C [TC]^3$$

$$V = A \varepsilon^* A [GT]^* C$$

- علامت * به منزله‌ی تکرار صفر یا بیشتر عبارت درون [] است.
- علامت + به منزله‌ی حداقل یک بار (یک یا بیشتر) عبارت درون [] است.
- عدد بعد از یک کاراکتر (یا عبارت داخل کروشه) به منزله‌ی تکرار آن کاراکتر (یا عبارت داخل []) به آن تعداد است.
- علامت ε به منزله‌ی هر یک از کاراکترهای A, C, T, G یا هیچ است.
- برای یک حرف تنها [] لازم نیست.

مثال‌ها

<i>GGGGGACTCTCTC</i>	<i>GGGGGAAACTCTCTC</i>	<i>AAC</i>	<i>AAGTC</i>
<i>GGGGGAAAACCTCTCTC</i>	<i>ATGTAAGTGTC</i>	<i>ATAC</i>	<i>ACAGTC</i>

- رشته‌های مربوط به U به رنگ آبی و رشته‌های مربوط به V با رنگ قرمز نشان داده شده‌اند
- توجه:** کاراکترهای ورودی با دو بیت به صورت زیر مشخص می‌شوند و در هر کلاک یک کاراکتر وارد سیستم می‌شود.

00	01	10	11
A	T	G	C

الف) یک ماشین حالت با استفاده از یک فرآیند توصیف نمایید که ساختارهای U و V را نشان دهد. خروجی سامانه یک سیگنال دو بیتی است که بیت صفر زمانی فعال می‌شود که ماشین حالت رشته‌ی U را تشخیص دهد. بیت یک نیز زمانی فعال می‌شود که ماشین حالت رشته‌ی V را تشخیص دهد.

ب) ماشین حالت قسمت «الف» را با استفاده از دو فرآیند توصیف نمایید. یک فرآیند برای تشخیص رشته‌ی U و یک فرآیند برای تشخیص V استفاده شود.

ج) یک فایل محیط آزمون طراحی کرده و هر دو قسمت «الف» و «ب» را شبیه‌سازی نمایید. کد شبیه‌سازی و شکل موج خروجی را ارسال نمایید. برای ورودی بردار آزمون دو رشته‌ی زیر را در نظر بگیرید.

<i>GGGGGACTCTCTCACACGGGGGAAACTCTCTCCACA</i>
<i>AAACAAAACAAAAACGGGGGGGAACAAGTCACAGTCATACATAC</i>

ج) هر دو قسمت «الف» و «ب» را سنتز نمایید. گزارش منابع مصرفی را ارائه دهید. چه نتیجه‌ای می‌گیرید؟

پرسش ۴-۵

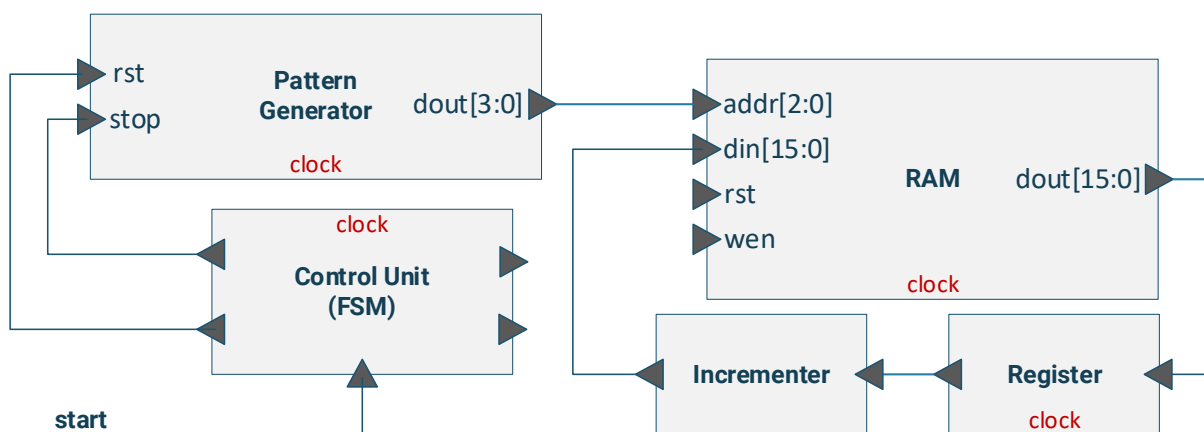
در این پرسش یک شمارنده‌ی تعداد تکرار اعداد ۰ الی ۷ را طراحی خواهیم کرد. ورودی‌ها از طریق یک تولیدکننده الگو وارد سیستم می‌شود. نتایج نیز در یک حافظه RAM نوشته می‌شود. نتایج تعداد شمارش در آدرس خانه‌ی همان عدد ذخیره می‌شود. به عنوان مثال تعداد تکرار عدد ۵ در آدرس ۵ حافظه RAM ذخیره می‌شود. مقدار اولیه همه‌ی خانه‌های RAM برابر صفر است. ابتدا داده توسط ماشین حالت تولید می‌شود. سپس محتوای خانه‌ی مربوطه از RAM خوانده می‌شود و یک واحد به آن اضافه می‌شود. در کلاک بعد، بار دیگر داده‌ی جدید از تولید کننده الگو خوانده و محتوای حافظه RAM به‌روز می‌شود.

الف) با استفاده از ماشین حالت، یک تولید کننده الگو طراحی نمایید که مطابق دنباله‌ی زیر، به ترتیب (از چپ به راست) اعداد را تولید نماید (این دنباله از ابتدا تا انتها مدام تکرار می‌شود). ورودی مدار کلاک و ریست است و خروجی آن یک عدد سه بیتی است. این مدار برای تولید ورودی مسأله است.

1,1,2,1,2,3,1,2,3,4,1,2,3,4,5,1,2,3,4,5,6,1,2,3,4,5,6,7,1,3,4,5,6,7,0

ب) یک حافظه‌ی RAM (شکل ۵-۳) با اندازه‌ی عرض بیتی ۱۶ به طول ۸ توصیف نمایید که دارای سیگنال ریست سنکرون (صفر کردن همه‌ی خانه‌ها) و سیگنال فعال‌ساز برای نوشتن داشته باشد. توجه داشته باشید که آدرس مجزایی برای نوشتن و خواندن وجود ندارد (خطوط آدرس برای نوشتن و خواندن، مشترک است).

ج) با استفاده از مدارهای قسمت «الف» و «ب» مدار شکل ۵-۳ را طراحی نمایید. یک ماشین حالت برای کنترل بخش‌های مختلف طراحی نمایید تا عملیات شمارش را به درستی انجام دهد.



شکل ۵-۳ مدار شمارش تکرار

د) مدار نهایی را شبیه‌سازی کنید. شکل موج مربوط به حافظه RAM را برای شمارش ۲۰۰ ام و کد شبیه‌سازی را ارائه دهید.

ه) مدار نهایی را سنتز نمایید. گزارش منابع مصرفی و شماتیک Elaborated Design قبل از سنتز را ارائه دهید. شماتیک پس از سنتز را نیز ارائه دهید.

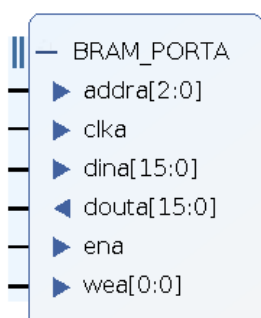
تحويل تا ساعت ۲۳:۵۵ روز سه‌شنبه مورخ ۱۴۰۰/۰۳/۲۵ از طریق سامانه‌ی دروس

(و) بخش اختیاری (نمره اضافی دارد.)

پیاده‌سازی قسمت «۱» یا «۲» و یا هر دو، نمره اضافی مجزایی دارد.

۱) در محیط Vivado بخش IP Catalog را انتخاب نمایید. هسته‌ی پردازشی Block Memory Generator را انتخاب نموده و مطابق جدول زیر پیکربندی کنید. از آن به جای کدی که در قسمت «ب» نوشته‌اید استفاده کنید.

Basic	Mode	Stand Alone
	Memory Type	Single Port
Port (A) Options	Write Width	16
	Read Width	16
	Write Depth	3
	Read Depth	3



۲) مطابق قسمت «۱» یک حافظه‌ی FIFO^۶ با مشخصات زیر با استفاده از هسته‌ی پردازشی FIFO Generator پیکربندی کنید و بین واحد تولید کننده الگو و سایر بخش‌ها قرار دهید.

برای یادآوری عملکرد FIFO، می‌توانید به لینک زیر مراجعه نمایید:

[https://en.wikipedia.org/wiki/FIFO_\(computing_and_electronics\)](https://en.wikipedia.org/wiki/FIFO_(computing_and_electronics))

Basic	Interface Type	Native
	Fifo Implementation	Common Clock Distributed RAM
Native Ports	Write Width	3
	Read Width	3
	Write Depth	256
	Read Depth	256

۳) واحد کنترل را طوری تغییر دهید که ابتدا ۲۵۶ داده را در FIFO ذخیره کند. سپس با حافظه‌ی بلوکی قسمت ۱ یا FIFO (و یا هر دو) کار کند. نیاز است تعدادی سیگنال کنترلی خروجی به واحد کنترلی اضافه کنید.

۴) مدار نهایی را شبیه‌سازی کنید. شکل موج مربوط به حافظه RAM را برای شمارش ۲۰۰ ام (پس از اتمام نوشتن در FIFO) و کد شبیه‌سازی را ارائه دهید.

۵) مدار نهایی را سنتز نمایید. گزارش منابع مصرفی و شماتیک Elaborated Design قبل از سنتز را ارائه دهید. شماتیک پس از سنتز را ارائه دهید.

^۶ First-In-First-Out