

تحويل تا ساعت ۲۳:۵۵ روز جمعه مورخ ۱۴۰۰/۰۲/۰۳ از طریق سامانه‌ی دروس

نکاتی در رابطه با نوع تمرین

هر سری از تمرین‌ها، از چهار بخش تشکیل شده است:

- مرور و تثبیت مفاهیم: پرسش‌های این بخش جهت مرور و یادآوری مفاهیم درسی آورده شده است و با مطالعه مفاهیم درسی گفته‌شده در کلاس درس و اسلایدهای درس خواهید توانست به آن‌ها پاسخ دهید. پاسخ آن‌ها مورد ارزیابی قرار نخواهد گرفت، لذا نیازی به ارسال پاسخ آن‌ها نیست.
- تحلیل و طراحی مدار: پرسش‌های این بخش جهت درک عمیق مفاهیم درسی و افزایش قدرت تحلیل و طراحی سیستم‌های دیجیتال آورده شده است. پاسخ به آن‌ها الزامی بوده و مورد ارزیابی قرار خواهد گرفت.
- توصیف و پیاده‌سازی: پرسش‌های این بخش جهت افزایش مهارت شما در پیاده‌سازی مدارهای دیجیتال، بررسی درستی عملکرد آن و استفاده از ابزارهای طراحی آورده شده است. پاسخ به آن‌ها الزامی بوده و مورد ارزیابی قرار خواهد گرفت.
- طراحی و پیاده‌سازی سامانه پیشرفته: پرسش‌های این بخش ممکن است کمی پیچیده‌تر و دشوارتر از سایر بخش‌ها باشد. الزامی یا اختیاری بودن آن‌ها در صورت پرسش ذکر شده است.

نکاتی در رابطه با نحوه‌ی ارسال تمرین

- ارسال تمرینات به‌صورت الکترونیکی و از طریق [سامانه دروس](#) خواهد بود. فایل ارسالی شما فایل zip با نام sid_hs.zip است که sid شماره دانشجویی و hs شماره سری تمرین است. یک قالب آماده در سامانه دروس قرار داده شده است تا پاسخ تمرین را در قالب تعیین شده بنویسید. پرسش‌هایی که پاسخ آن‌ها ماهیت تشریحی و تحلیلی دارد را به صورت تایپ‌شده یا دستی نوشته و به صورت یک فایل PDF ذخیره نمایید.
- زمان تحويل هر سری از تمرینات مشخص بوده و پاسخ تمرین پس از موعد مقرر شده در سامانه دروس قرار داده خواهد شد لذا امکان تغییر آن وجود ندارد. در حل تمرینات، می‌توانید به‌صورت دوتایی یا چندتایی با یکدیگر همفکری و بحث نمایند ولی هر شخص می‌بایست در نهایت پاسخ و استدلال خود را به‌صورت انفرادی بنویسد و در صورت شباهت پاسخ، تمامی افراد نمره تمرین را از دست خواهند داد.
- بازای هر روز ارسال زودهنگام تمرین‌ها ۵ درصد نمره اضافی تا سقف ۲۰ درصد (در صورتی که نمره خام تمرین بالاتر از ۷۵ درصد شود) در نظر گرفته خواهد شد. بازای هر روز دیرکرد در ارسال تمرین ۱۵ درصد جریمه اعمال خواهد شد. ارسال دیرهنگام فقط تا ۲ روز پس از زمان مقرر شده امکان‌پذیر است و پس از آن نمره تمرین صفر در نظر گرفته خواهد شد.

چنانچه ابهامی در زمینه تمرینات دارید، می‌توانید اشکالات خود را از طریق پست الکترونیکی زیر با موضوع PDS.2021 رفع نمایید.

[ali\[mohammadpour\[at\]aut\[dot\]ac\[dot\]ir](mailto:ali[mohammadpour[at]aut[dot]ac[dot]ir)

محمدپور

موفق و پیروز باشید!

تحويل تا ساعت ۲۳:۵۵ روز جمعه مورخ ۱۴۰۰/۰۲/۰۳ از طریق سامانه‌ی دروس

پرسش‌های مرور و تثبیت مفاهیم
(نیازی به ارسال پاسخ این بخش نیست.)

الف) جاهای خالی زیر را پر کنید.

- مراحل اصلی چرخه‌ی طراحی شامل ورود طرح ، و است. مرحله‌ی ورود طرح به پنج شکل ، ، ، می‌تواند انجام شود.
- مرحله‌ی سنتز از مراحل سه‌گانه‌ی چرخه‌ی طراحی، خود شامل ، نگاشت فناوری و است که در مرحله‌ی نگاشت فناوری، نگاشت معادلات بولی به سخت‌افزار موجود در تراشه صورت می‌گیرد.
- خروجی مرحله‌ی سنتز است.

ب) توصیف سخت‌افزاری در سطح انتقال ثبات چه تفاوتی با توصیف در سطح گیت دارد؟

پ) با استفاده از زبان توصیف سخت‌افزار VHDL، مدار مربوط به توابع جبری زیر را در سطح گیت توصیف کنید.

- $f(b1, b0, a1, a0) = \overline{a1} \cdot (\overline{a0} + b0) + b1 \cdot (\overline{a1} + \overline{a0} + b0)$
- $f(a, b, c, d) = \sum m(1, 4, 5, 7, 11, 13, 15) + d(2, 10)$

ت) درستی یا نادرستی هر یک از عبارات زیر را در زبان توصیف سخت‌افزار VHDL مشخص کنید.

- نوع داده‌ی ورودی و خروجی buffer و inout هیچ تفاوتی با یکدیگر ندارند.
- سیگنال تنها نوع داده‌ای است که می‌توان هم در بخش همروند و هم در بخش ترتیبی قابل اعلان، استفاده و انتساب کرد.

تحويل تا ساعت ۲۳:۵۵ روز جمعه مورخ ۱۴۰۰/۰۲/۰۳ از طریق سامانه‌ی دروس

پرسش‌های مرور و تثبیت مفاهیم
(ارسال پاسخ این بخش الزامی است.)

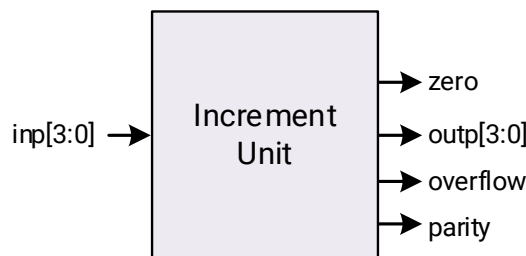
پرسش ۱-۲

شکاف بهره‌وری^۱ را توضیح دهید. دلیل اصلی به وجود آمدن آن چیست؟ تأثیر آن را در طراحی یک سیستم دیجیتال شرح دهید. در طراحی یک تلفن همراه هوشمند جدید آن را شرح دهید. به نظر شما شرکت‌های سازنده برای حل مشکلات چه تدابیری اندیشیده‌اند؟

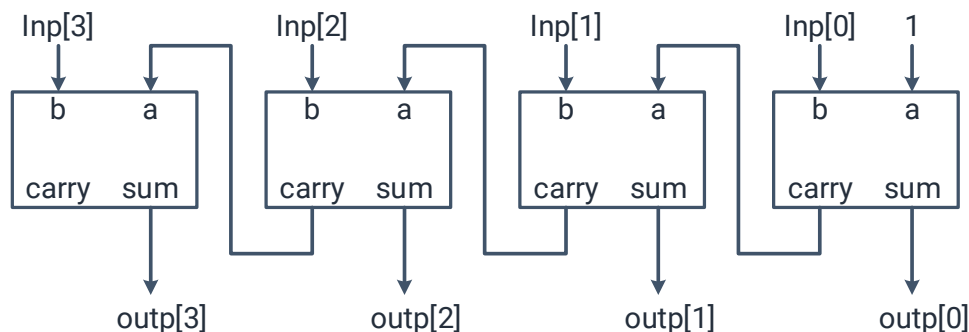
پرسش ۲-۲

با استفاده از زبان توصیف سخت‌افزار VHDL، یک واحد افزاینده^۲ چهار بیتی با استفاده از مشخصات زیر به صورت ساختاری توصیف نمایید.

- جهت طراحی مدار، از واحدهای نیم جمع‌کننده (Half Adder) استفاده نمایید.
- نمایش اعداد به صورت مکمل ۲ است.
- خروجی Zero هنگامی برابر ۱ می‌شود که خروجی outp برابر با صفر شود.
- خروجی Overflow وقتی برابر ۱ می‌شود که سرریز رخ دهد.
- خروجی Parity هنگامی برابر ۱ می‌شود که تعداد یک‌ها در خروجی outp عددی فرد باشد.
- شکل ۲ نحوه‌ی طراحی آن با استفاده از نیم جمع‌کننده را نشان می‌دهد.



شکل ۱: مدار افزاینده ۴ بیتی



شکل ۲: جزئیات مدار افزاینده ۴ بیتی

¹ Productivity Gap

² Increment Unit

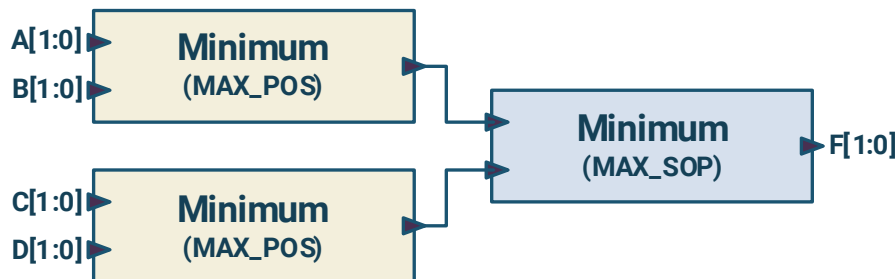
تحويل تا ساعت ۲۳:۵۵ روز جمعه مورخ ۱۴۰۰/۰۲/۰۳ از طریق سامانه‌ی دروس

پرسش ۲-۳

شکل ۳ مداری است که چهار عدد مختلف دو بیتی را دریافت کرده و کوچکترین عدد بین آن‌ها مشخص می‌کند. (الف) بخش معماری^۳ مدار Minimum دو بیتی (دو ورودی که هر کدام دو بیتی هستند) را به صورت SOP توصیف نموده و نام آن را MAX_SOP قرار دهید.

(ب) توصیف بخش معماری مدار Minimum دو بیتی را به صورت مدار POS توصیف نموده و نام آن را MAX_POS قرار دهید.

(ج) مدار شکل ۳ را بدون در نظر گرفتن معماری مدار Minimum توصیف نمایید. سپس یک فایل تعریف پیکربندی^۴ برای آن بنویسید تا بخش معماری همانند شکل ۳ پیاده‌سازی شود.



شکل ۳: مدار Maximum دو بیتی چهار ورودی

پرسش ۲-۴

اگر سیگنال‌های S1 الی S4 به صورت زیر تعریف شده باشند:

```
signal S1, S1, S2, S3: std_logic_vector (15 downto 0);
```

پس از اجرای دستورهای انتساب زیر، در هر یک از سیگنال‌ها چه مقداری قرار خواهد داشت؟

```
S1 <= (3|10|12 => '0', others => '1');
S2 <= (3|10|12 => '0', 0|1|5 => '1');
S3 <= (others => '0');
S4 <= (3|10|12=> '0', 1 => '1', 2 => 'X', 0|5|9=> 'Z', others => 'U');
```

پرسش ۲-۵

مداری که دنباله‌ای از داده‌های دودویی را به صورت متوالی دریافت و آن را به صورت موازی خارج می‌کند، مبدل متوالی به موازی نامیده می‌شود. با استفاده از هشت فلیپ‌فلاپ، یک مبدل متوالی به موازی هشت بیتی طراحی کنید و مدار شماتیک و توصیف ساختاری آن را ارائه دهید. سپس با کمک پارامتر، توصیف این مبدل را برای تعداد بیت کلی تعمیم دهید.

³ Architecture Section

⁴ Configuration Declaration File