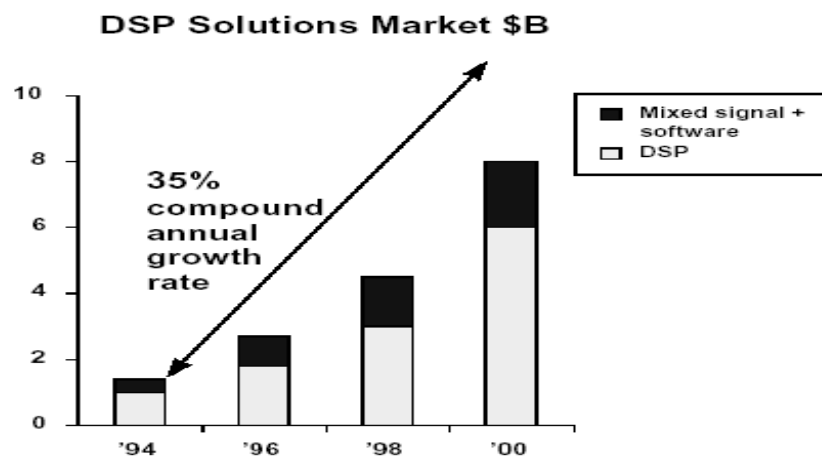


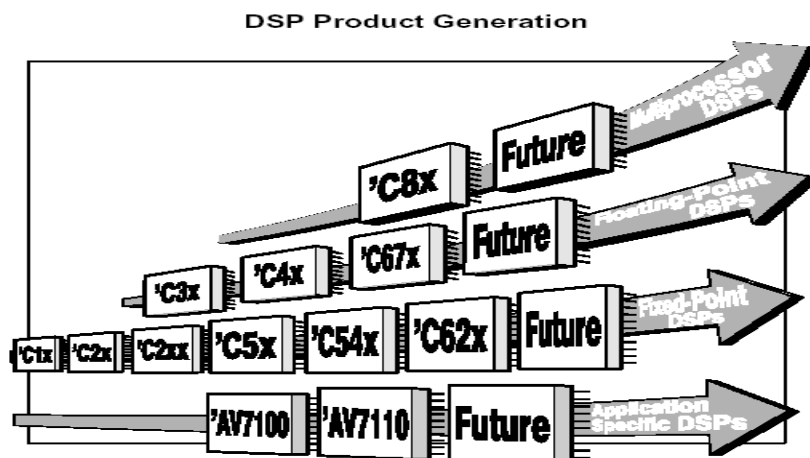
DSP procesori

Osnove

DSP tržište



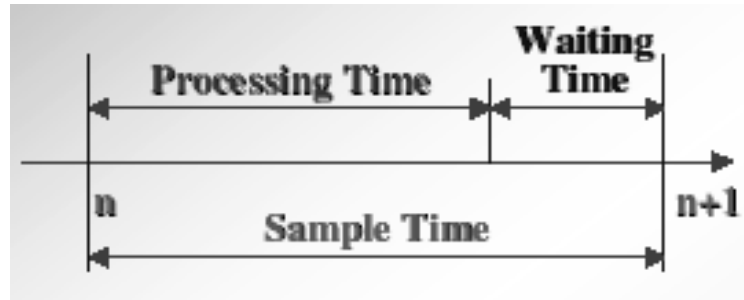
TI DSP familije



Proizvođači

- Analog Devices
- AT&T
- Motorola
- NEC
- Texas Instruments
- Zoran

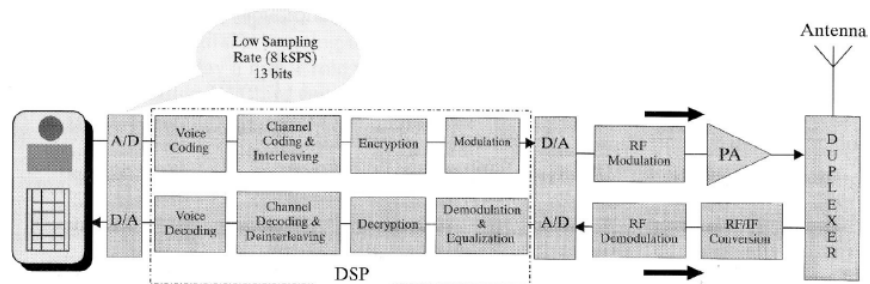
Rad u realnom vremenu



$$\text{Waiting Time} \geq 0$$

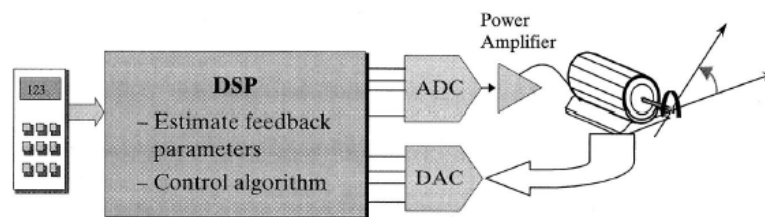
Primeri aplikacija

Mobile phones.



Primeri aplikacija

Motor control.



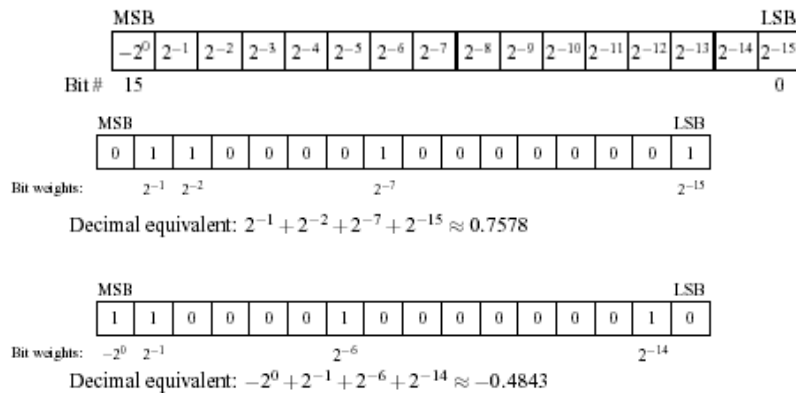
Optimizovana arhitektura za kumulativno množenje

- Brzo izvođenje kumulativnog množenja zahtevaju svi DSP algoritmi

Algorithm	Equation
Finite Impulse Response Filter	$y(n) = \sum_{k=0}^M a_k x(n-k)$
Infinite Impulse Response Filter	$y(n) = \sum_{k=0}^M a_k x(n-k) + \sum_{k=1}^N b_k y(n-k)$
Convolution	$y(n) = \sum_{k=0}^N x(k) h(n-k)$
Discrete Fourier Transform	$X(k) = \sum_{n=0}^{N-1} x(n) \exp[-j(2\pi/N)nk]$
Discrete Cosine Transform	$F(u) = \sum_{x=0}^{N-1} c(u) \cdot f(x) \cdot \cos\left[\frac{\pi}{2N} u(2x+1)\right]$

Tip aritmetike

- Aritmetika sa pomičnim zaregom (floating point)
- Aritmetika sa nepomičnim zaregom (fixed point)



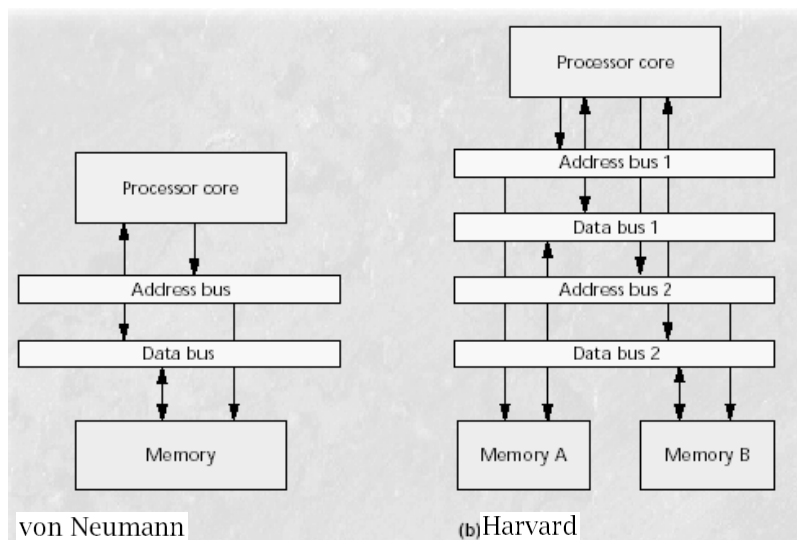
Performanse

- Širina reči:
 - 8; 16; 24; 32; 64
- Brzina:
 - 1600 MIPS
 - 1000 MFLOPS

Specifičnost arhitekture

- Višestruki pristup memoriji više memorijskih magistrala
 - Izvršenje više pristupa memoriji u jednom instrukcijskom ciklusu
 - Omogućuje prihvatanje instrukcije uz istovremeno smeštanje ili prihvatanje podatka
- Specijalizovani adresni modovi
 - Postojanje jedinice za generisanje adresa
 - Ova jedinica u pozadini računa i priprema adrese operanada neophodnih za izvršenje aritmetičkih operacija
 - Indirektno adresiranje sa naknadnim inkrementiranjem adrese pogodno za simultana izračunavanja
 - Cirkularno ili modulsko adresiranje pogodno za kružne bafere podataka

Harvard arhitektura



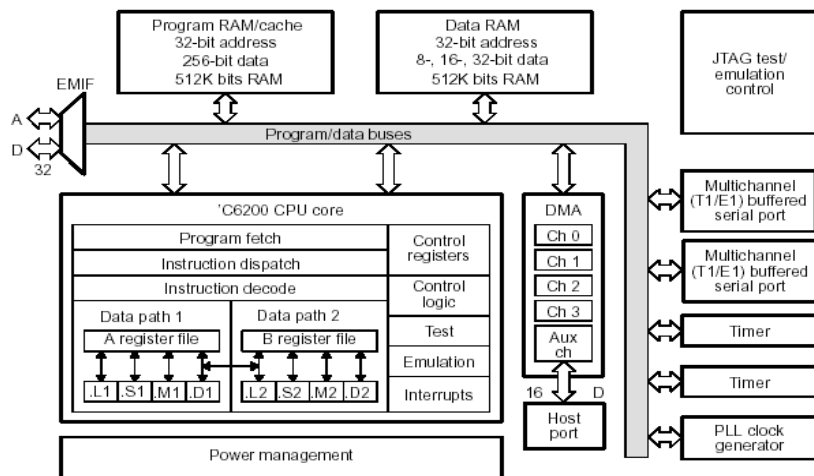
Adresiranje memorije

- Postoji jedinica za generisanje adresa
- Ova jedinica u pozadini računa i priprema adrese operanada neophodnih za izvršenje aritmetičkih operacija
- Indirektno adresiranje sa naknadnim inkrementiranjem adrese pogodno za simultana izračunavanja
- Cirkularno ili modulsko adresiranje pogodno za kružne bafere podataka

VLIW very long instruction word

- Veoma dugačke instrukcijske reči 128, 256 i više bita
- Svaka instrukcijska reč u sebi sadrži više instrukcija koje se izvršavaju u paraleli
- Koriste se u DSP procesorima sa više nezavisnih ALU

DSP TMS320C62xx



DSP TMS320C62xx

The 'C6201 is the first fixed-point processor in the 'C6x generation. Its key features include:

- VelocIT1 advanced very long instruction word (VLIW) architecture
- Eight independent functional units (including two 16-bit multipliers with 32-bit results and six arithmetic logic units [ALUs] with 32/40-bit results)
- 32 32-bit registers
- 1600 million instructions per second (MIPS)
- 5-ns cycle time
- Up to eight 32-bit instructions per cycle
- Byte-addressable 8-, 16-, 32-bit data
- Dual-endian support
- Synchronous external memory interface (EMIF)
- Two multichannel buffered serial ports (McBSPs)
- Four-channel direct memory access (DMA)
- Two timers
- x4 phase-locked-loop (PLL) option
- Host-port interface (HPI)
- 1M-bit on-chip memory (divided into 2K by 256 bits of program memory and 64 bytes of data memory)
- 352-pin ball-grid array package

Instrukcije sa malim procesorskim nadzorom

- Specijalizovane instrukcije za programske petlje bez gubljenja ciklusa za inkrementiranje i testiranje brojača petlje
- Držanje koda programske petlje u kešu
- Izvršenje specijalizovanih interapt rutina sa brzim usvajanjem i slabim programskim nadzorom

Periferije

- Specijalizovani perifernjski i I/O interfejsi
 - Paralelni I/O interfejs
 - Serijski I/O interfejsi
 - DMA
 - Interfejsi za A/D i D/A konvertore
- Integrisane periferije
- On chip memorija

Izvedbe DSP procesora

- Multičip modul
 - Više silicijumskih pločica u jednom pakovanju
 - Gušće pakovanje, veća brzina
 - Primer TI-ov modul sa dva TMS320C40 procesora i 128Kreči 32bitnog RAM-a
- Više procesorski čip
 - Na jedinstvenoj silicijumskoj pločici više procesora
 - Gušće pakovanje, veća brzina, manja disipacija
- Čip set
 - Deljenje DSP-a u više nezavisnih čipova
 - Fleksibilnost; ima smisla za veoma velik broj I/O linija

Izvedbe DSP procesora

- DSP jezgra
 - Za masovnu proizvodnju spajanje programabilnog DSP-a sa dodatnim kolima po narudžbi unutar jednog čipa
- Prilagodljivi DSP procesori
 - DSP procesori koje korisnik konfiguriše
- Multiprocesori
 - Prilagođeni DSP procesori za rad u multiprocesorskom okruženju

Alternative DSP procesorima

- Mikroprocesori opšte namene u manje zahtevnim DSP aplikacijama
- Mikrokontroleri
- Personalni kompjuteri
- Specijalizovani hardver