

MIKROKONTROLER AT89C51RC2

SPI

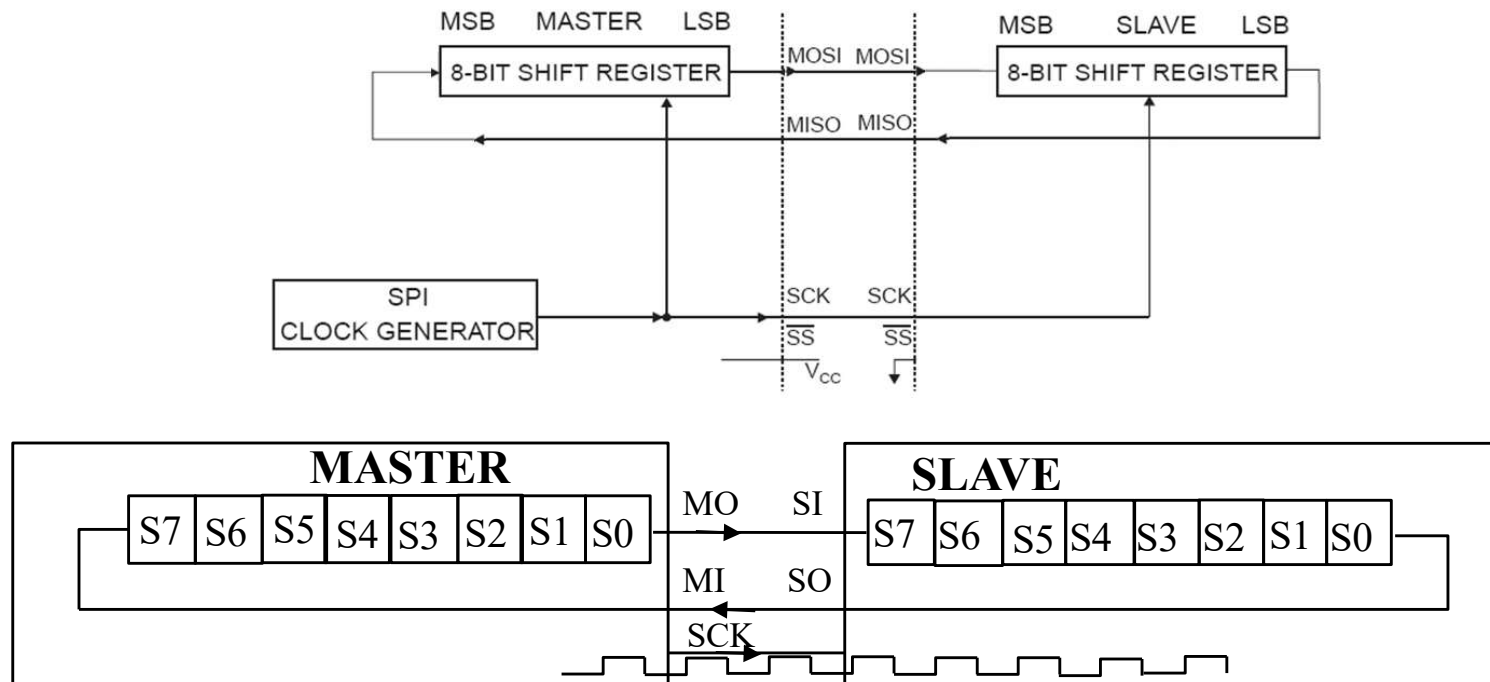


SPI 1/8

SPI omogućava razmjenu podataka sinhronom serijskom komunikacijom sa velikom brzinom između mikrokontrolera i periferija ili između više mikrokontrolera. Osnovne karakteristike SPI interfejsa su sljedeće:

- ❑ Full-Duplex sinhronizovani prenos podataka sa 3 žice
- ❑ Master ili Slave mod rada
- ❑ Velika brzina
- ❑ Prenos podataka sa prvim LSB ili prvim MSB
- ❑ Više programabilnih brzina prenosa
- ❑ Generisanje prekida na kraju prenosa
- ❑ Write Collision Flag

Prikaz SPI komunikacije između master-a i slave-a



SPI 2/8

Pri korišćenju SPI interfejsa kod AT89C51RC2 koriste se SFR registri **SPCON** (C3h), **SPSTA** (C4h) i **SPDAT** (C5h), kao i registri **IEN1** (B1h), **IPL1** (B2h) i **IPH1** koji se koriste za konfigurisanje SPI prekida. Pinovi za prenos podataka su:

P1.1 SS - Slave port select ulaz

P1.7 (MOSI) - Master data izlaz, slave data ulaz pin za SPI

P1.5 (MISO) - Master data ulaz, slave data izlaz pin za SPI

P1.6 (SCK) - Master clock izlaz, slave clock ulaz pin za SPI

SPDAT (C5h) – SPI Data Register je 8-bitni shift registar u koji se upisuju podaci koji se šalju i iz koga se očitavaju primljeni podaci. Slično kao kod serijskog porta, mikrokontroler koji je SPI master automatski počinje da šalje podatak kada se on upiše u ovaj registar.

Podržava prenos podataka samo sa prvim MSB.

SPI 3/8

Za konfiguiranje SPI komunikacije koristi se specijalni funkcijski registar SPCON (CRh)

SPCON (C3h) – SPI Control Register:

Bit	Ime	Objašnjenje funkcije
7	SPR2	SPI Clock Rate Select – bit 2.
6	SPEN	SPI Enable. SPI = 1 uključuje SPI interfejs i povezuje SS, MOSI, MISO i SCK na pinove P1.1, P1.5, P1.6 i P1.7. SPI = 0 isključuje SPI interfejs.
5	SSDIS	SS Disable. Kada je 0, koristi se SS u Master i Slave modu. Kada je 1, SS se ne koristi ni u Master ni u Slave modu. U Slave modu, ovaj bit nema nikakvog efekta ako je CPHA=0. Kada je na 1, ne generiše se MODF prekid.
4	MSTR	Master/Slave Select. MSTR = 1 znači da je mikrokontroler Master u SPI komunikaciji. MSTR = 0 znači da je mikrokontroler Slave u SPI komunikaciji.
3	CPOL	Clock Polarity. Kada je CPOL = 1, SCK je kada nema prenosa na visokom nivou. Kada je CPOL = 0, SCK je kada nema prenosa na niskom nivou.
2	CPHA	Clock Phase. CPHA bit zajedno sa CPOL bitom kontroliše vezu između clock i data linija pri prenosu podataka. To je detaljnije objašnjeno na jednom od sljedećih slajdova.
1	SPR1	SPI Clock Rate Select – bit 1.
0	SPR0	SPI Clock Rate Select – bit 0.

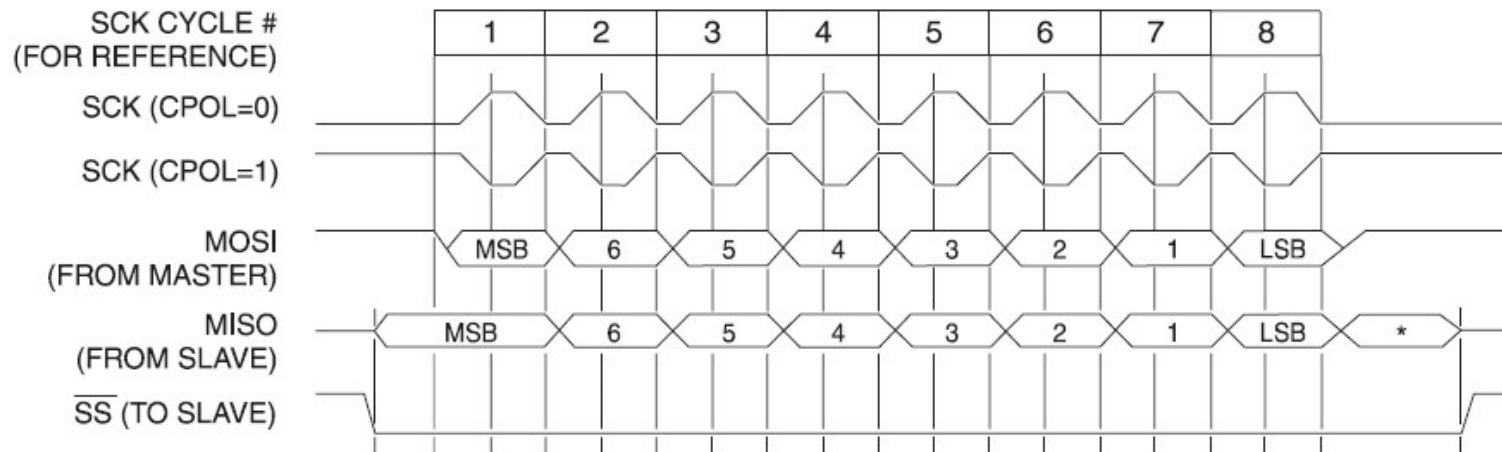
SPI 4/8

Pomoću bitova SPR0, SPR1 i SPR2 iz SPCON registra konroliše se brzina prenosa podataka preko SPI interfejsa, odnosno frekvencija kojom master generiše SCK signal. Ova tri bita nemaju nikakvog efekta kada je mikrokontroler slave u SPI komunikaciji. Veza između frekvencije SCK i frekvencije oscilatora u zavisnosti od SPR0, SPR1 i SPR2 je sljedeća:

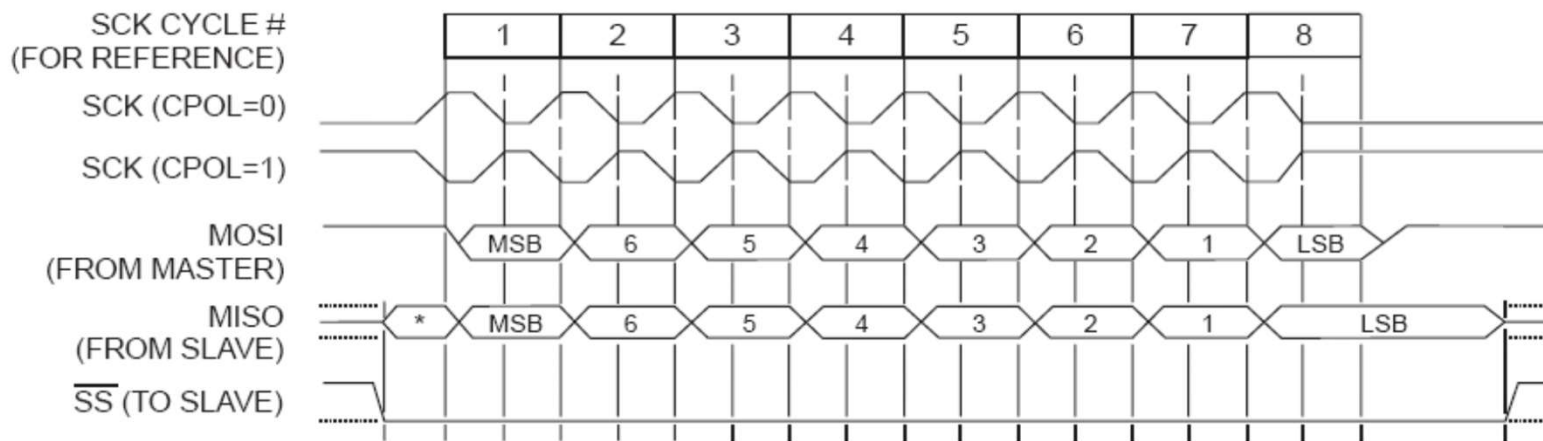
SPR2	SPR1	SPR0	SCK
0	0	0	$F_{\text{CLK PERIPH}}/2$
0	0	1	$F_{\text{CLK PERIPH}}/4$
0	1	0	$F_{\text{CLK PERIPH}}/8$
0	1	1	$F_{\text{CLK PERIPH}}/16$
1	0	0	$F_{\text{CLK PERIPH}}/32$
1	0	1	$F_{\text{CLK PERIPH}}/64$
1	1	0	$F_{\text{CLK PERIPH}}/128$
1	1	1	Invalid

SPI 5/8

Format prenosa podataka preko SPI kada je $CPHA = 0$ – vrednost se očitava na prvoj ivici, a postavlja na drugoj ivici SCK signala. Prvi bit slave postavlja na silaznoj ivici $\overline{SS\#}$



Format prenosa podataka preko SPI kada je $CPHA = 1$ – vrednost se postavlja na prvoj ivici, a očitava na drugoj ivici SCK signala.



SPI 6/8

SPSTA (C4h) - SPI Status Register:

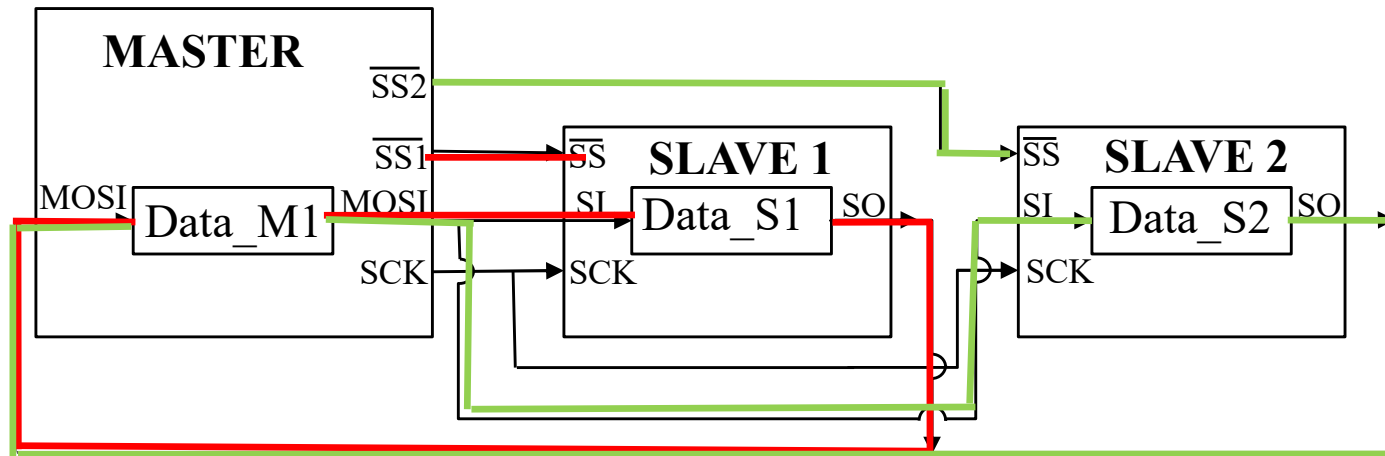
Bit	Ime	Objašnjenje funkcije
7	SPIF	Serial Peripheral Data Transfer Flag. Kada je završen serijski prenos, SPIF bit se postavlja na 1 i generiše SPI prekid. SPIF bit se briše tako što se pročita SPSTA i onda pristupi SPI data registru (SPDAT). Kada je SPIF na 0, prenos podataka je omogućen ili je u toku.
6	WCOL	Write Collision Flag. WCOL bit se postavlja na 1 ako je vršen upis u SPDR tokom prenosa podataka. Tokom prenosa podataka, očitavanjem SPDR mogu da se dobiju pogrešni podaci, a pisanje u njega nema efekta. WCOL bit se briše (kao i SPIF bit) tako što se očita SPSTA, a zatim pristupi SPDAT.
5	SSERR	Synchronous Serial Slave Error Flag. Kada je kontroler u Slave modu i SS se ukine prije kraja prijema podataka, ovaj bit se postavi na 1.
4	MODF	Mode Fault. Kada je SPI u master modu, a dobije se logicka 0 na SS pinu, MODF se postavlja na 1 i generiše prekid kako bi pružio informaciju o tome da kontroler nije u odgovarajucem modu.
0-3	--	Rezervisano

IEN1 (B1h) – Interrupt Enable Register

Bit	Ime	Objašnjenje funkcije
3-7	-	Rezervisano
2	ESPI	SPI Interrupt Enable Bit. Dozvola SPI prekida.
1	-	Rezervisano
0	KBD	Keyboard Interrup Enable Bit. Dozvola prekida tastature.

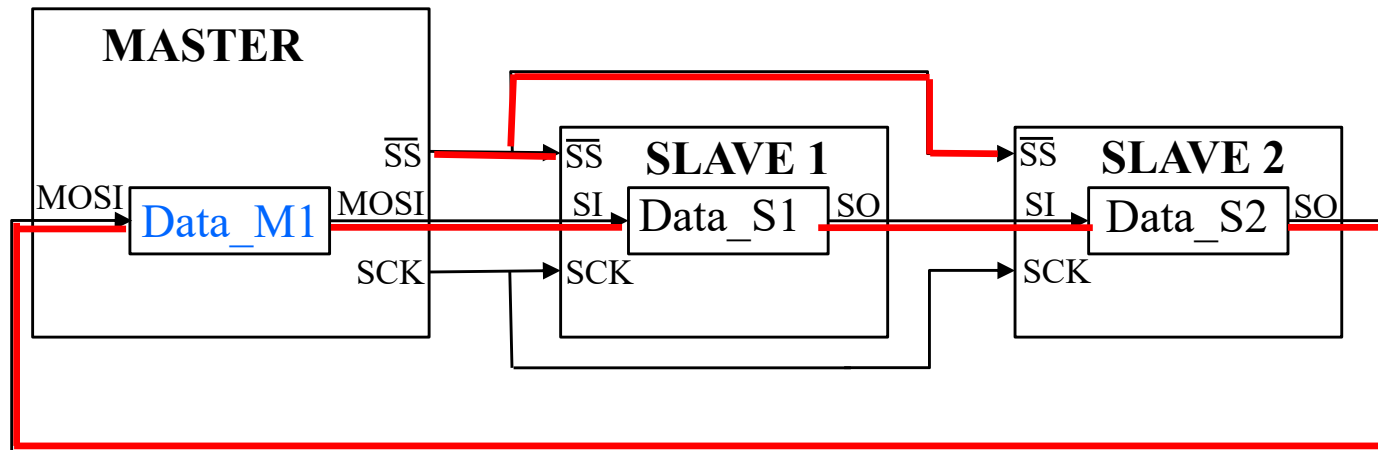
SPI 7/8

SPI – više slave-ova, regularna konfiguracija:



SPI 8/8

SPI – više slave-ova, Daisy chain konfiguracija:



Primjer primjene SPI za razmjenu podataka 1/3

Dat je programski kod u kome se ciklično, svakih 1s, pomoću SPI interfejsa razmjenjuju 2 bajta podataka sa jednim slave-om.

Isti kod može da se koristi i za razmjenu podataka sa 2 slave-a povezana u daisy chain.

```
#include<REG51RC2.h>
unsigned char data brojStotinki=0;
unsigned char data brojPrekida=0;
unsigned char data podaciSlanje[2];
unsigned char podaciPrimljeni[2];
unsigned char i _SPI=0;
```

```
void InicijalizacijaKontrolera(void)
```

```
{
EA=0;
TL0=56;//VRIJEDNOST ZA PRVO BROJANJE TAJMERA
TH0=56;//RELOAD VRIJEDNOST ZA OSCILATOR OD 24MHz
TMOD=0x02;//GATE0=0(bit 3), C/T0=0 (bit 2), mod 2(bit 0-1)
TR0=1;//DOZVOLA RADA TAJMERA 0
ET0=1;//DOZVOLA PREKIDA TAJMERA 0
```

```
//INICIJALIZACIJA SPI INTERFEJSA
SPCON=0x75; //KONFIGURISANJE SPI INTERFEJSA
//SPEN=1 => UKLJUČEN SPI, SSDIS=1 => ISKLJUČEN SS
//MSTR=1 => MIKROKONTROLER JE MASTER U SPI KOMUNIKACIJI
//CPOL=0 i CPHA=1 => IZABRAN JE FORMAT PRENOSA PREMA ODGOVARAJUCEM DIJAGRAMU
// SPR2=0 , SPR1=0 I SPR0=1 => FSCK=Fclkperiph/4
IEN1=0x04; // DOZVOLA SPI PREKIDA
P1_3=1; //INICIJALNO STANJE PINA ZA SELEKCIJU SLAVE-A
EA=1; //GLOBALNA DOZVOLA PREKIDA
}
```

7	SPR2	SPI Clock Rate Select – bit 2.
6	SPEN	SPI Enable. SPI = 1 uključuje SPI interfejs i povezuje SS, MOSI, MISO i SCK na pinove P1.1, P1.5, P1.6 i P1.7. SPI = 0 isključuje SPI interfejs.
5	SSDIS	SS Disable. Kada je 0, koristi se SS u Master i Slave modu. Kada je 1, SS se ne koristi ni u Master ni u Slave modu. U Slave modu, ovaj bit nema nikakvog efekta ako je CPHA=0. Kada je na 1, ne generiše se MODF prekid.
4	MSTR	Master/Slave Select. MSTR = 1 znači da je mikrokontroler Master u SPI komunikaciji. MSTR = 0 znači da je mikrokontroler Slave u SPI komunikaciji.
3	CPOL	Clock Polarity. Kada je CPOL = 1, SCK je kada nema prenosa na visokom nivou. Kada je CPOL = 0, SCK je kada nema prenosa na niskom nivou.
2	CPHA	Clock Phase. CPHA bit zajedno sa CPOL bitom kontroliše vezu između clock i data linija pri prenosu podataka. To je detaljnije objašnjeno na jednom od sljedećih slajdova.
1	SPR1	SPI Clock Rate Select – bit 1.
0	SPR0	SPI Clock Rate Select – bit 0.

Primjer primjene SPI za razmjenu podataka 2/3

```
//PROCEDURA ZA OBRADU PREKIDA TAJMERA 0,
//PREKID SE GENERISE SVAKIH 100us
//ZA IZVODJENJE OPERACIJA KORISTI SE REGISTAR BANKA 1
void Tajmer0 (void) interrupt 1 using 1 {
if(++brojPrekida == 100) { // odbrojao 10ms
    brojPrekida=0; //resetuje se brojac prekida
    if(++brojStotinki == 100) { //odbrojao sekundu
        brojStotinki=0; //postavlja se na 0 odbrojanih stotinki tekuce sekunde
        P1_3=0; //SELEKTOVANJE SLAVE-A
        SPDAT=podaciSlanje[0]; //INICIRANO SLANJE PREKO SPI
        i_SPI=0; //RESETOVANJE BROJACA POSLATIH I PRIMLJENIH BAJTOVA
    }
}
}
```

//PROCEDURA ZA OBRADU SPI PREKIDA

```
void SPI_Prekid (void) interrupt 8
{
if(SPSTA&0x80) {
    podaciPrimljeni[i_SPI] = SPDAT; //OCITAN BAJT PRIMLJEN PREKO SPI
    i_SPI++;
    if(i_SPI<2)
        SPDAT=podaciSlanje[i_SPI]; //INICIRANO SLANJE NOVOG BAJTA PREKO SPI
    else P1_3=1;
}
}
```

Bit	Ime	Objašnjenje funkcije
7	SPIF	Serial Peripheral Data Transfer Flag. Kada je završen serijski prenos, SPIF bit se postavlja na 1 i generiše SPI prekid. SPIF bit se briše tako što se pročita SPSTA i onda pristupi SPI data registru (SPDAT). Kada je SPIF na 0, prenos podataka je omogućen ili je u toku.
6	WCOL	Write Collision Flag. WCOL bit se postavlja na 1 ako je vršen upis u SPDR tokom prenosa podataka. Tokom prenosa podataka, očitavanjem SPDR mogu da se dobiju pogrešni podaci, a pisanje u njega nema efekta. WCOL bit se briše (kao i SPIF bit) tako što se očita SPSTA, a zatim pristupi SPDAT.
5	SSERR	Synchronous Serial Slave Error Flag. Kada je kontroler u Slave modu i SS se ukine prije kraja prijema podataka, ovaj bit se postavi na 1.
4	MODF	Mode Fault. Kada je SPI u master modu, a dobije se logicka 0 na SS pinu, MODF se postavlja na 1 i generiše prekid kako bi pružio informaciju o tome da kontroler nije u odgovarajućem modu.

Primjer primjene SPI za razmjenu podataka 3/3

```
//FUNKCIJA MAIN  
void main (void)  
{  
    InicijalizacijaKontrolera();  
    while (1){  
    }  
}
```