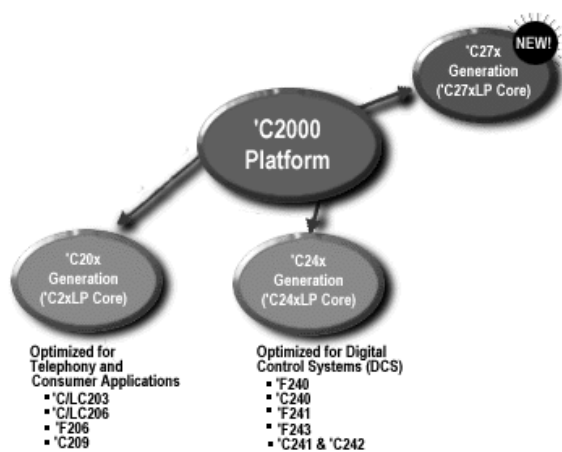


# DSP familija za primenu u upravljanju

TMS320C24xx

## TMS320C2000 platforma



## Osnovne aplikacije familije

- TMS320C20x
  - Telefonija
  - Kućni aparati
- TMS320C24x
  - Digitalni upravljački sistemi
  - Digitalno upravljanje motorima
- TMS320C27x
  - Upravljanje hard diskovima

## TMS320C24x familija

- DSP kontroler
- Velik broj periferija
- Set periferija prilagođen aplikacijama upravljanja
- Snažno DSP jezgro 20MIPS
- Najbolji odnos performanse/cena za industrijske DSP procesore
- Zamena za 8, 16, 32 bitne mikrokontrolere
- Specifikacija
- Blok šema

- High-Performance Static CMOS Technology
- Includes the T320C2xLP Core CPU
  - Object Compatible With the TMS320C2xx
  - Source Code Compatible With TMS320C25
  - Upwardly Compatible With TMS320C5x
  - 132-Pin Plastic Quad Flat Package (PQ Suffix)
  - 50-ns Instruction Cycle Time
- Industrial and Automotive Temperature Available
- Memory
  - 544 Words × 16 Bits of On-Chip Data/Program Dual-Access RAM
  - 16K Words × 16 Bits of On-Chip Program ROM ('C240)/Flash EEPROM ('F240)
  - 224K Words × 16 Bits of Total Memory Address Reach (64K Data, 64K Program and 64K I/O, and 32K Global Memory Space)
- Event-Manager Module
  - 12 Compare/Pulse-Width Modulation (PWM) Channels
  - Three 16-Bit General-Purpose Timers With Six Modes, Including Continuous Up and Up/Down Counting
  - Three 16-Bit Full-Compare Units With Deadband
  - Three 16-Bit Simple-Compare Units
  - Four Capture Units (Two With Quadrature Encoder-Pulse Interface Capability)
- Dual 10-Bit Analog-to-Digital Conversion Module
- 28 Individually Programmable, Multiplexed I/O Pins
- Phase-Locked-Loop (PLL)-Based Clock Module
- Watchdog Timer Module (With Real-Time Interrupt)
- Serial Communications Interface (SCI) Module
- Serial Peripheral Interface (SPI) Module
- Six External Interrupts (Power Drive Protect, Reset, NMI, and Three Maskable Interrupts)
- Four Power-Down Modes for Low-Power Operation
- Scan-Based Emulation
- Development Tools Available:
  - Texas Instruments (TI™) ANSI C Compiler, Assembler/Linker, and C-Source Debugger
  - Scan-Based Self-Emulation (XDS510™)
  - Third-Party Digital Motor Control and Fuzzy-Logic Development Support

## description

The TMS320C240<sup>†</sup> and TMS320F240 devices are the first members of a new family of DSP controllers based on the TMS320C2xx generation of 16-bit fixed-point digital signal processors (DSPs). Unless otherwise noted, the term 'x240 refers to both the TMS320C240 and the TMS320F240. Table 1 provides a comparison of the features of each device. The only difference between these two devices is the type of program memory: the 'C240 contains 16K words of ROM and the 'F240 contains 16K words of flash. This new family is optimized for digital motor/motion control applications. The DSP controllers combine the enhanced TMS320 architectural design of the 'C2xLP core CPU for low-cost, high-performance processing capabilities and several advanced peripherals optimized for motor/motion control applications. These peripherals include the event manager module, which provides general-purpose timers and compare registers to generate up to 12 PWM outputs, and a dual10-bit analog-to-digital converter (ADC), which can perform two simultaneous conversions within 6.1 μs. See the functional block diagram.



Please be aware that an important notice concerning availability, standard warranty, and use in critical applications of Texas Instruments semiconductor products and disclaimers thereto appears at the end of this data sheet.

<sup>†</sup> For this datasheet, the 'C240 device is considered preliminary, with a PRODUCT PREVIEW status. See the PRODUCT PREVIEW statement in the electrical specifications section. Data for the 'F240 is considered current and is at PRODUCTION DATA status.

TI and XDS510 are trademarks of Texas Instruments Incorporated.

UNLESS OTHERWISE NOTED this document contains PRODUCTION DATA information current as of publication date. Products conform to specifications per the terms of Texas Instruments standard warranty. Production processing does not necessarily include testing of all parameters.



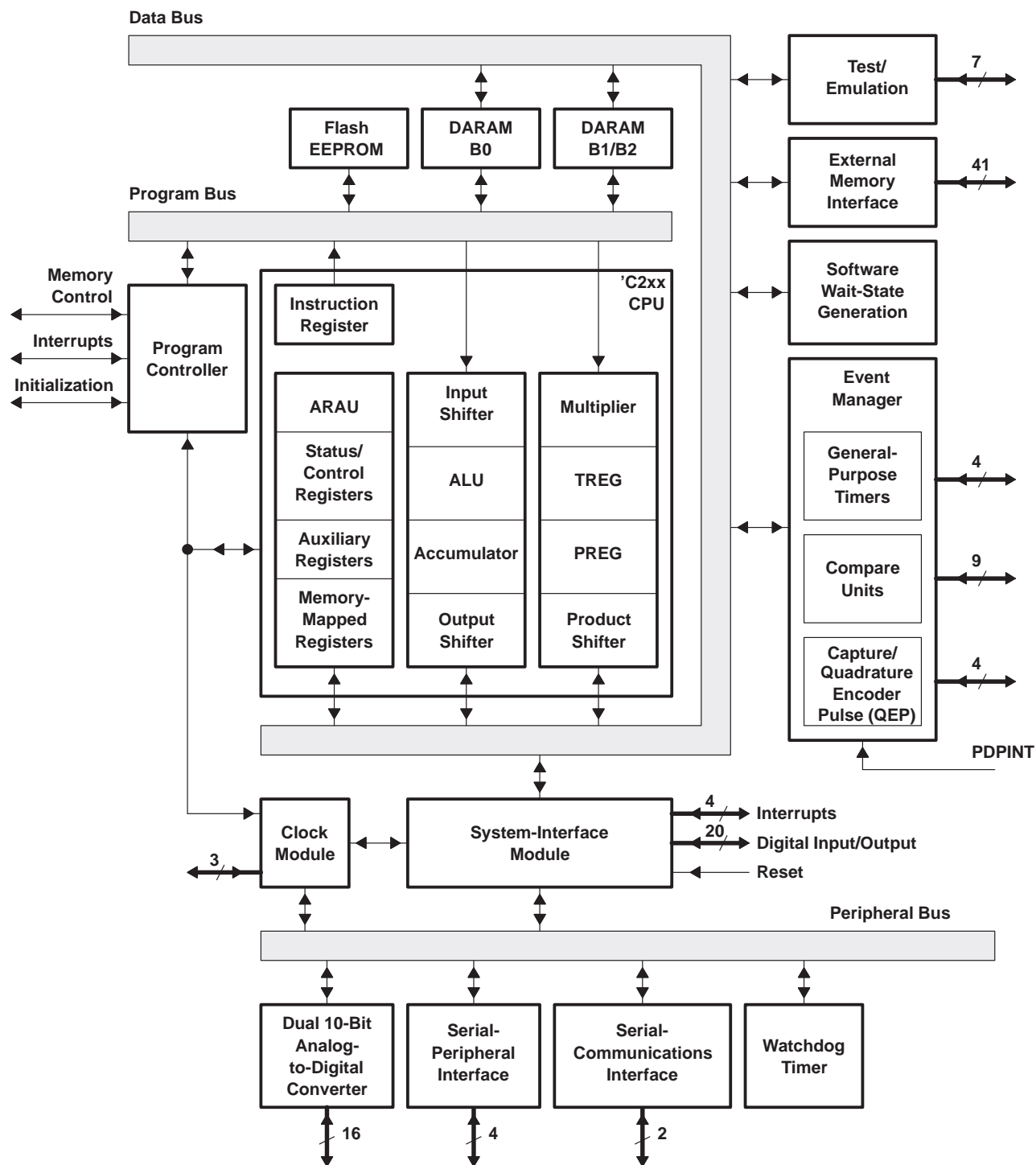
POST OFFICE BOX 1443 • HOUSTON, TEXAS 77251-1443

Copyright © 1998, Texas Instruments Incorporated

# TMS320C240, TMS320F240 DSP CONTROLLERS

SPRS042B – OCTOBER 1996 – REVISED MAY 1998

## functional block diagram



## Napredna arhitektura tipa Harvard

- Magistrala podataka (data bus)
- Programska magistrala (program bus)
- Simultano pribavljanje instrukcije i operanda
- Simultano čitanje konstanti omogućeno njihovim prebacivanjem iz ROM-a u RAM
- Izvršenje gotovo svih instrukcija u jednom instrukcijskom ciklusu

## Memorija

- Interna
  - Dvostruko pristupna RAM memorija DARAM
  - Flash ili ROM memorija
- Eksterna memorija
  - Magistrala adresa A0÷A15
  - Magistrala podataka D0÷D15
  - Jedinstvena eksterna magistrala za podatke i instrukcije

## DARAM

- 544 x16 bit-a u tri banke B0, B1, B2
- B1 256 reči data, B2 32 reči data
- Banka B0 256 reči data ili code RAM
  - Izvršavanje instrukcija iz code RAM-a
  - Dinamička promena data/code mod
  - Mogućnost prebacivanja koda iz spoljne memorije u code RAM
  - Pristup bez stanja čekanja
- Upis i čitanje u istom ciklusu

## Interna flash memorija

- 16Kx16 bit-a interne programske memorije
- Pristup bez stanja čekanja
- Pristup u istom ciklusu sa čitanjem i upisom u memoriju podataka
- DSP sa opcijom ROM-a
  - Fabrički isprogramiran
- DSP sa opcijom Flash memorije
  - Programiranje putem JTAG-a
  - Pogodno za razvoj novih aplikacija

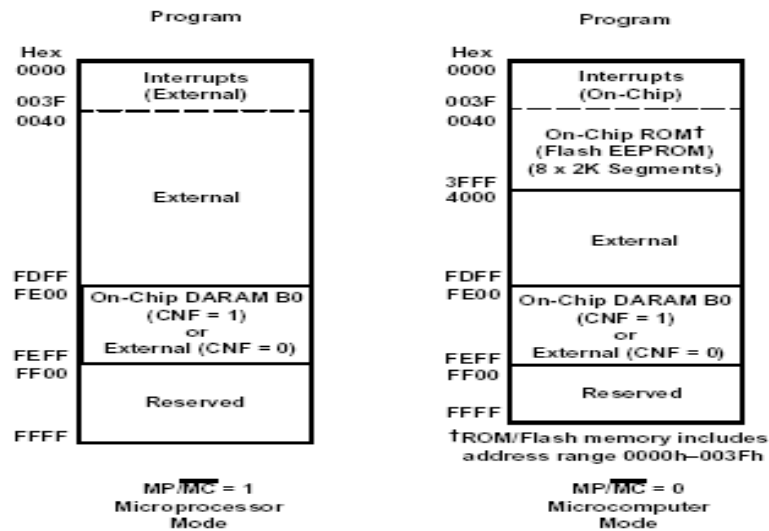
## Interfejs za eksternu memoriju

- 64Kx16 bit-a programski adr. prostor
- 64Kx16 bit-a adr. prostor podataka
- 64Kx16 bit-a I/O adr. prostor
- Interna memorija: jedan mašinski ciklus je dovoljan za pribavljanje instrukcije, operanda i upis rezultata predhodne instr.
- Eksterna memorija: sukcesivno upis podatka, čitanje podatka, čitanje koda

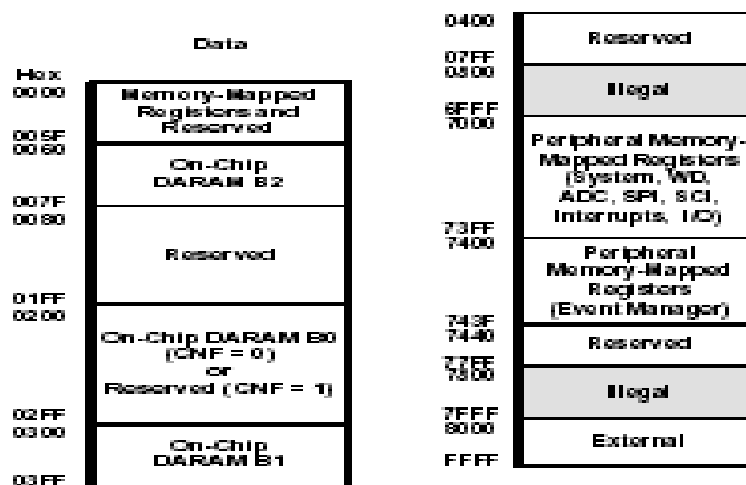
## Brzina pristupa eksternoj memoriji

- READ ciklus min. jedan mašinski ciklus
- WRITE ciklus min. dva mašinska ciklusa
  - WRITE ciklusi su ređi
  - Po pola ciklusa služi za promenu drajvera magistrale podataka od stanja ulaza na stanje izlaza i obrnuto
- READY signal za sinhronizaciju sa sporim periferijama
- Softversko generisanje proizvoljnog broja stanja čekanja

## Memorijska mapa program

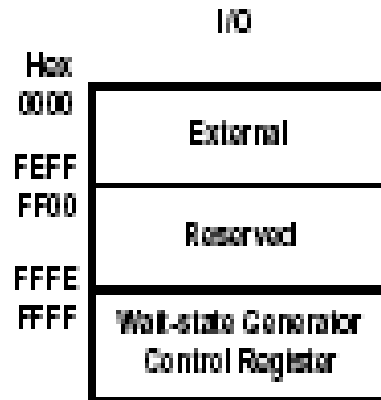


## Memorijska mapa podaci





## I/O adresni prostor



## CPU

- Status registri
- Ulazni pomerački skaler
- Centralna aritmetičko-logička jedinica
- Akumulator
- Izlazni pomerački skaler
- Množlač
- Dodatni registri i aritmetičko-logička jedinica

## Statusni registri

- Dva 16 bitna registra drže statuse:
  - Izvršenih instrukcija
  - Moda rada
  - Trenutnih stanja
- Mogu se učitati u i iz RAM-a

## Ulazni pomerački skaler

- 16 bitni pomerački registar blok šema
  - Ulazi spojeni na magistralu podataka
  - Izlazi spojeni na ulaz CALU
- Pomeranje ne zahteva dodatne mašinske cikluse
- Koristi se za poravnavanje 16 bitnih podataka za 32 bitnu CALU

## Centralna aritmetičko logička jedinica CALU

- 32 bitna ALU
- Izvršava gotovo sve aritmetičke i logičke operacije u jednom mašinskom ciklusu
- Jedan operand je uvek iz akumulatora
- Drugi operand iz memorije, množača...
- Rezultat se smešta u akumulator

## Akumulator

- 32 bitni registar
- Može se podeliti u dva 16 bitna kod pristupa memoriji

## Izlazni pomerački skaler

- Izvršava pomeranje u levo za 0-7 mesta 32 bitnog podatka u akumulatoru
- Pomeranje se izvršava simultano sa upisom u memoriju
- Sadržaj akumulatora se ne menja

## Množać

- 16x16 bitni, rezultat 32 bitni
- Signed i unsigned množenje u 1 mašinskom ciklusu
- 16 bitni registar TREG privremeno drži jedan operand
- 32 bitni registar PREG čuva rezultat
- Sadržaj PREG-a se šiftuje u izlaznom pomeračkom skaleru

## Sumiranje višestrukih proizvoda

- Množenje se normalno može obaviti svaki drugi mašinski ciklus:
  - Pražnjenje PREG, punjenje TREG,
  - uzimanje instrukcije i izvršenje množenja
- Punjenje TREG-a se izvršava u paraleli sa nekom od operacija u CALU:
  - $ACC \leftarrow PREG$
  - $ACC \leftarrow ACC + PREG$
  - $ACC \leftarrow ACC - PREG$
- Ukoliko se vrši kumulativno množenje konstantom i koristi REPEAT instrukcija množenje se obavlja u svakom ciklusu – podrška realizaciji filtara
  - Ne uzima se instrukcija (ona je u kešu), magistrala instrukcija se koristi za drugi operand - konstantu

## Dodatni registri i ALU

- 8 dodatnih registara za indeksno adresiranje i privremeno pamćenje
- Dodatni registri su povezani sa dodatnom ALU
- Moguće autoinkrementiranje i dekrementiranje sadržaja dodatnog registra
- Pristup tabeli podataka ne zahteva angažovanje CALU
- CALU i dodatna ALU rade u paraleli

## Periferije

- Ekstarni memorijski interfejs
- Menadžer događaja (event manager)
- Dvostruki A/D konverter
- SPI (serijski periferalni interfejs)
- SCI (serijski komunikacioni interfejs)
- Watchdog tajmer

## Menadžer događaja

- 3 16bitna tajmera opšte namene
- Jedinica za kompariranje
- Jedinica za hvatanje događaja
- Jedinica za kvadraturni inkrementalni enkoder

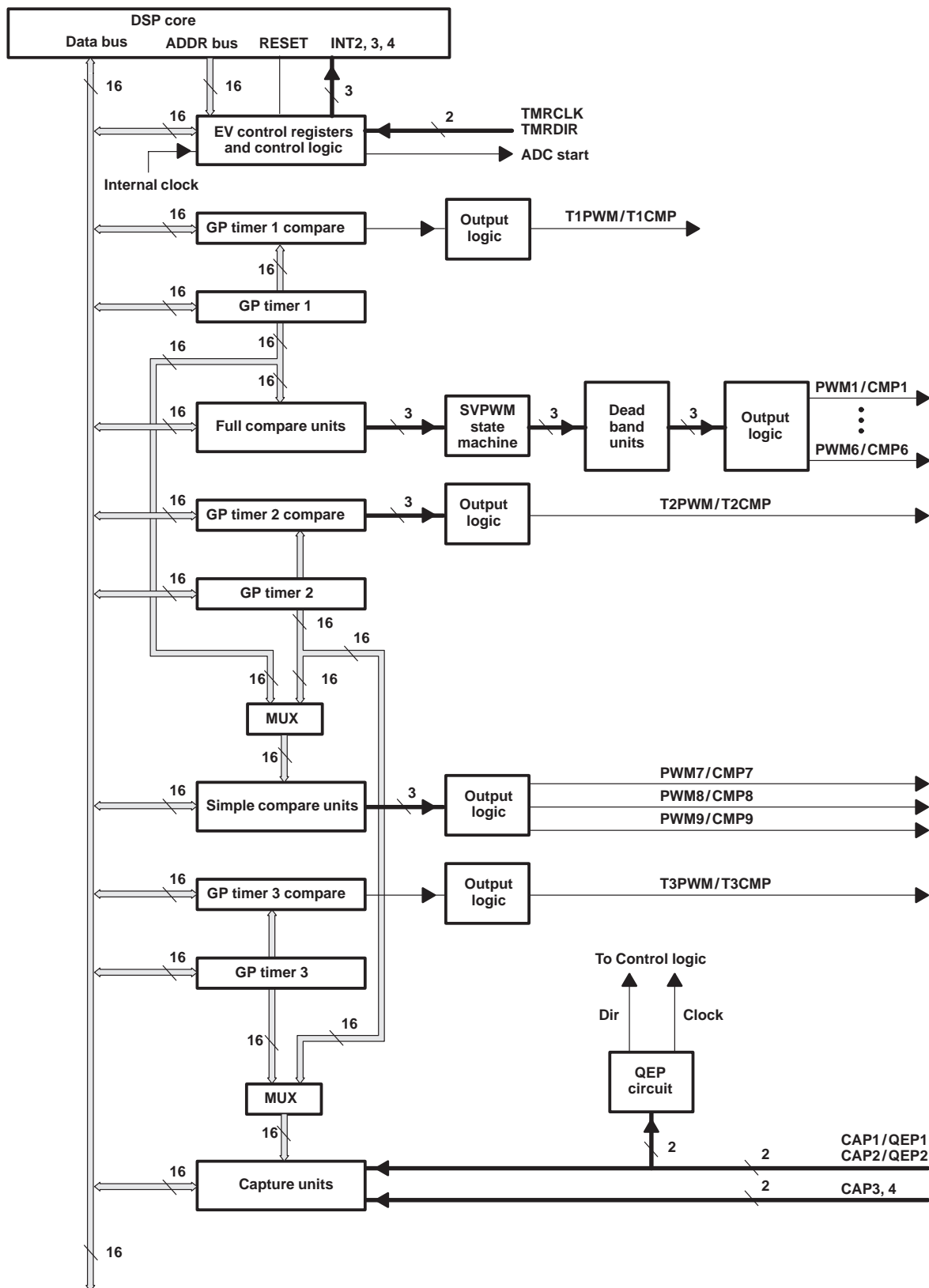


Figure 11. Event-Manager Block Diagram

# Tajmeri

- Brojački i tajmerski mod rada
- Gore / dole mod rada
- Interni ili eksterni takt
- Programabilni prescaler
- Komparacioni registar i izlaz
- Period registar
- Četiri interapta:
  - Prelaz na 0xFFFF
  - Prelaz na 0x0000
  - Interapt komparatora
  - Interapt perioda
- Tajmeri 2 i 3 se mogu spregnuti da rade 32 bitno
- Tajmeri se koriste i kao vremenska baza za ostale module menadžera događaja

# Jedinica za kompariranje

- 12 izlaza komparatora ili PWM-a
- Programabilno mrtvo vreme za PWM
- Rezolucija 50ns
- Menjanje PWM frekvencije
- Promena faktora ispune u svakoj PWM periodi
- Pulse-pattern generator omogućuje:
  - Simetričnu PWM
  - Asimetričnu PWM
  - Vektorski modulisanu PWM



## Jedinica za hvatanje događaja

- 4 ulaza za događaje
- 4 kola za hvatanje događaja
- 4 interapta
- 4 2x16bit FIFO stack registar
- Dva ulaza se mogu koristiti za direktno povezivanje sa kvadraturnim inkrementalnim enkoderom

## Dvostruki A/D konvertor

- Dva 10bitna A/D konvertora
- Dva 8-ulazna multipleksera
- Dva FIFO bafera sa dva nivoa
- Start konverzije:
  - Softverski
  - Menadžer događaja
  - Promenom na pinu
- Interapt kraja konverzije

## analog-to-digital converter (ADC) module (continued)

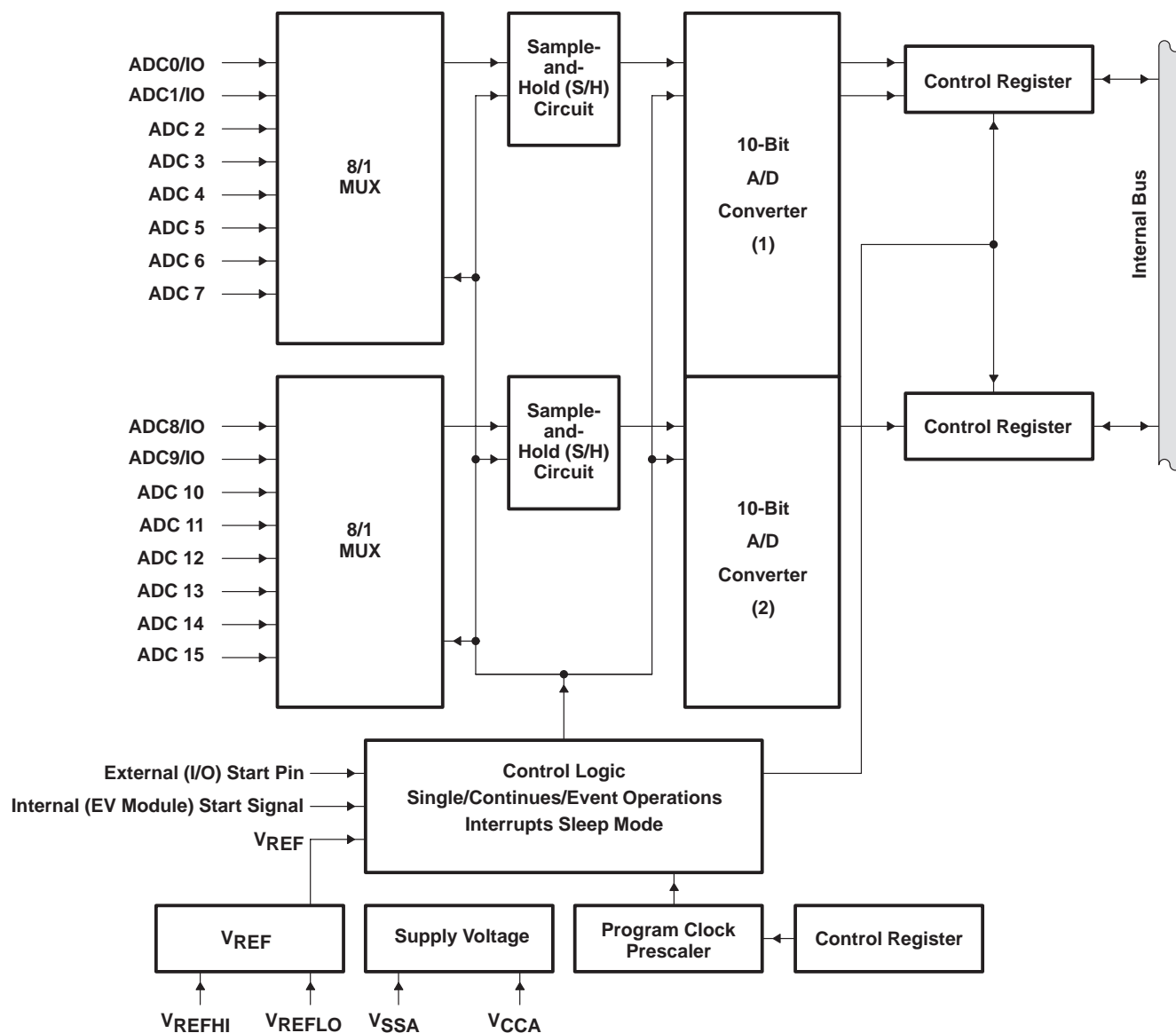


Figure 12. Analog-to-Digital Converter Module

## SPI

- 4 pinski SPI interfejs:
  - Master out / slave in
  - Master in / slave out
  - Slave select
  - Serial clock
- Master i slave mod rada
- Baud rate: 125 kombinacija do 2.5Mb/s
- Jedan do osam bita podatak
- Četiri moda slanja / prijema
- Simultano slanje i prijem
- SPI interapt

## SCI

- Asinhroni serijski komunikacioni interfejs
- Slanje i prijem simultani i nezavisni
- Dva priključna pina
- 65000 različitih brzina do 625Kb/s
- Format podatka:
  - Start bit
  - 1 - 8 bita podataka
  - Bit parnosti
  - 1 ili 2 stop bita
- Detekcija greški:
  - Prepis ulaznog bafera (overrun error)
  - Greška parnosti (parity error)
  - Nepotpun primljen podatak (framing error)
- Dva interapta

## serial communications interface (SCI) module (continued)

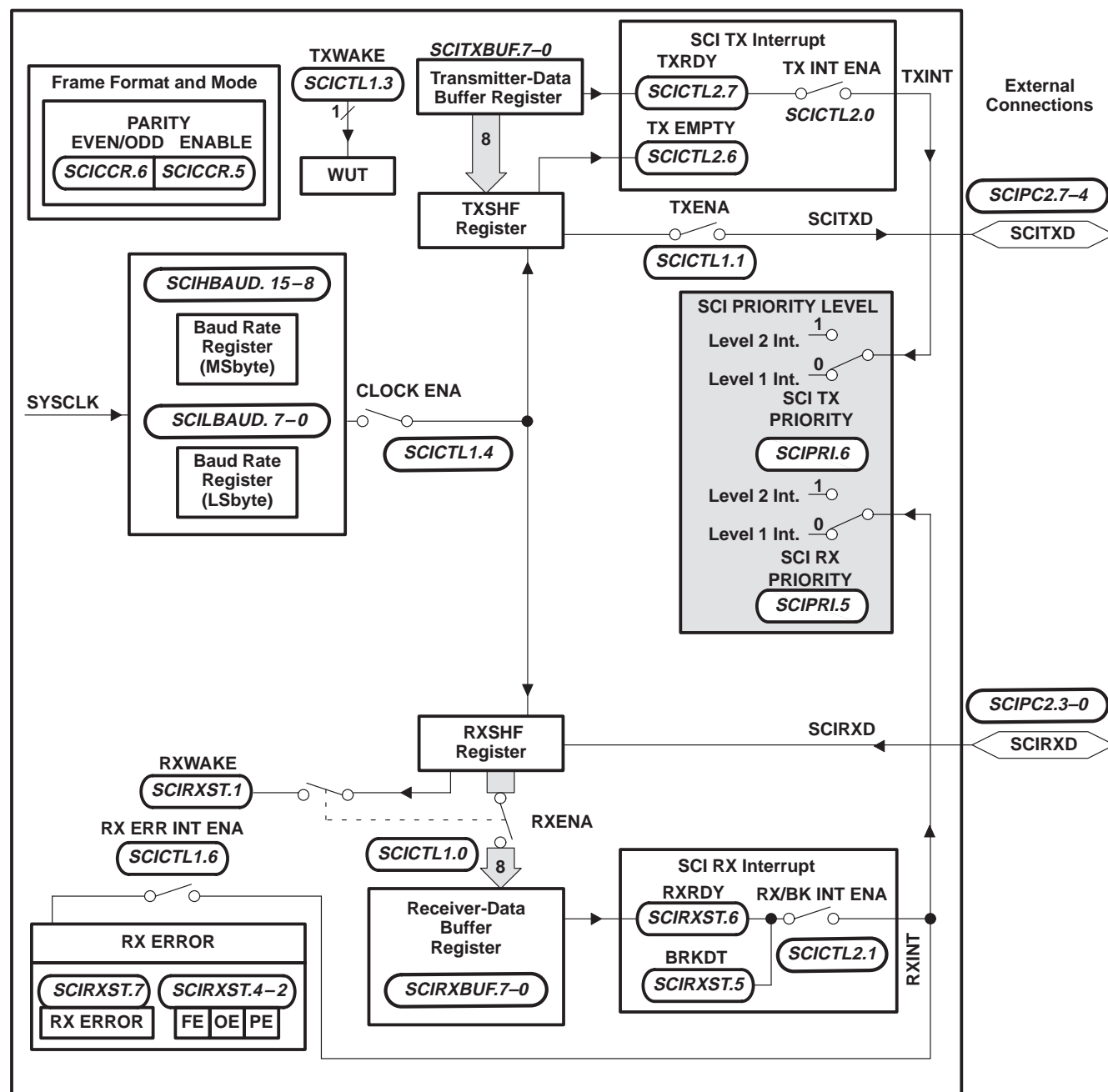


Figure 14. Serial Communications Interface (SCI) Module Block Diagram

## Watchdog timer WD

- Sedam izbornih perioda 15.63ms – 1s
- WD reset ključ
- Real-Time Interrupt modul:
- 1 – 4096 interapta/s

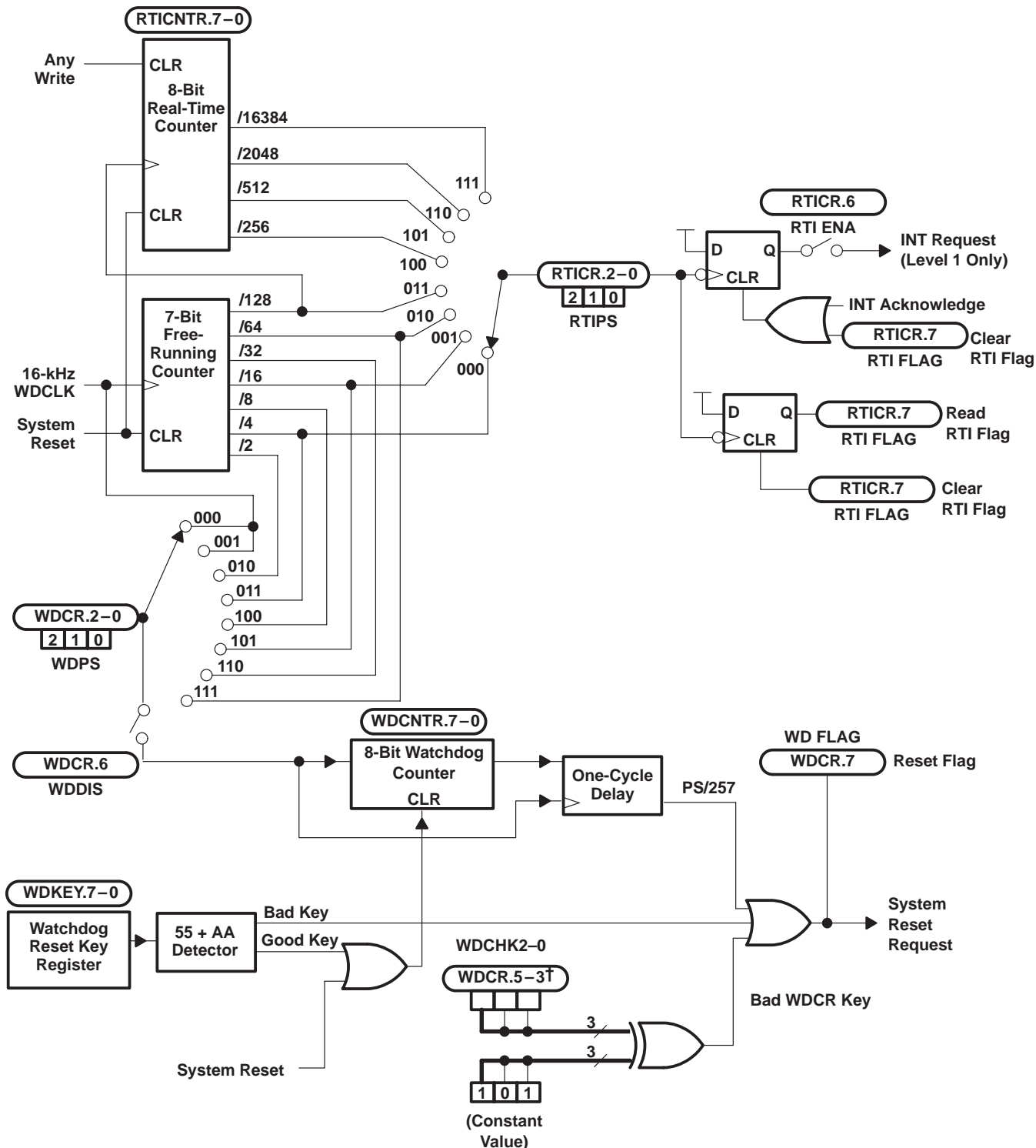
## Adresni modovi

- Direktni: instrukcija sadrži adresu operanda
- Indirektni: pristup preko dodatnih registara, sedam načina pristupa (auto inkrement...)
- Trenutni: operand sadržan u instrukciji
- Registarski: operand iz registra

# TMS320C240, TMS320F240 DSP CONTROLLERS

SPRS042B – OCTOBER 1996 – REVISED MAY 1998

## watchdog (WD) and real-time interrupt (RTI) module (continued)



<sup>†</sup> Writing to bits WDCR.5–3 with anything but the correct pattern (101) generates a system reset.

### Figure 15. WD/RTI Module Block Diagram