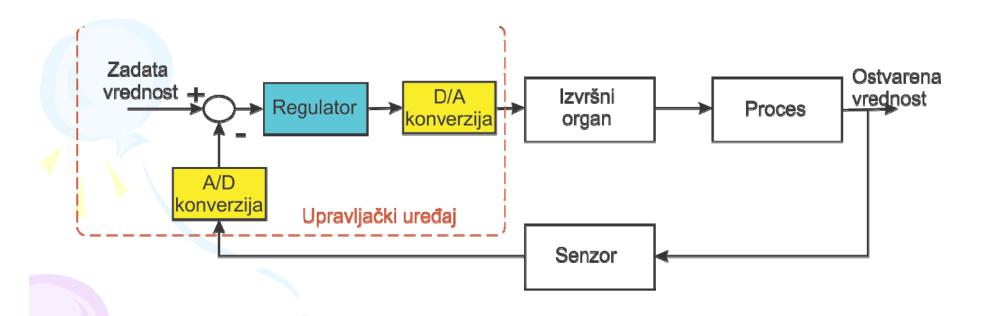


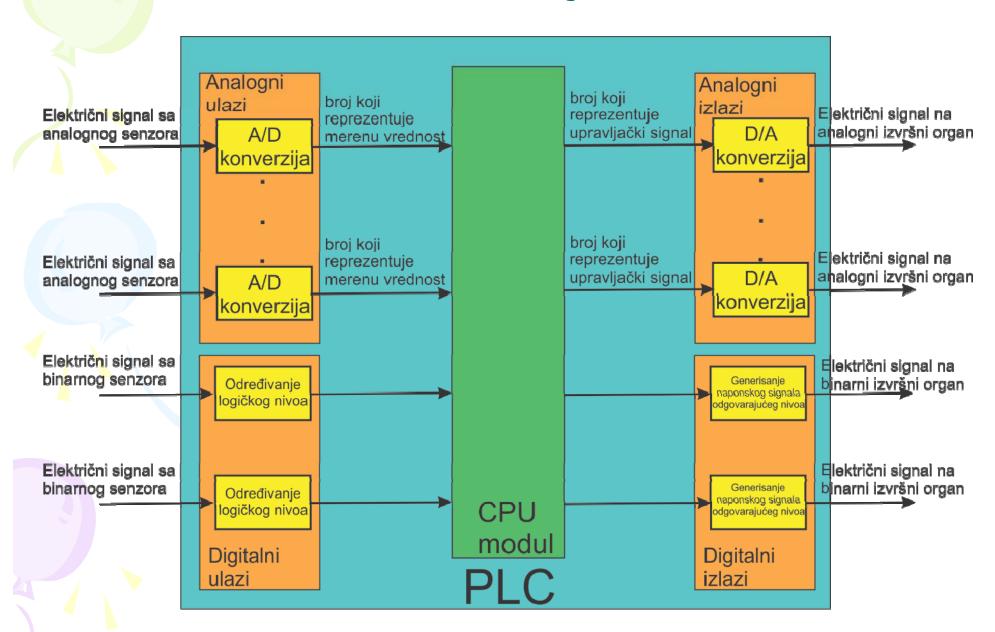
A/D i D/A konvertori

- Analogno/Digitalni konvertori:
 - Analogno/Digitalna (A/D) konverzija signala se vrši na ulazu u svaki digitalni upravljački uređaj ili digitalni merni instrument
 - Analogna vrednost signala se pretvara u odgovarajući broj
 - Broj dobijen konverzijom se smešta na odgovarajuće mesto u memoriji uređaja
 - Broj smešten u memoriju uređaja dalje se koristi u algoritmima za upravljanje ili prikaz merenog signala
- Digitalno/Analogni konvertori
 - Koriste se na digitalnim upravljačkim uređajima kako bi se izračunato upravljanje pretvorilo u analogni upravljački signal
 - Pretvaraju broj dobijen od upravljačkog uređaja u odgovarajući standardni električni signal
 - Koriste se i pri implementaciji nekih vrsta A/D konvertora

A/D I D/A konverzija u osnovnom kolu SAU



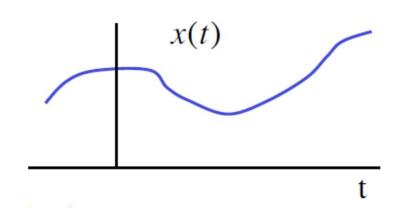
A/D i D/A konverzija na PLC-u

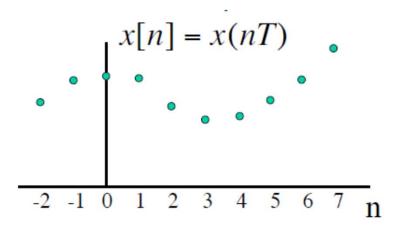


Digitalni merni instrumenti

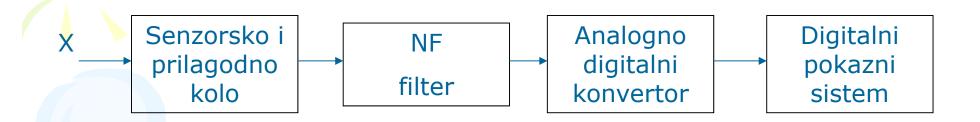
- Cifarski (digitalni) prikaz
- Prikazivanje iz konačnog skupa vrednosti (diskretne vrednosti)
- Prikazivanje vremenski diskretno
- Minimalna greške jednaka polovini minimalne promene najniže cifre

Vremenski diskretan signal





Elementi digitalnog mernog instrumenta



Senzorsko i prilagodno kolo

- Merenu veličinu pretvara u naponski signal i prilagođava opseg napona A/D konvertoru;
- Senzorski deo:
 - Strujni šant za merenje struje;
 - Sistem za merenje otpora;
 - Konvertor efektivne vrednosti;
- Prilagodni deo:
 - Naponski razdelnici (atenuatori);
 - Pojačavači sa podešljivim pojačanjem.

NF filter

- Ograničava spektar ulaznog signala;
- Granična učestanost filtra po Nikvistovoj teoremi mora biti manja od polovine učestanosti odmeravanja;

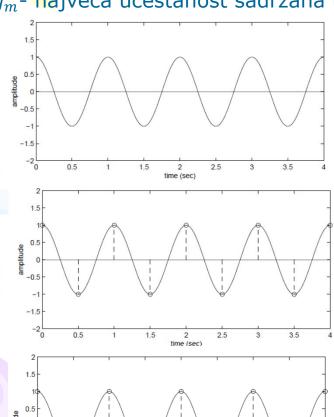
Nyquist-ova teorema

Učestanost semplovanja mora da bude bar dva puta veća od najveće učestanosti sadržane u signalu

$$f_s \ge 2f_m$$

 f_s - učestanost semplovanja

 f_m - najveća učestanost sadržana u signalu

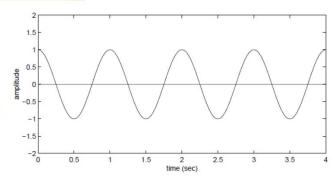


Sinusni signal učestanosti 1Hz

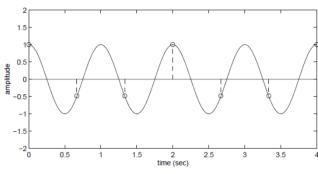
Signal semplovan sa 2Hz $(f_s=2f_m)$

Signal semplovan sa 3Hz $(f_s=3f_m)$

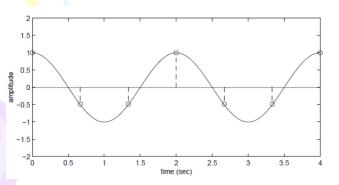
Nyquist-ova teorema



Sinusni signal učestanosti 1Hz

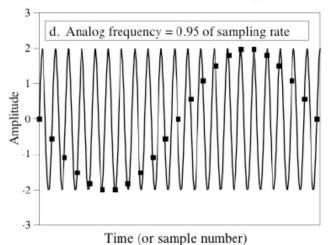


Signal semplovan sa 1.5Hz $(f_s < 2f_m)$

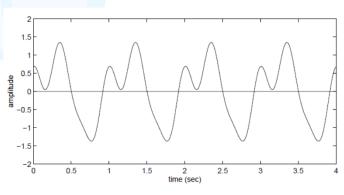


Na osnovu signala koji je semplovan sa $f_s < 2f_m \,\,$ može se pomisliti kako originalni signal izgleda ovako

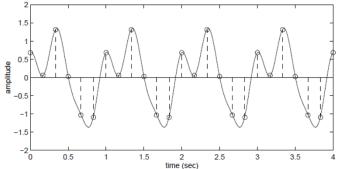
Nyquist-ova teorema



Jos jedan aliasing primer – sinusni signal semplovan sa $0.95f_m$



Signal koji se sastoji od sinusnih signala frekvencije 1Hz, 2Hz i 3Hz

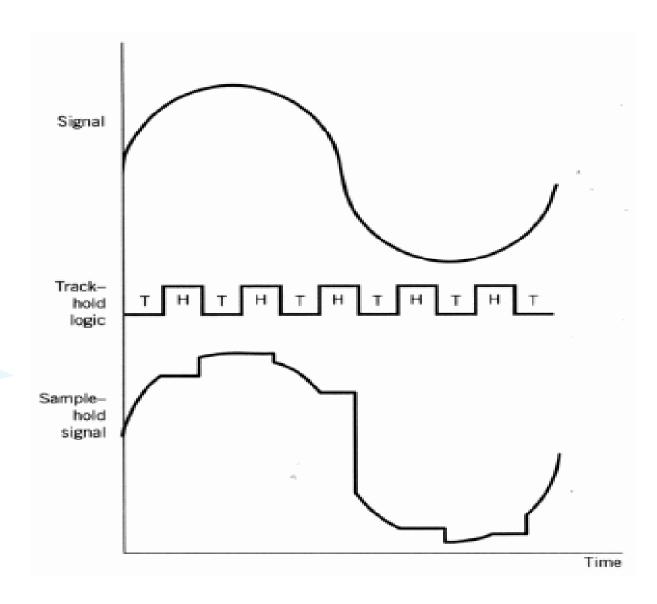


Signal semplovan sa $2f_m$ =6Hz

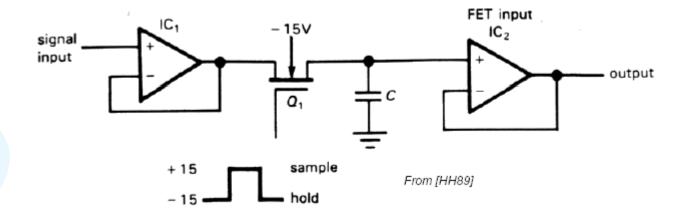
Kolo odmeravanja i zadrške S/H kolo

- S/H kolo ima dva osnovna stanja:
 - Odmeravanje izlaz prati ulazni signal
 - Zadrška izlaz zadržava vrednost do sledećeg stanja praćenja
- Osnovna namena S/H kola je odmeravanje ulaznog signala i zadržavanje signala na ulazu A/D konvertora konstantnim u toku konverzije
 - Zašto: pokušajte fotografisati objekat koji se kreće

Kolo odmeravanja i zadrške



Kolo odmeravanja i zadrške



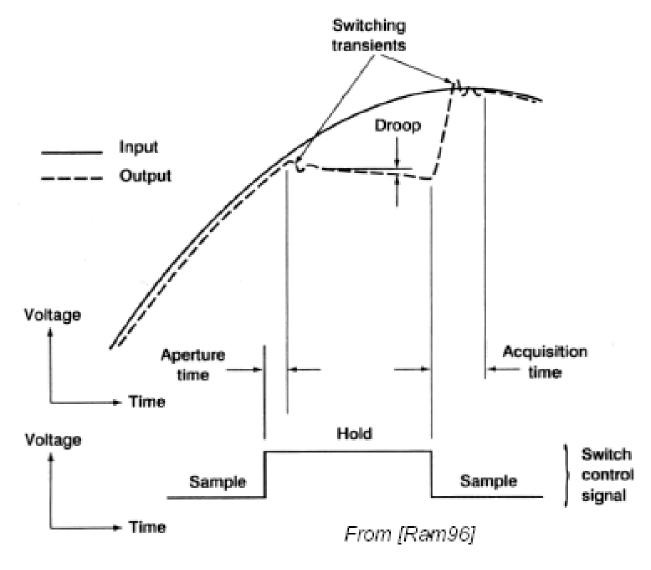
Osnovni elementi:

- Bafer sa jediničnim pojačanjem
- FET prekidač
- Kondezator
- Bafer sa FET ili CMOS ulazom

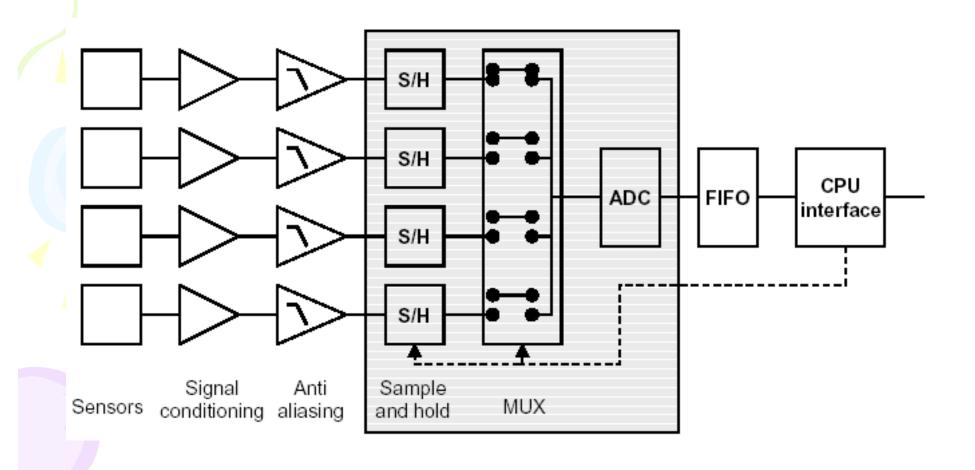
Kolo odmeravanja i zadrške

- IC1 obezbeđuje nisku izlaznu impedansu ulaznog signala
- Q1 propušta signal za vreme odmeravanja, a ne propušta signal za vreme zadrške
- C "čuva" vrednost odmerenog signala u toku trajanja zadrške
- IC2 obezbeđuje visoku ulaznu impedansu što je neophodno da se spreči pražnjenje C za vreme zadrške

Odziv S/H kola

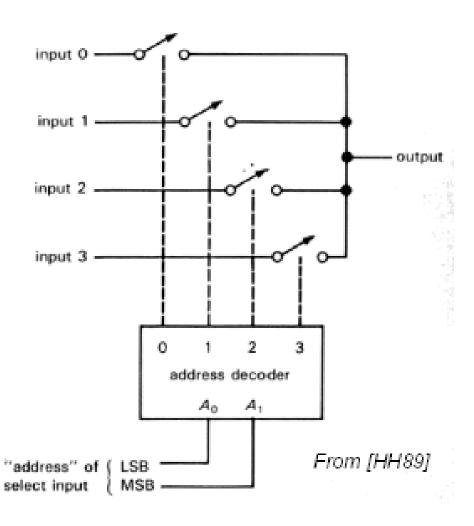


Akvizicija više merenih veličina



Multiplekser

- Kolo koje
 omogućuje
 selektovanje
 analognog signala
 koji se digitalizuje
- Prekidači najčešće FET tranzistori



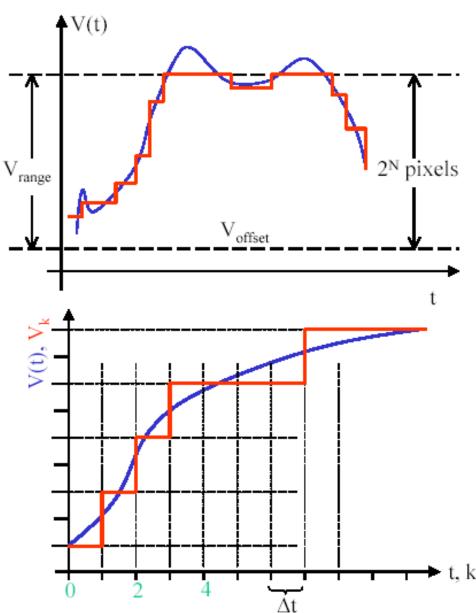
A/D konverzija terminologija

- Rezolucija broj bita digitalnog predstavnika
- MSB bit sa najvećom težinom
- LSB bit sa najmanjom težinom

Digitalizacija

$$n_{k} = \frac{V(t_{k}) - V_{\text{offset}}}{V_{\text{range}}} \times 2^{N}$$

$$V_k = V_{offset} + n \times V_{range} / 2^N$$



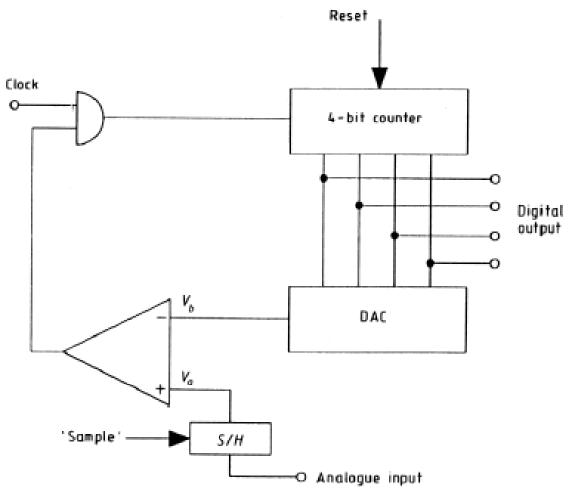
Analogno/digitalni konvertor ADC

Tipovi ADC:

- ADC sa jednostrukom rampom (single slope ADC)
- ADC sa sukcesivnim aproksimacijama (successive approximation ADC)
- ADC sa dvostrukom rampom (dual slope ADC)
- Paralelni ADC (FLASH ADC)

ADC sa jednostrukom rampom

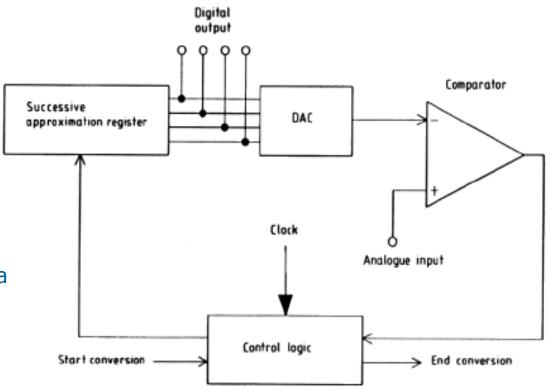
- Elementi
 - Binarni brojač
 - DAC
 - Analogni komparator
- Princip rada
 - Brojač resetovan
 - Ulaz odmeren
 - Brojač se inkrementira dok je Va>Vb
 - Za Va=Vb brojač se zaustavlja i njegovo stanje predstavlja rezultat konverzije
- Karakteristika
 - Mala brzina potrebno 2^N taktova za N-bitnu konverziju



ADC sa sukcesivnim aproksimacijama

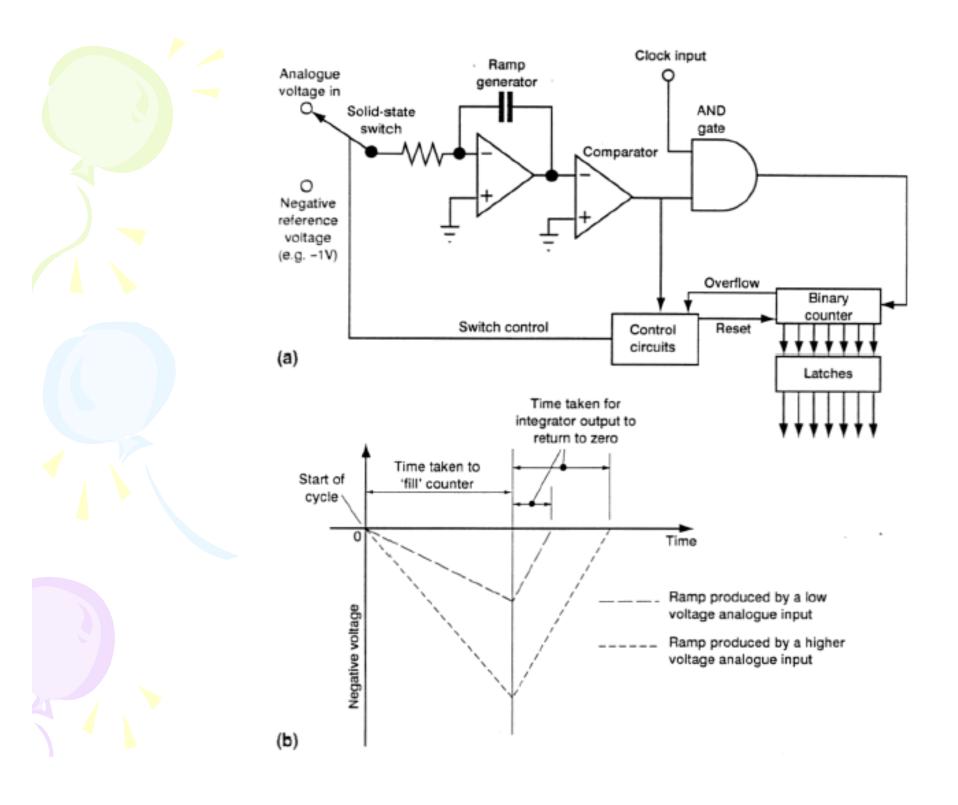
Elementi

- Registar sukcesivnih aproksimacija (SAR)
- DAC
- Analogni komparator
- Kontrolna logika
- Princip rada
 - MSB SAR-a se postavlja na 1 ostali biti 0
 - Ako je ulaz veći MSB ostaje 1, inače je 0
 - Procedura se nastavlja za sledeći bit od MSB ka LSB, ne menjajući više bite od onog koji se trenutno određuje
- Karakteristika
 - Zahteva N taktova za Nbitnu konverziju, velika brzina



ADC sa dvostrukom rampom

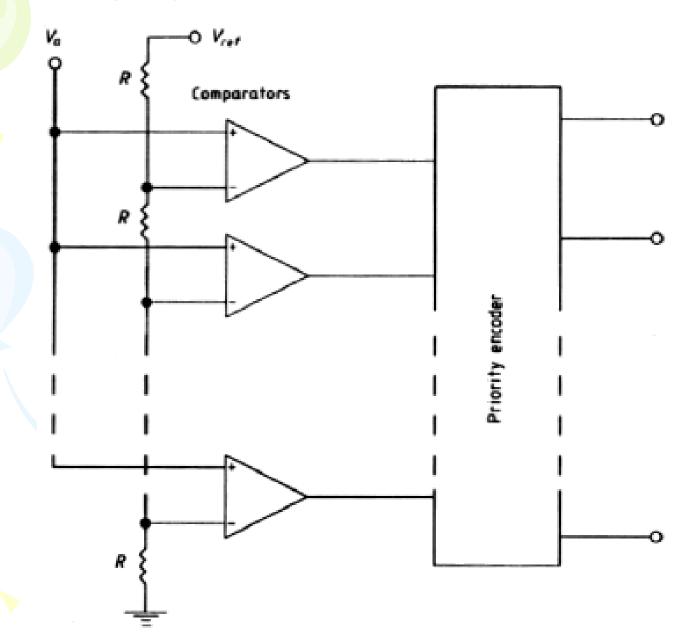
- Osnovni elementi
 - Integrator
 - Komparator
 - Detektor prolaska signala kroz nulu
 - Binarni brojač
 - Logička kola i prekidač
- Princip rada
 - Brojač je resetovan i prekidač dovodi ulazni signal na integrator
 - Integrator generiše negativnu rampu sa nagibom proporcionalnom ulaznom naponu i izlaz komparatora odlazi na 1 omogućujući brojanje brojača
 - Kad stanje brojača pređe sa svih jedinica na sve nule kontrolna logika prebacuje prekidač na negativnu naponsku referencu
 - Integrator generiše pozitivnu rampu čiji nagib ne zavisi od ulaznog napona, ali od ulaznog napona zavisi početno stanje integratora; brojač nastavlja da broji od nule
 - Kad izlaz integratora dostigne nulu izlaz komparatora odlazi na nulu i zaustavlja brojač
 - Stanje brojača predstavlja rezultat konverzije
- Karakteristike
 - Velika rezolucija, ali mala brzina; česti u digitalnim multimetrima;
 otporni na drift takta, drift komponenti i VF šum



Paralelni FLASH ADC

- Elementi
 - Višestruki naponski razdelnik
 - Set komparatora
 - Enkoder prioriteta
- Princip rada
 - Ulazni napon se dovodi na ulaze svih komparatora
 - Enkoder prioriteta pretvara stanje izlaza seta komparatora u binarni kod
- Karakteristike
 - Veoma velika brzina i do 20MSemplova/s
 - Skupi zbog velikog broja komparatora, 2^N-1 komparator za N-bitnu konverziju

Paralelni FLASH ADC



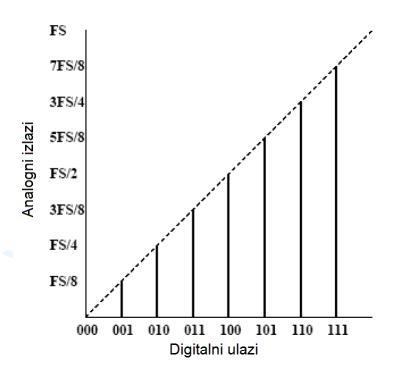
Digital outputs

Digitalno/Analogni konvertori

- Koriste se na digitalnim upravljačkim uređajima kako bi se izračunato upravljanje pretvorilo u analogni upravljački signal
- Koristi se i kod nekih vrsta A/D konvertora
- Postoji više vrsta D/A konvertora:
 - Sa binarnom težinskom otporničkom mrežom
 - Sa R-2R lestvičastom otporničkom mrežom
- Umesto D/A konvertora nekada može da se koristi i impulsno širinska modulacija

D/A konverzija

 3-bitna D/A konverzija izražena u vrednostima FS – punog opsega izlaznog električnog signala

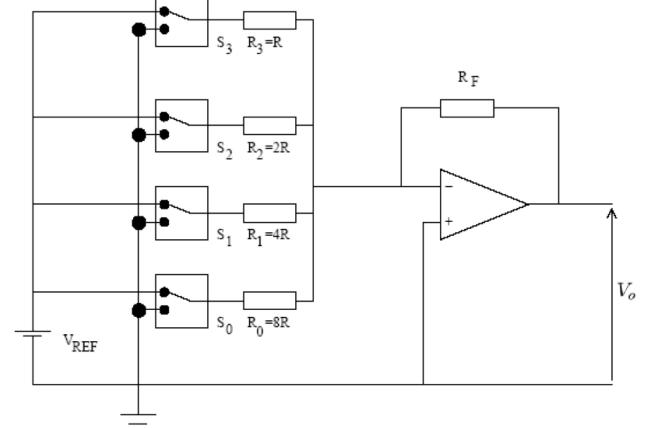


DAC sa binarnom težinskom otporničkom mrežom (primer 4-bitne konverzije)

- Prekidač S₃ predstavlja vrednost najvišeg bita (B₃), a prekidač S₀ najnižeg bita (B₀)
- Svaki ulazni otpornik je dva puta veći od predhodnog
- Nepraktično za velik broj bita jer bi npr. za 12-bitnu konverziju bio potreban opseg 10kΩ do 20.48MΩ

$$B_i = 1 \rightarrow I_i = \frac{V_{REF}}{R_i}$$

$$B_i = 0 \rightarrow I_i = 0$$

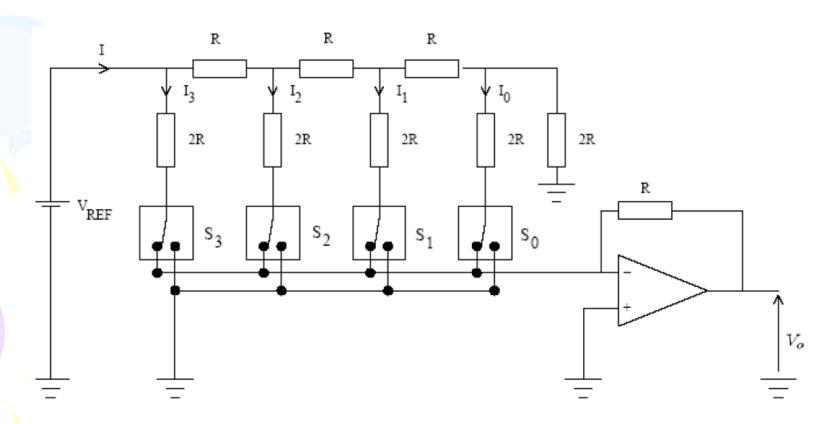


$$I_{in} = I_3 + I_2 + I_1 + I_0 = V_{REF} \left(\frac{B_3}{R} + \frac{B_2}{2R} + \frac{B_1}{4R} + \frac{B_0}{8R} \right)$$

$$V_o = -I_{in}R_F = -\frac{R_F}{R}V_{REF} \left(B_3 + \frac{B_2}{2} + \frac{B_1}{4} + \frac{B_0}{8} \right)$$

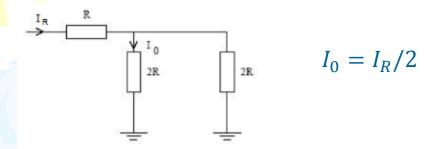
DAC sa R-2R lestvičastom otporničkom mrežom (primer 4-bitne konverzije) 1/3

- Kada je $B_i = 0$, prekidač S_i je spojen na masu
- Kada je $B_i = 1$, prekidač S_i je spojen tako da struja koja prolazi kroz njega ide na operacioni pojačavač

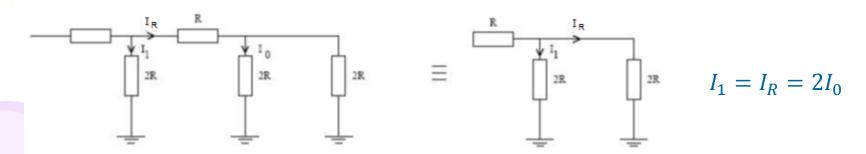


DAC sa R-2R lestvičastom otporničkom mrežom (primer 4-bitne konverzije) 2/3

• Struja kroz prekidač S_0 :



Struja kroz prekidač S₁:



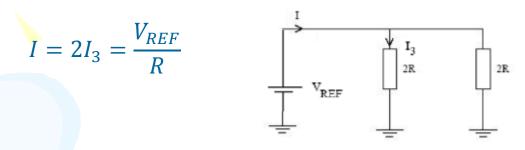
Struja kroz prekidače S₂ i S₃:

$$I_2 = 2I_1 = 4I_0$$
 $I_3 = 2I_2 = 8I_0$

DAC sa R-2R lestvičastom otporničkom mrežom (primer 4-bitne konverzije) 3/3

Posto za struju kroz prekidač S₃ važi:

$$I = 2I_3 = \frac{V_{REF}}{R}$$



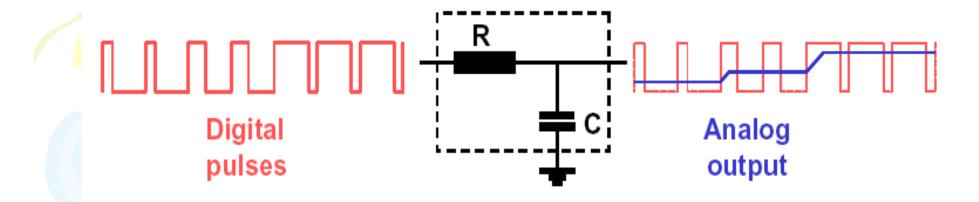
To znači da je:

$$I_3 = \frac{V_{REF}}{2R}$$
 $I_2 = \frac{I_3}{2} = \frac{V_{REF}}{4R}$ $I_1 = \frac{I_2}{2} = \frac{V_{REF}}{8R}$ $I_0 = \frac{I_1}{2} = \frac{V_{REF}}{16R}$

$$I_{in} = B_3 I_3 + B_2 I_2 + B_1 I_1 + B_0 I_0 = \frac{V_{REF}}{2R} (B_3 + \frac{B_2}{2} + \frac{B_1}{4} + \frac{B_0}{8})$$

$$V_o = -I_{in}R = -\frac{V_{REF}}{2}(B_3 + \frac{B_2}{2} + \frac{B_1}{4} + \frac{B_0}{8})$$

Impulsna širinska modulacija PWM

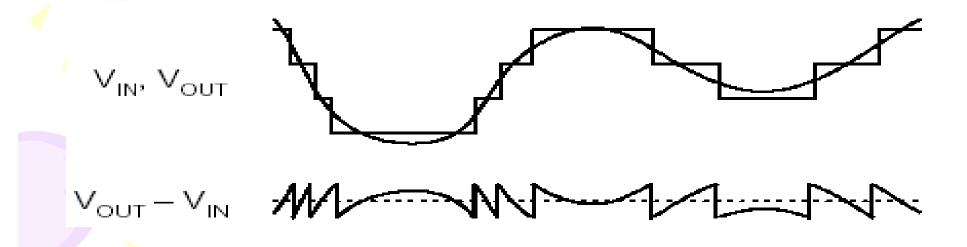


- Digitalni signal konstantne frekvencije
- Odnos impuls/pauza (duty cycle) proporcionalan željenoj vrednosti analognog izlaza



Kvantizacioni šum ADC

- Amplituda kvantizacionog šuma je ±1/2LSB
- Smanjuje se povećanjem rezolucije ADC-a



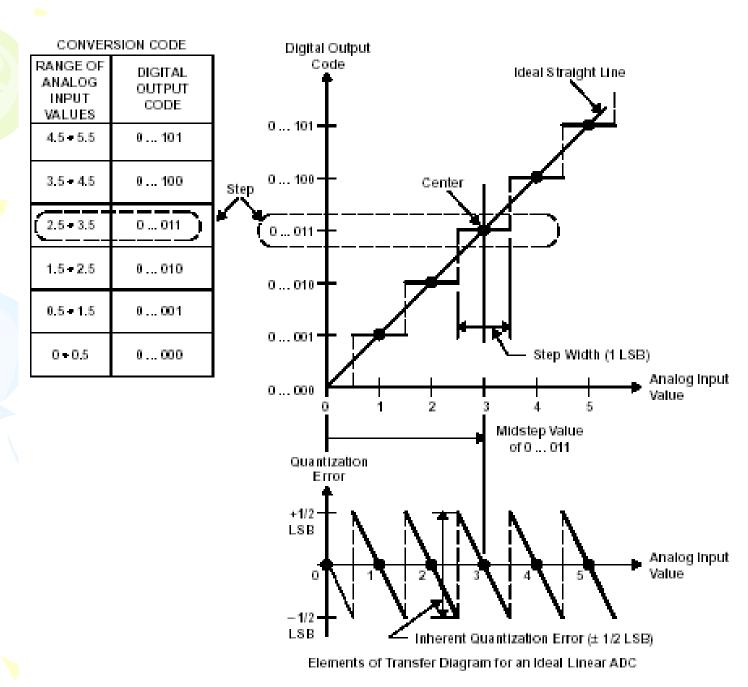
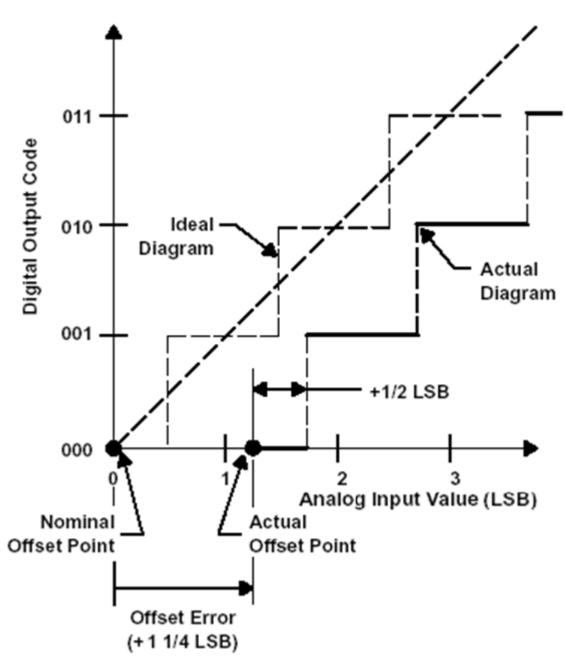
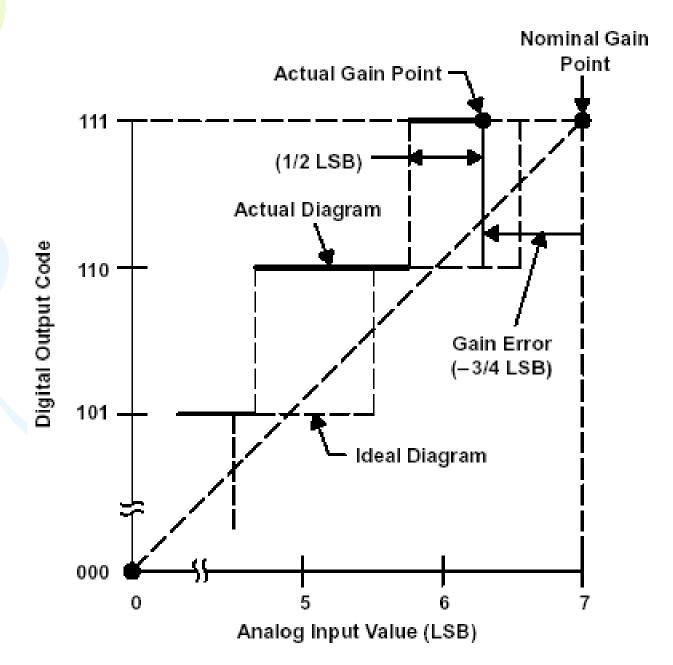


Figure 1. The Ideal Transfer Function (ADC)

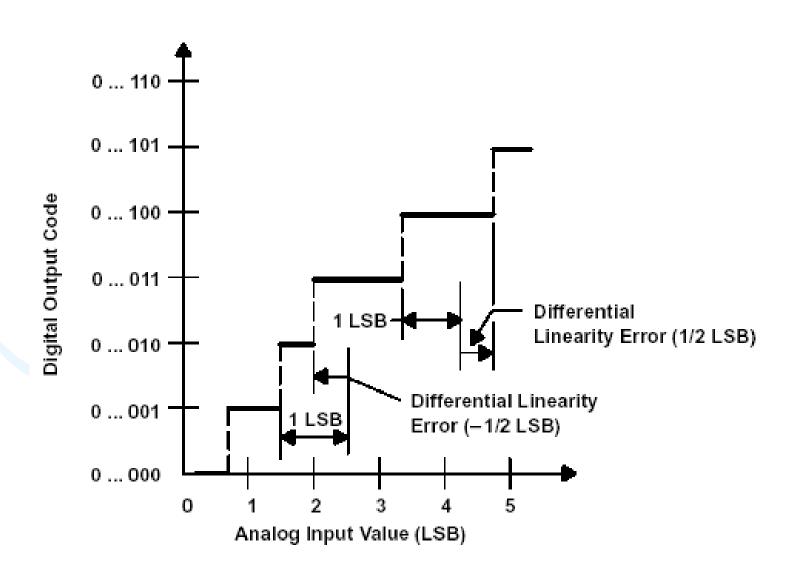
Greška ofseta ADC



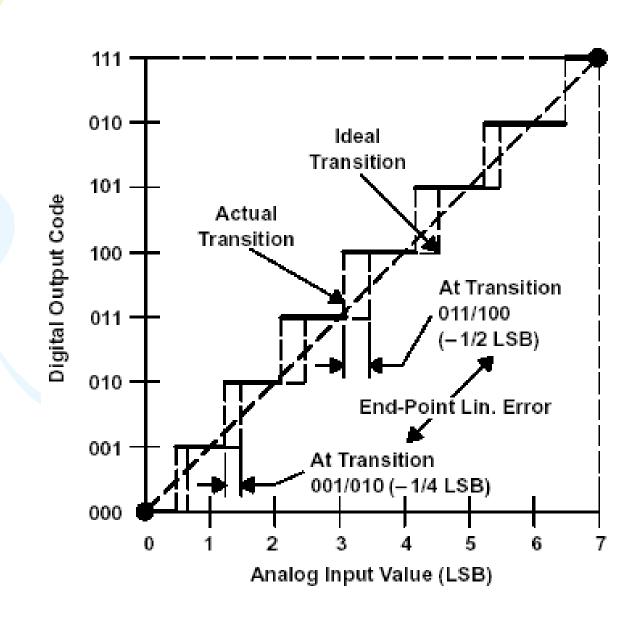
Greška pojačanja ADC



Greška diferencijalne nelinearnosti ADC



Greška linearnosti ADC



Glitch DAC-a

- Glitch se dešava kad više ulaza DAC-a menja stanja
- Ne može se ukloniti, NF filtar mu smanjuje amplitudu, ali proizvod V·T ostaje konstantan

 $0111 \to 1000$

