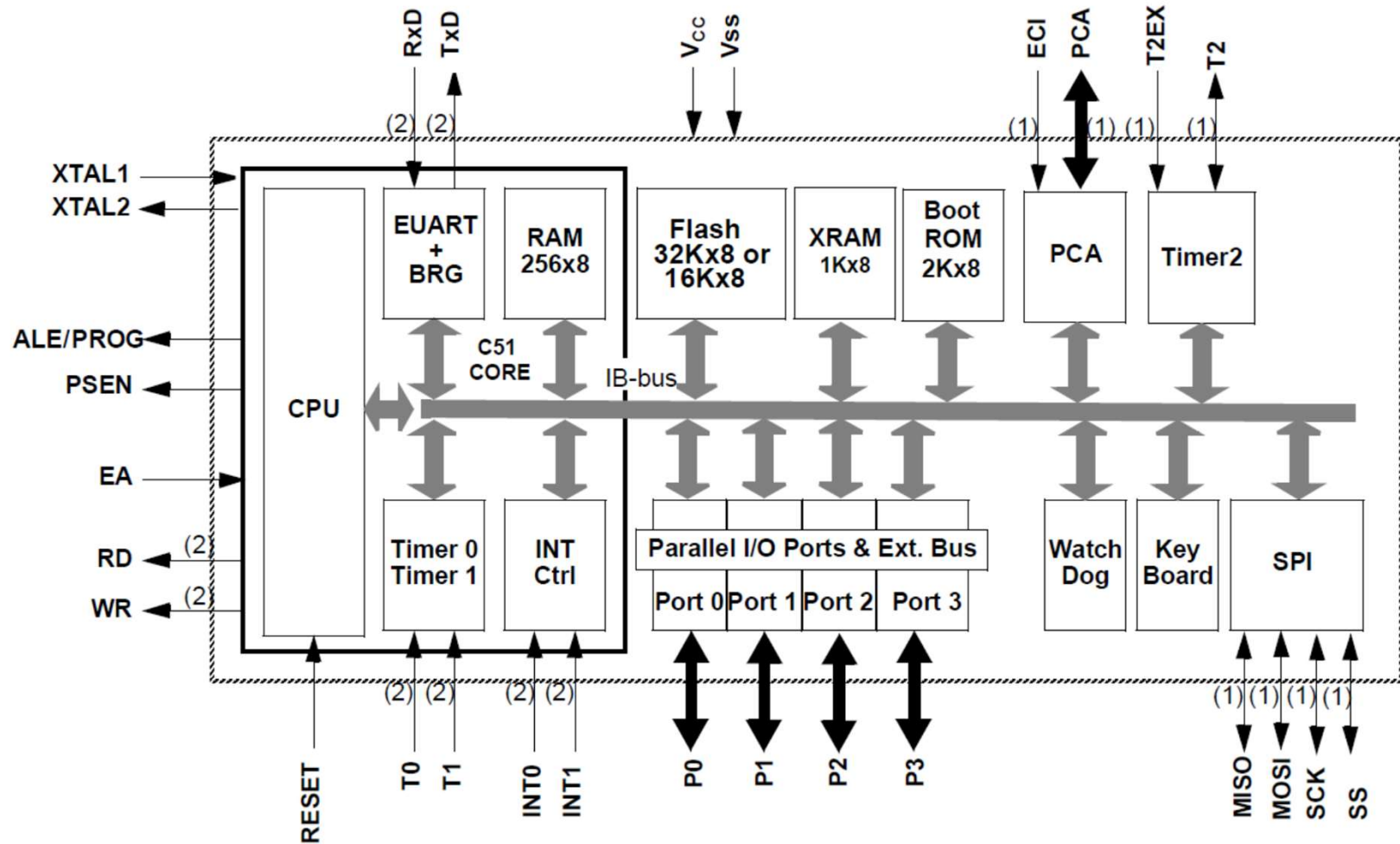


# MIKROKONTROLER AT89C51RC2

## **osnove, prekidi**



# Arhitektura AT89C51RC2

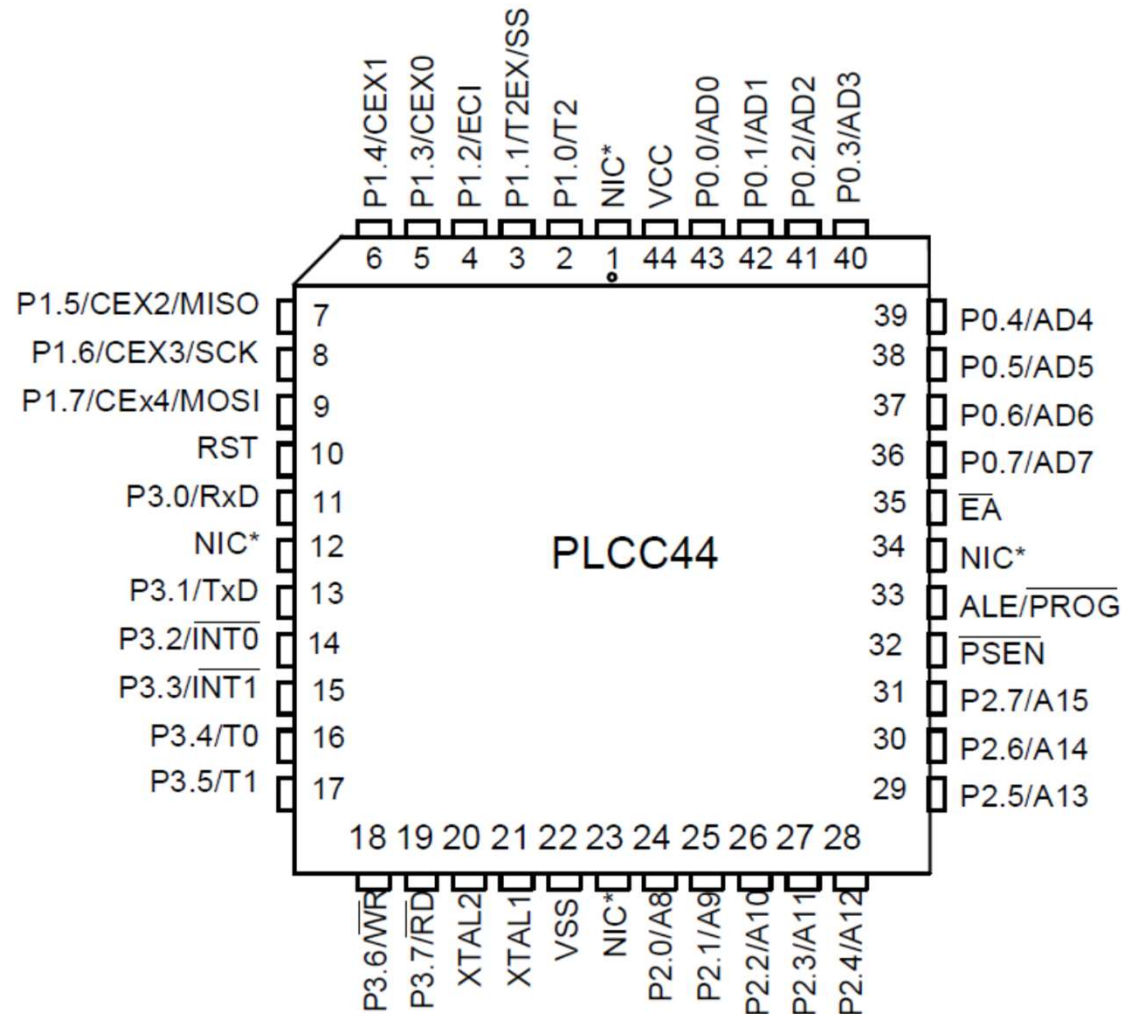


## **Najvažnije razlike u odnosu na osnovnu arhitekturu 8051**

- ☐ **256 bajtova RAM memorije (128 bajtova direktno adresabilnih iz osnovne arhitekture 8051 + 128 dodatnih bajtova dostupnih samo indirektnim adresiranjem)**
- ☐ **1024 bajta dodatne RAM memorije (eXpanded RAM - XRAM)**
- ☐ **32 KB ROM**
- ☐ **X2 mod rada**
- ☐ **Mogućnost skaliranja osnovnog takta kontrolera**
- ☐ **Tri tajmera (Tajmer 0 i Tajmer 1 iz osnovne arhitekture 8051 + Tajmer 2)**
- ☐ **SPI interfejs (sinhrona serijska komunikacija)**
- ☐ **Watchdog tajmer**
- ☐ **Programmable Counter Array**
- ☐ **Keyboard interface**
- ☐ **Boot ROM**



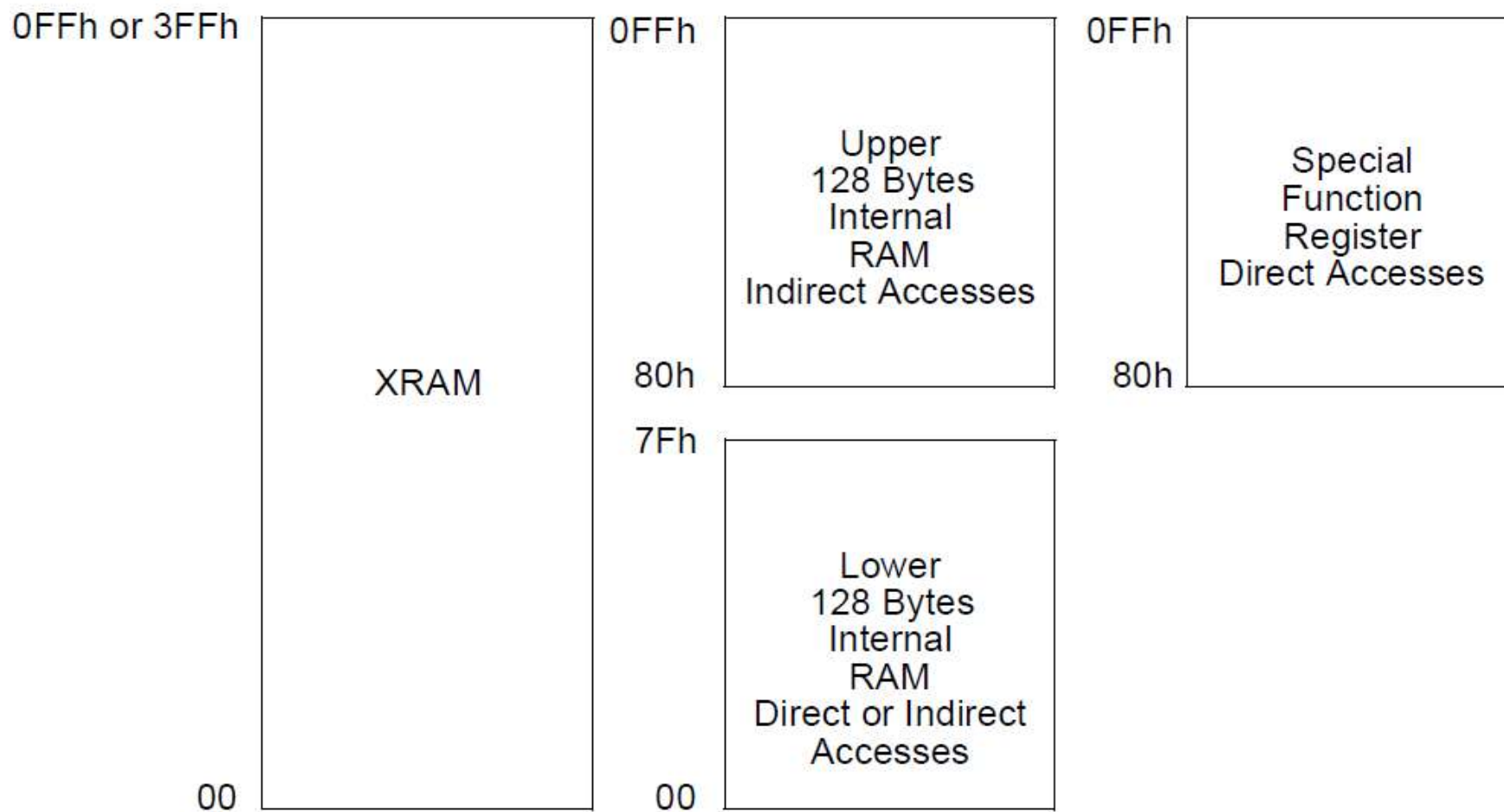
# Pin Description



# Specijalni funkcijski registri

	Bit addressable	Non Bit addressable							
	0/8	1/9	2/A	3/B	4/C	5/D	6/E	7/F	
F8h		CH 0000 0000	CCAP0H XXXX	CCAP1H XXXX	CCAPL2H XXXX	CCAPL3H XXXX	CCAPL4H XXXX		FFh
F0h	B 0000 0000								F7h
E8h		CL 0000 0000	CCAP0L XXXX XXXX	CCAP1L XXXX XXXX	CCAPL2L XXXX XXXX	CCAPL3L XXXX XXXX	CCAPL4L XXXX XXXX		EFh
E0h	ACC 0000 0000								E7h
D8h	CCON 00X0 0000	CMOD 00XX X000	CCAPM0 X000 0000	CCAPM1 X000 0000	CCAPM2 X000 0000	CCAPM3 X000 0000	CCAPM4 X000 0000		DFh
D0h	PSW 0000 0000	FCON <sup>(1)</sup> XXXX 0000							D7h
C8h	T2CON 0000 0000	T2MOD XXXX XX00	RCAP2L 0000 0000	RCAP2H 0000 0000	TL2 0000 0000	TH2 0000 0000			CFh
C0h				SPCON 0001 0100	SPSTA 0000 0000	SPDAT XXXX XXXX			C7h
B8h	IPL0 X000 000	SADEN 0000 0000							BFh
B0h	P3 1111 1111	IEN1 XXXXX 000	IPL1 XXXXX000	IPH1 XXXX X000				IPH0 X000 0000	B7h
A8h	IEN0 0000 0000	SADDR 0000 0000						CKCON1 XXXX XXX0	AFh
A0h	P2 1111 1111		AUXR1 XXXXX0X0				WDTRST XXXX XXXX	WDTPRG XXXX X000	A7h
98h	SCON 0000 0000	SBUF XXXX XXXX	BRL 0000 0000	BDRCON XXX0 0000	KBLS 0000 0000	KBE 0000 0000	KBF 0000 0000		9Fh
90h	P1 1111 1111							CKRL 1111 1111	97h
88h	TCON 0000 0000	TMOD 0000 0000	TL0 0000 0000	TL1 0000 0000	TH0 0000 0000	TH1 0000 0000	AUXR XX0X 0000	CKCON0 0000 0000	8Fh
80h	P0 1111 1111	SP 0000 0111	DPL 0000 0000	DPH 0000 0000				PCON 00X1 0000	87h
	0/8	1/9	2/A	3/B	4/C	5/D	6/E	7/F	

## On-chip memorija



## Pristup XRAM memoriji

Pristup XRAM memoriji se vrši pomoću naredbe MOVX. Izbor da li se pomoću MOVX naredbe vrši pristup internoj XRAM memoriji ili eksternoj RAM memoriji, vrši se pomoću specijalnog funkcijskog registra AUXR.

### AUXR (8Eh)

Bit	Ime	Objašnjenje funkcije
7	DPU	Isključuje weak pull-up
6	-	Rezervisano
5	M0	Definiše dužinu pulsa kod RD i WR signala pri pristupu eksternoj memoriji
4	-	Rezervisano
3	XRS1	<b>veličina XRAM memorije</b> <b>XRS1 XRS0</b> 0     0     256 bajtova (default) 0     1     512 bajtova 1     0     768 bajtova 1     1     1024 bajta
2	XRS0	
1	EXTRAM	
0	AO	
0	AO	Konfiguracija ALE bita



## X2 mod rada

Kada je mikrokontroler u X2 modu rada, osnovni takt se pri definisanju trajanja mašinskog ciklusa, umjesto sa 12, dijeli sa 6. Izbor X2 moda za CPU kontrolera i svaku od periferija, vrši se pomoću specijalnog funkcijskog registra CKCON0.

### CKCON0 (8Fh)

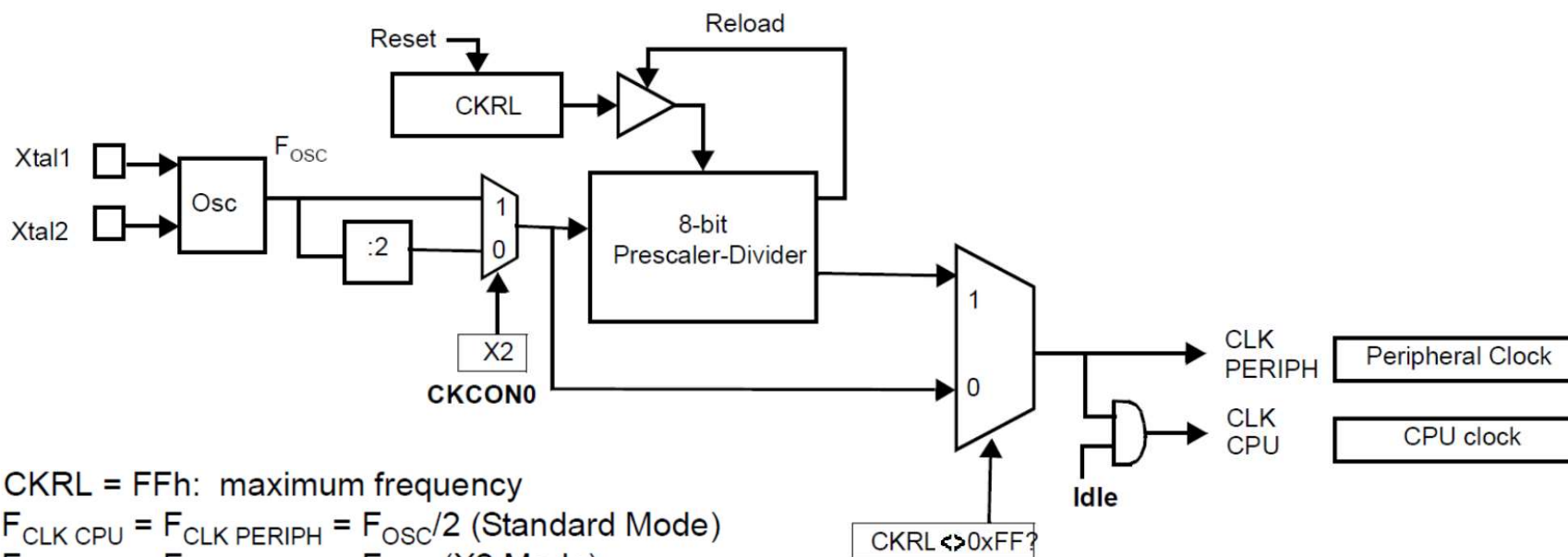
Bit	Ime	Objašnjenje funkcije	
7	-	Rezervisano	
6	WDX2	Za konfigurisanje takta watchdog timer-a.	Ovi biti utiču na rad kontrolera samo ukoliko je X2 bit postavljen na 1. Kada se odgovarajući bit za neku periferiju postavi na 0, takt periferije se dobija tako što se osnovni takt podjeli sa 6. Kada se odgovarajući bit za periferiju postavi na 1, takt te periferije se dobija tako što se osnovni takt podjeli sa 12.
5	PCAX2	Za konfigurisanje takta PCA	
4	SIX2	Za konfigurisanje takta serijske komunikacije	
3	T2X2	Za konfigurisanje takta tajmera 2	
2	T1X2	Za konfigurisanje takta tajmera 1	
1	T0X2	Za konfigurisanje takta tajmera 0	
0	X2	Kada se postavi na 0, trajanje mašinskog ciklusa se dobija tako što se osnovni takt dijeli sa 12 (standardan, X1 mod). Kada se postavi na 1, trajanje mašinskog ciklusa se dobija tako što se osnovni takt dijeli sa 6 (X2 mod). U tom slučaju moguće je za svaku od periferija vršiti izbor rada u X2 modu.	





## Skaliranje osnovnog takta

Kod AT89C51RC2 kontrolera postoji mogućnost dodatnog skaliranja osnovnog takta. Vrijednost sa kojom se skalira osnovni takt upisuje se u specijalni funkcijski registar CKRL (97h).



CKRL = FFh: maximum frequency

$$F_{\text{CLK CPU}} = F_{\text{CLK PERIPH}} = F_{\text{OSC}}/2 \text{ (Standard Mode)}$$

$$F_{\text{CLK CPU}} = F_{\text{CLK PERIPH}} = F_{\text{OSC}} \text{ (X2 Mode)}$$

In X2 Mode, for CKRL <> 0xFF:

$$F_{\text{CPU}} = F_{\text{CLKPERIPH}} = \frac{F_{\text{OSC}}}{2 \times (255 - \text{CKRL})}$$

CKRL = 00h: minimum frequency

$$F_{\text{CLK CPU}} = F_{\text{CLK PERIPH}} = F_{\text{OSC}}/1020 \text{ (Standard Mode)}$$

$$F_{\text{CLK CPU}} = F_{\text{CLK PERIPH}} = F_{\text{OSC}}/510 \text{ (X2 Mode)}$$

In X1 Mode, for CKRL <> 0xFF then:

$$F_{\text{CPU}} = F_{\text{CLKPERIPH}} = \frac{F_{\text{OSC}}}{4 \times (255 - \text{CKRL})}$$

# Prekidi - interrupts

Prekid se pokreće kada se dogodi određeni događaj koji je povezan sa njim. Kada se taj događaj desi, mikrokontroler privremeno prestaje sa normalnim izvršavanjem programa i izvršava poseban dio koda koji se tiče obrade tog prekida. Obrada prekida obavlja zadatke koji su potrebni da bi se obradio događaj koji je doveo do prekida i nakon toga vraća izvršavanje programa na tačku u kojoj je bio prekinut. Kod At89C51RC2 sljedeći događaji mogu da uzrokuju odgovarajući prekid:

## Osnovna arhitektura 8051

- Timer 0 Overflow
- Timer 1 Overflow
- Prijem/Slanje bajta serijskom komunikacijom.
- Externi događaj 0
- Externi događaj 1

## Dodatni resursi u odnosu na 8051

- Timer 2 Overflow
- Programmable Counter Array
- Keyboard interface
- SPI – sinhrona serijska komunikacija

Znači, možemo npr. da konfigurišemo 8051 tako da se, kada Timer 0 odbroji neko vrijeme ili kada se jedan bajt podataka primi/pošalje preko serijske komunikacije, pozove odgovarajuća procedura za obradu prekida.



# Prekidi

Kada se desi događaj koji dovodi do prekida, normalno izvršavanje programa se prekida i skače se na fiksnu adresu koja odgovara prekidu koji se desio. Pored toga mikrokontroler postavlja odgovarajući bit (flag) u odgovarajućem SFR za taj prekid na 1.

Broj prekida	Prekid	Flag	Adresa za obradu prekida
0	Externi 0	IE0	0003h
1	Timer 0	TF0	000Bh
2	Externi 1	IE1	0013h
3	Timer 1	TF1	001Bh
4	Serijski	RI/TI	0023h
5	Timer 2	TF2+EXF2	002Bh
6	PCA	CF + CCFn (n = 0-4)	0033h
7	Keyboard	KBDIT	003Bh
8	SPI	SPIF	004Bh

Na osnovu tabele može da se zaključi kako se, svaki put kada timer 0 odbroji neki zadati broj impulsa, setuje bit TF0 (u registru TCON), koji će, ako postoje uslovi da se usvoji prekid, dovesti do toga da se prekinе normalno izvršavanje programa i skače na adresu 000Bh. Podrazumjeva se da se na adresi 000Bh nalazi kod koji obrađuje situaciju kada tajmer 0 odbroji zadati broj impulsa.



## Omogućavanje prekida 1/2

Pri pokretanju kontrolera, svi prekidi su onemogućeni. To znači da, na primjer, iako je tajmer 0 odbrojao impulse, TF0 bit je setovan, ali mikrokontroler neće izvršiti prekid. Program mora izričito dati do znanja mikrokontroleru da želi da omogući prekide i da specificira koje prekide želi da omogući. Program može da omogući i onemogući prekide promjenom sadržaja dva SFR registra. To su IEN0 (na adresi A8h), koji je bit adresabilan i IEN1 (na adresi B1h), koji nije bit adresabilan.

IEN0(A8h)

Bit	Ime	Bit Adresa	Objašnjenje funkcije
7	EA	AFh	Global Interrupt Enable/Disable
6	EC	AEh	Enable PCA Interrupt
5	ET2	ADh	Enable Timer 2 Interrupt
4	ES	ACH	Enable Serial Interrupt
3	ET1	ABh	Enable Timer 1 Interrupt
2	EX1	AAh	Enable External 1 Interrupt
1	ET0	A9h	Enable Timer 0 Interrupt
0	EX0	A8h	Enable External 0 Interrupt

Svaki od prekida ima svoj bit u ova dva SFR. Da bi se određeni prekid omogućio, potrebno je odgovarajući bit postaviti na 1. Pored toga, potrebno je i da se bit za opštu dozvolu prekida EA postavi na 1.



## Omogućavanje prekida 2/2

IEN1(B1h)

Bit	Ime	Objašnjenje funkcije
7	-	Rezervisano
6	-	Rezervisano
5	-	Rezervisano
4	-	Rezervisano
3	-	Rezervisano
2	ESPI	Enable SPI Interrupt
1	-	Rezervisano
0	KBD	Enable keyboard Interrupt



## Prioriteti prekida 1/4

AT89C51RC2 pruža mogućnost definisanja četiri nivoa prioriteta prekida: 0-3. Korišćenjem prioriteta prekida može da se obradi nekih događaja dodjeli veći prioritet.

Na primjer, može da bude omogućen prekid timera 1 koji se automatski poziva svaki put kada se odbroji određeni broj impulsa. Pored toga, omogućen je serijski prekid koji se poziva svaki put kada se neki karakter primi preko serijskog porta. Možda je, sa stanovišta funkcionalnosti sistema koji se realizuje pomoću mikrokontrolera, važniji tajmerski prekid od serijskog, kako bi se omogućilo tačno brojanje vremena. U tom slučaju, može biti korisno definisati da kada se procedura za obradu serijskog prekida izvršava, prekid tajmera 1 može da je prekine i omogući prelaz na proceduru za brojanje vremena. Kada se završi procedura za obradu prekida tajmera 1, kontrola toka se vraća serijskoj komunikaciji i na kraju glavnom programu. To se postiže dodjeljivanjem višeg prioriteta prekidu tajmera 1, nego što je prioritet serijskog prekida.

Prioriteti prekida se kontrolišu pomoću četiri SFR registra **IPL0** (adresa B8h) koji je bit adresibilan i **IPH0** (adresa B7h), **IPL1** (B2h) i **IPH1** (B3h) koji nisu bit adresibilni:



## Prioriteti prekida 2/4

### IPL0 (B8h)

Bit	Ime	Bit adresa	Objašnjenje funkcije
7	-	BFh	Rezervisano
6	PPCL	BEh	PCA Interrupt Priority niži bit – kombinuje se sa PPCH
5	PT2L	BDh	Timer 2 Interrupt Prioritz niži bit – kombinuje se sa PT2H
4	PSL	BCh	Serial Interrupt Priority niži bit – kombinuje se sa PSH
3	PT1L	BBh	Timer 1 Interrupt Priority niži bit – kombinuje se sa PT1H
2	PX1L	BAh	External 1 Interrupt Priority niži bit – kombinuje se sa PX1H
1	PT0L	B9h	Timer 0 Interrupt Priority niži bit – kombinuje se sa PT0H
0	PX0L	B8h	External 0 Interrupt Priority niži bit – kombinuje se sa PX0H

### IPH0 (B7h)

Bit	Ime	Objašnjenje funkcije
7	-	Rezervisano
6	PPCH	PCA Interrupt Priority <u>PPCH PPCL</u> 0 0 najniži prioritet 0 1 1 0 1 1 najviši prioritet
5	PT2H	Timer 2 Interrupt Priority <u>PT2H PT2L</u> 0 0 najniži prioritet 0 1 1 0 1 1 najviši prioritet



## Prioriteti prekida 3/4

**IPH0 (B7h)**

4	PSH	Serial Interrupt Priority <u>PSH PSL</u> 0 0 najniži prioritet 0 1 1 0 1 1 najviši prioritet
3	PT1H	Timer 1 Interrupt Priority <u>PT1H PT1L</u> 0 0 najniži prioritet 0 1 1 0 1 1 najviši prioritet
2	PX1H	External 1 Interrupt Priority <u>PX1H PX1L</u> 0 0 najniži prioritet 0 1 1 0 1 1 najviši prioritet
1	PT0H	Timer 0 Interrupt Priority <u>PT0H PT0L</u> 0 0 najniži prioritet 0 1 1 0 1 1 najviši prioritet
0	PX0H	External 0 Interrupt Priority niži bit <u>PX0H PX0L</u> 0 0 najniži prioritet 0 1 1 0 1 1 najviši prioritet





## Prioriteti prekida 4/4

### IPL1 (B2h)

Bit	Ime	Objašnjenje funkcije
7-3	-	Rezervisano
2	SPII	SPI Interrupt Priority niži bit – kombinuje se sa SPIH
1	-	Rezervisano
0	KBDL	Keyboard Interrupt Priority niži bit – kombinuje se sa KBDH

### IPH1 (B3h)

Bit	Ime	Objašnjenje funkcije
7-3	-	Rezervisano
2	SPIH	SPI Interrupt Priority <u>SPIH SPICL</u> <div> <div>0 0 najniži prioritet</div> <div>0 1</div> <div>1 0</div> <div>1 1 najviši prioritet</div> </div>
1	-	Rezervisano
0	KBDH	Keyboard Interrupt Priority <u>KBDH KBDL</u> <div> <div>0 0 najniži prioritet</div> <div>0 1</div> <div>1 0</div> <div>1 1 najviši prioritet</div> </div>



## Sekvenca provjere prekida

AT89C51RC2 po izvršenju svake instrukcije automatski provjerava treba li da se desi neki prekid. Kada provjerava uslove za prekide, to radi sljedećim redoslijedom:

- Externi 0 prekid
- Timer 0 prekid
- Externi 1 prekid
- Timer 1 prekid
- PCA prekid
- Serijski prekid
- Timer 2 prekid
- Keyboard prekid
- SPI prekid

To znači da ako se uslovi za serijski prekid steknu u tačno isto vrijeme kada su se stekli i uslovi za externi prekid 0, a ova dva prekida imaju definisan isti prioritet, externi prekid 0 će se izvršiti prvi, a serijski prekid će se izvršiti kada se završi obrada externog prekida 0.



