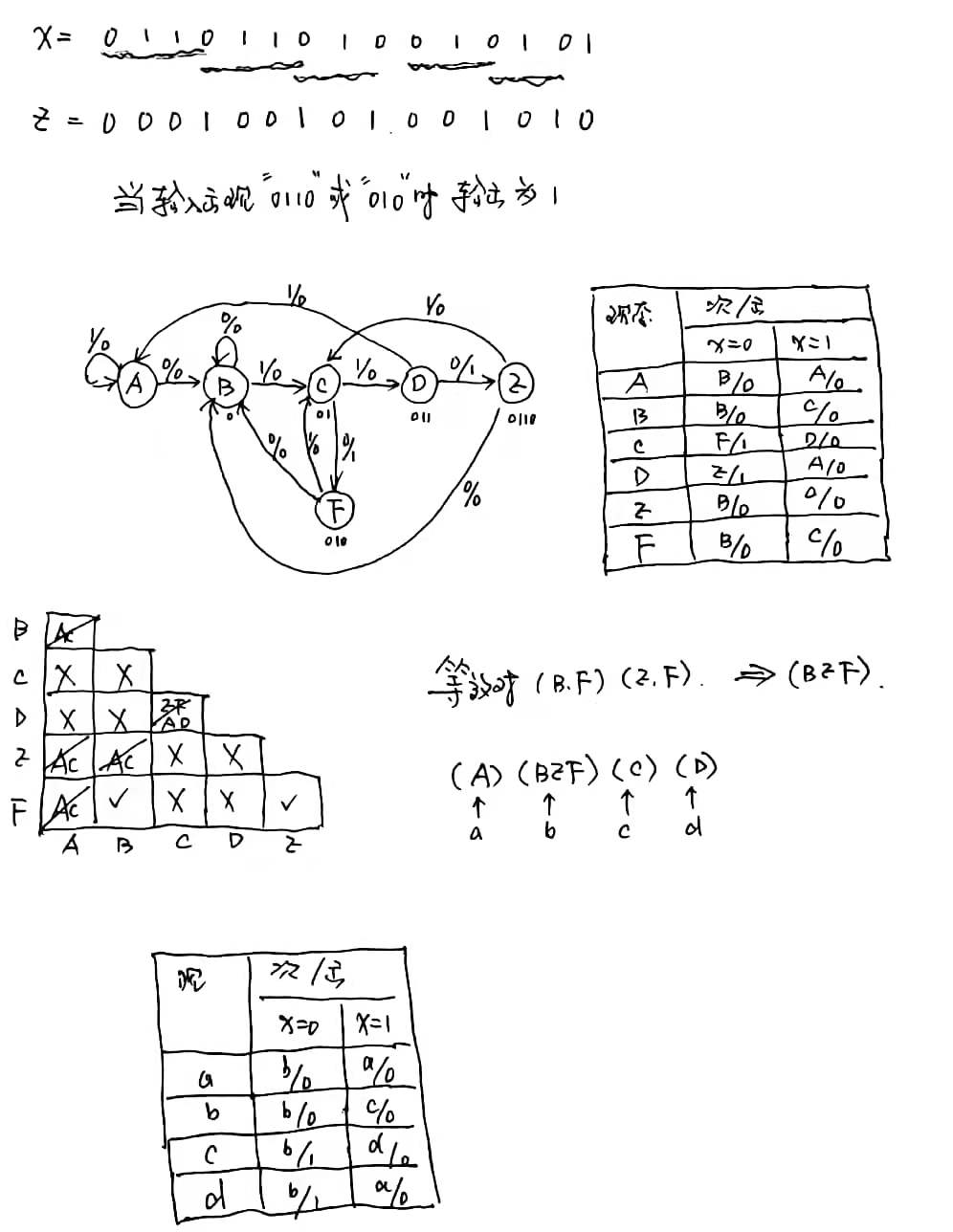
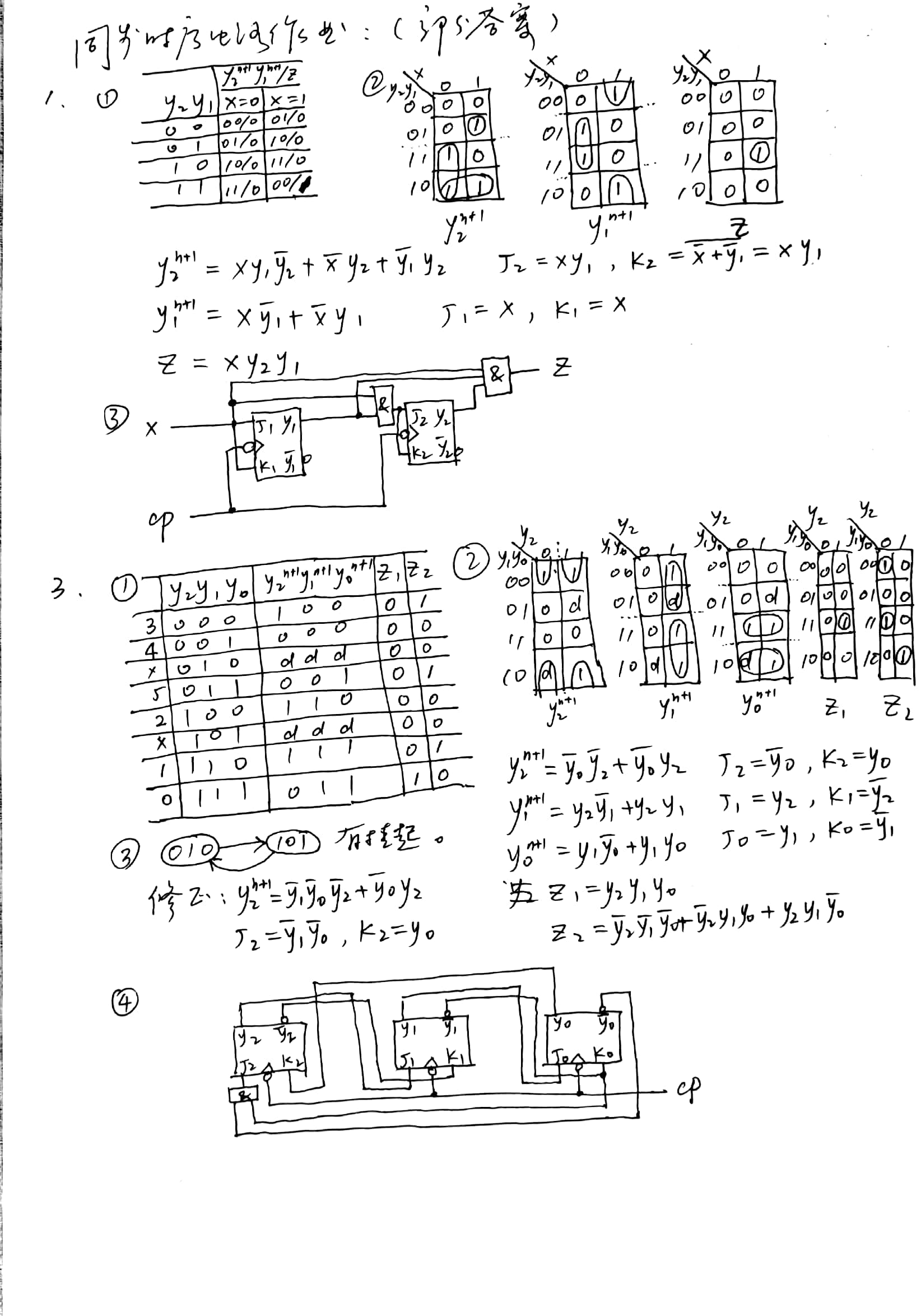
1、一时序逻辑电路x为输入，z为输出，典型输入输出序列如下：x：0 1 1 0 1 1 0 1 0 0 1 0 1 0 1

z：0 0 0 1 0 0 1 0 1 0 0 1 0 1 0

请给出以上同步时序电路的原始状态图，并给出最简原始状态表。



2、用JK触发器或T触发器设计一个两位二进制加1计数器。电路的工作状态受输入信号x控制：当x = 0时，电路的工作状态不变；当x = 1时，在时钟脉冲的作用下进行加1计数。计数器有一个输出端z , 当产生进位时z = 1，否则z = 0（电路的初始状态为：00）。要求写出必要的设计步骤。



（2023.12.27 考了原题 有序列信号 答案上的题和作业题不一样）3、用JK触发器设计一个一位6进制减1计数器。状态输出为*y*2*y*1*y*0，状态编码为：111表示一位6进制数0，110表示1，100表示2，000表示3，001表示4，011表示5。当该计数器出现借位时输出*Z*1=1，当前的一位6进制计数值为奇数时输出Z2=1。 序列信号人家是减1计数我顺序写成加1了

要求： 1)给出二进制状态表；

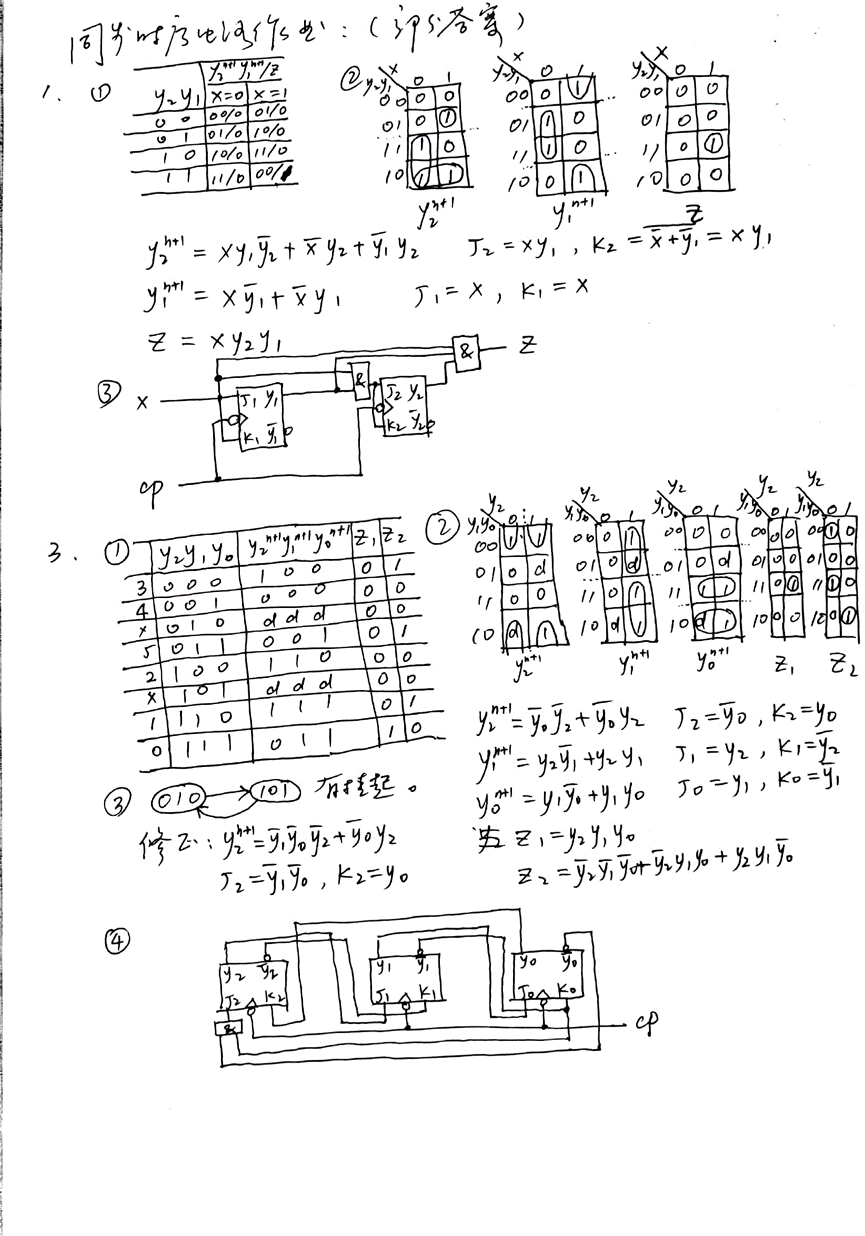
2)给出输出函数和激励函数逻辑表达式；

3)判断电路是否挂起，如果在电路的设计过程中如果存在“挂起”现象，进行修正；

4)画逻辑电路图。







Z1、Z2图略。



4、用D触发器设计一个移位计数器型信号发生器，输出的信号序列为：1110100，电路能够自启动。要求写出必要的设计步骤。

