

数字电路试验 lab3

19 级计算机类 8 班

18324034

林天皓

2020 年 5 月 26 日至 2020 年 6 月 1 日

实验内容 1

实验内容1

- 设计实现输入、输出如实验原理中二进制码七段数码管译码器真值表的组合逻辑电路。并将译码器电路的输出接共阴极七段数码管，仿真验证电路功能。
- 对代码转换电路进行动态测试。将 1Hz 的连续脉冲接入 74LS197 的 CP0 端，作为 74LS197 计数脉冲。将 74LS197 的 Q3、Q2、Q1 和 Q0 连接到代码转换电路的输入端，作为 8421 码输入。将所设计的译码器输出链接到 7 段数码管 a, b, c, d, e, f, g 上，观察输出。

实验原理

第一部分.

通过给出的二进制与七段数码管译码表的对照关系，列出每一位的真值表函数式，再根据逻辑化简规则，采用卡诺图等形式化简，得到简化的逻辑表达式，最后使用合适的门电路，组合形成最终的二进制码与七段数码管译码的组合逻辑电路，连接一位共阴极七段数码管，再使用 protues 的仿真功能进行组合逻辑电路的静态测试。再利用十六进制计数器 74LS197 和脉冲发生器连接，输入组合逻辑电路，对代码转换电路进行动态测试。

第二部分

选取七段数码管译码器 74LS48 连接一位共阴极七段数码管，选用十六进制计数器 74LS197 和脉冲发生器连接，输入 74LS48，观察数码管的显示内容。再设计 8421 码转换十进制的组合逻辑电路，十位和各位分别连接 74LS48，完成显示两位数字的电路设计，最后动态测试电路情况。

实验设计

第一部分.

由实验 PPT，一位七段共阴极数码管管脚定义如下

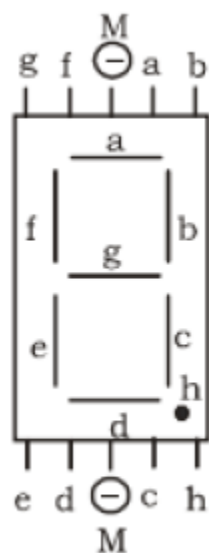


图 1-共阴极数码管管脚定义

先给出二进制与七段数码管译码表的对照关系(选自 PPT)

表 3-3 二进制码七段数码管译码器的真值表

输入				输出							七段数码管 显示内容
Q3	Q2	Q1	Q0	a	b	c	d	e	f	g	
0	0	0	0	1	1	1	1	1	1	0	"0"
0	0	0	1	0	1	1	0	0	0	0	"1"
0	0	1	0	1	1	0	1	1	0	1	"2"
0	0	1	1	1	1	1	1	0	0	1	"3"
0	1	0	0	0	1	1	0	0	1	1	"4"
0	1	0	1	1	0	1	1	0	1	1	"5"
0	1	1	0	1	0	1	1	1	1	1	"6"
0	1	1	1	1	1	1	0	0	0	0	"7"
1	0	0	0	1	1	1	1	1	1	1	"8"
1	0	0	1	1	1	1	1	0	1	1	"9"
1	0	1	0	1	1	1	0	1	1	1	"A"
1	0	1	1	0	0	1	1	1	1	1	"b"
1	1	0	0	1	0	0	1	1	1	0	"C"
1	1	0	1	0	1	1	1	1	0	1	"d"
1	1	1	0	1	0	0	1	1	1	1	"E"
1	1	1	1	1	0	0	0	1	1	1	"F"

表 1-二进制码与七段数码管译码器的真值表

接下来计算 Q 与 a-g 的逻辑函数

a 卡诺图如下

B_3B_2	00	01	11	10
B_1B_0				
00	1	0	1	1
01	0	1	0	1
11	1	1	0	0
10	1	1	1	1

$$a = \overline{B_3}\overline{B_2}\overline{B_0} + \overline{B_3}B_1 + B_1\overline{B_0} + \overline{B_3}B_2B_0 \\ + B_3\overline{B_2}\overline{B_1} + B_3\overline{B_1}\overline{B_0} + B_1B_2$$

图 2-1 a 与 B 的关系

b 卡诺图

B_3B_2	00	01	11	10
B_1B_0				
00	1	1	0	1
01	1	0	1	1
11	1	1	0	0
10	1	0	0	1

$$b = \overline{B_3}\overline{B_2} + \overline{B_3}\overline{B_1}\overline{B_0} + \overline{B_3}B_1B_0 \\ + B_3\overline{B_2}\overline{B_1} + \overline{B_2}B_1\overline{B_0} + B_3\overline{B_1}B_0$$

图 2-2 b 与 B 的关系

c 卡诺图

B_3B_2	00	01	11	10
B_1B_0				
00	1	1	0	1
01	1	1	1	1
11	1	1	0	1
10	0	1	0	1

$$c = \overline{B_3}B_2 + B_3\overline{B_2} + \overline{B_1}B_0 \\ + \overline{B_3}\overline{B_1}\overline{B_0} + \overline{B_3}B_1B_0$$

图 2-3 c 与 B 的关系

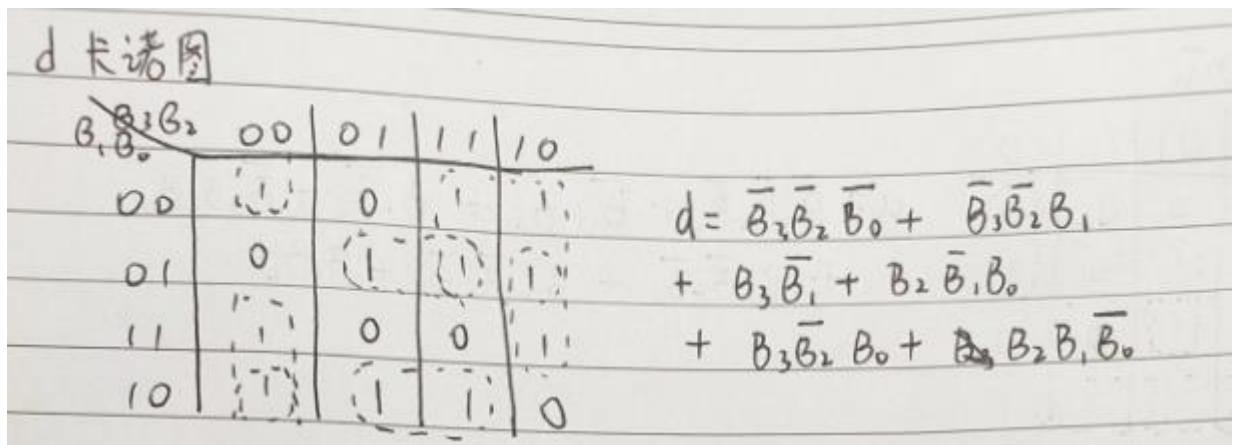


图 2-4 d 与 B 的关系

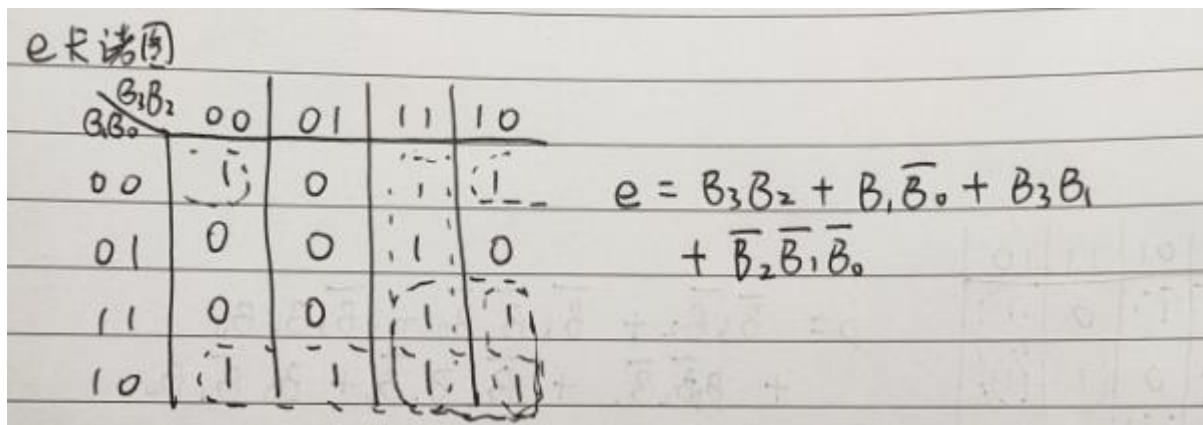


图 2-5 e 与 B 的关系

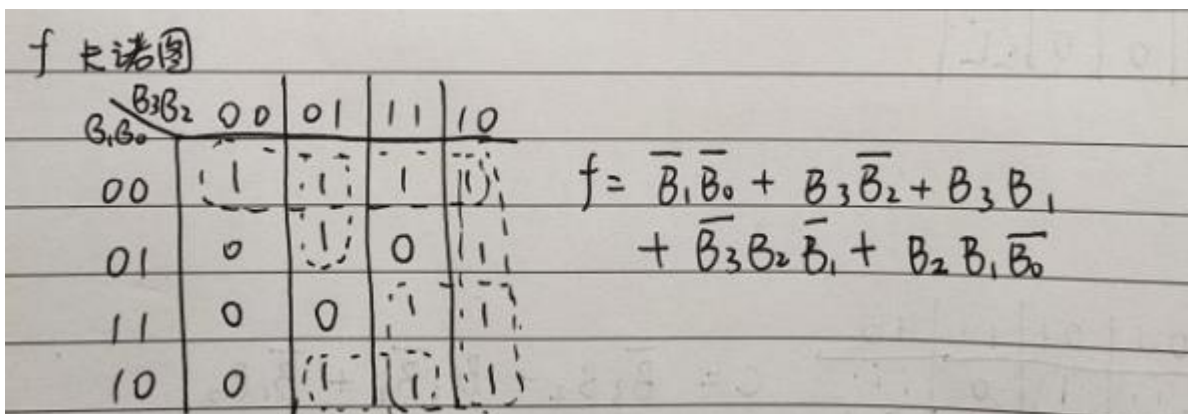


图 2-5 f 与 B 的关系

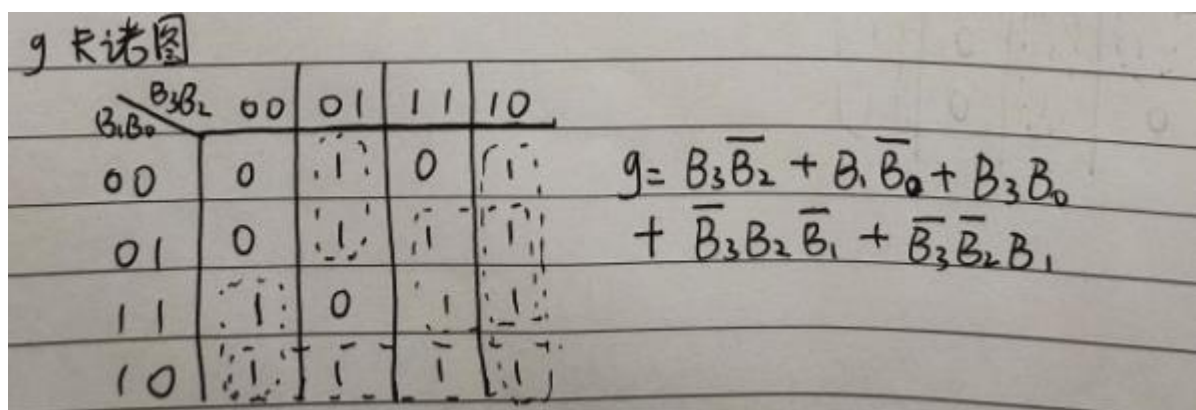


图 2-5 g 与 B 的关系

将逻辑函数转换为组合逻辑电路，如下图

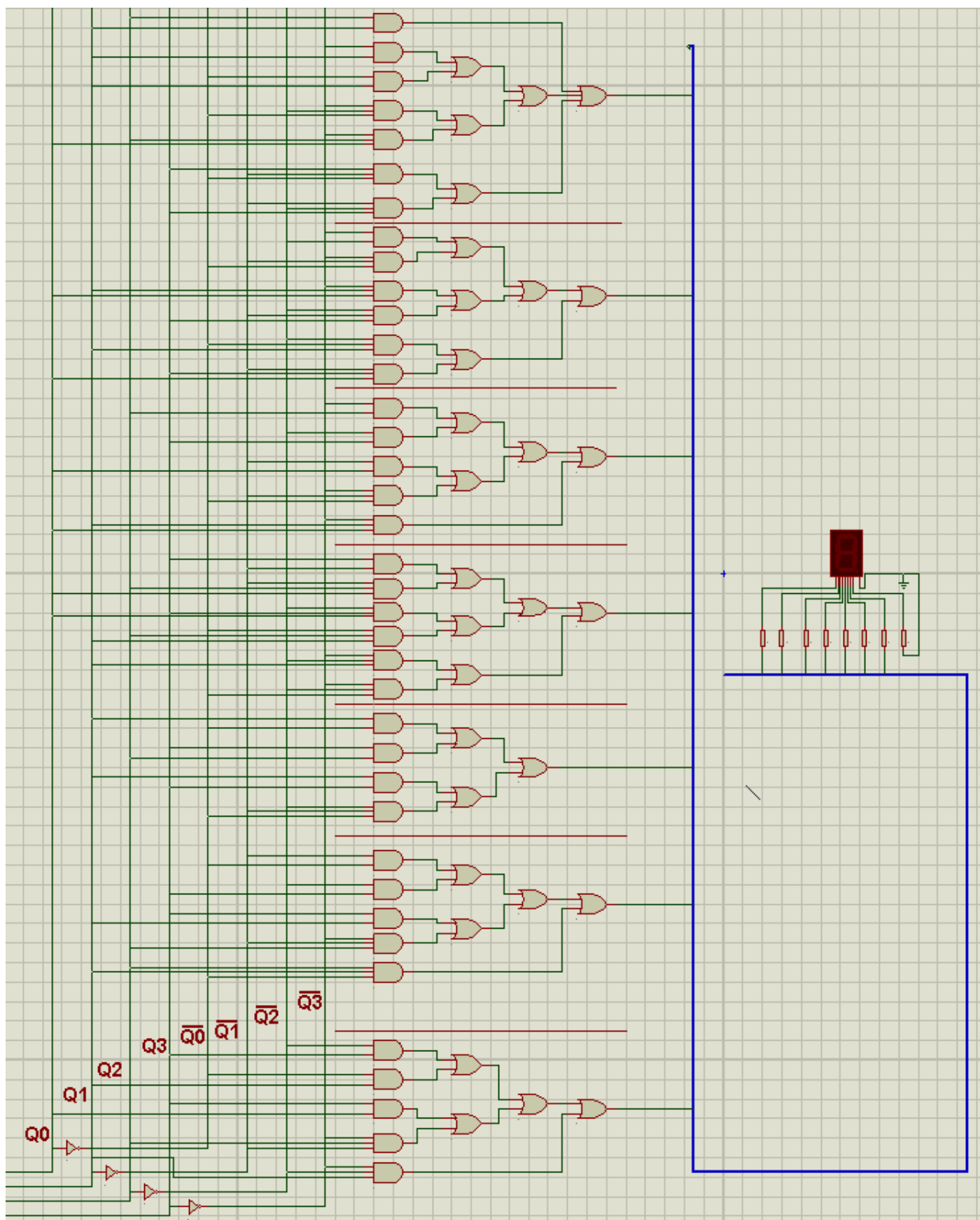


图 3 转换组合逻辑电路

实现细节：

从上到下，依次为 a, b, c, d, e, f, g, 每一条红色线分割的就是对应一位的逻辑表达式，蓝色线则是使用使用了 protues 中的 BUS 总线工具，这一工具可以使得在总线上标号字符串相同的线连在一起，而不用显式地画出线的走向，全部在总线内部完成。

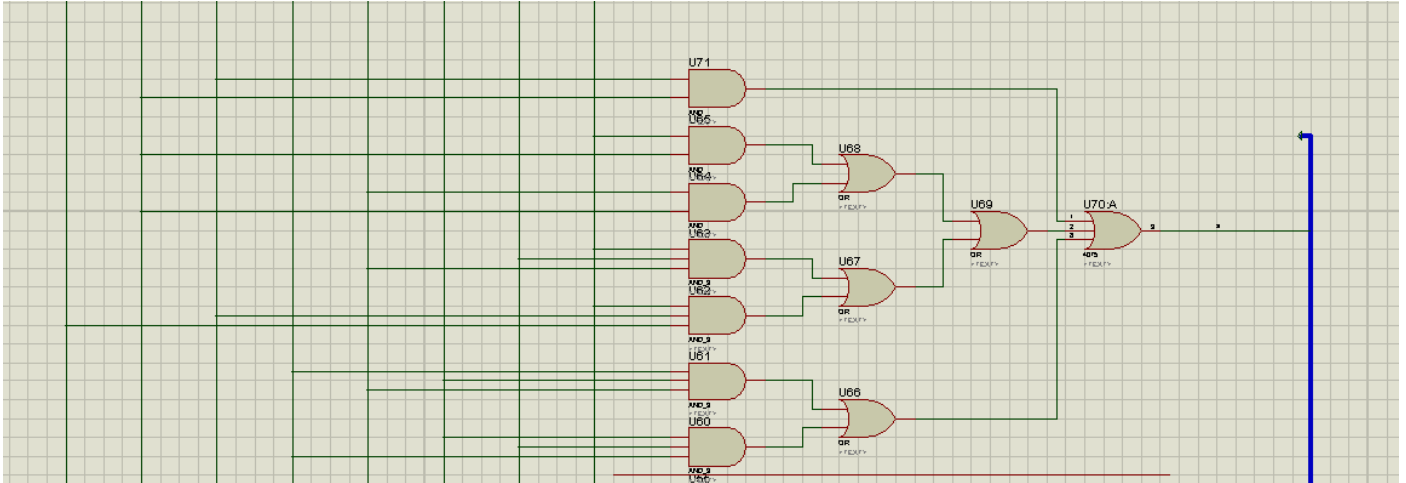


图 4-a 数码位置的具体实现逻辑电路

数码管 a 位的逻辑实现电路，右方蓝色为总线 BUS，可见标号为 a

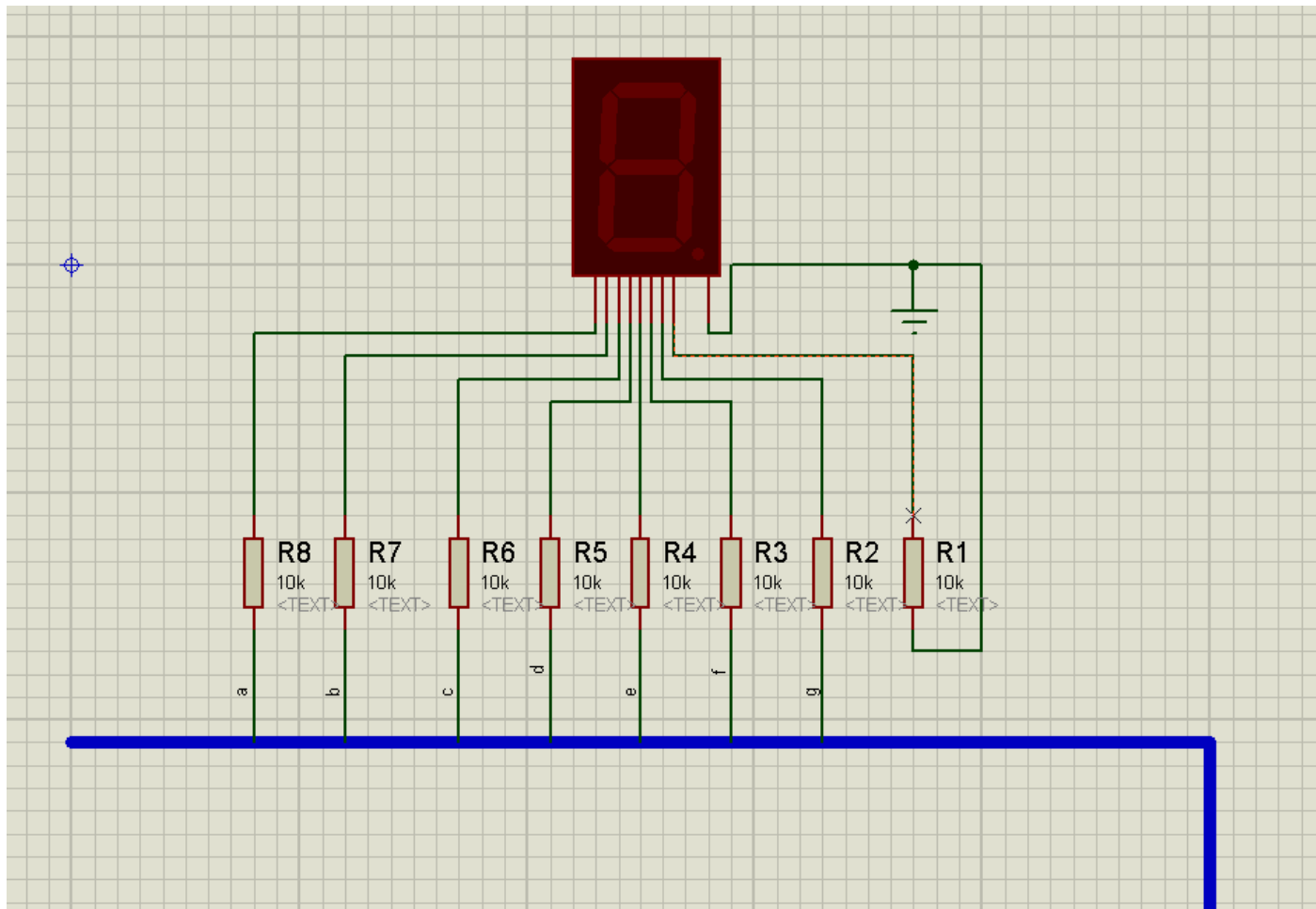


图 5-数码管局部，电阻和总线连接线的标号

数码管一侧局部，可见线标号从左到右依次为 a-g，串联有电阻, 控制小数点的 h 位接地处理

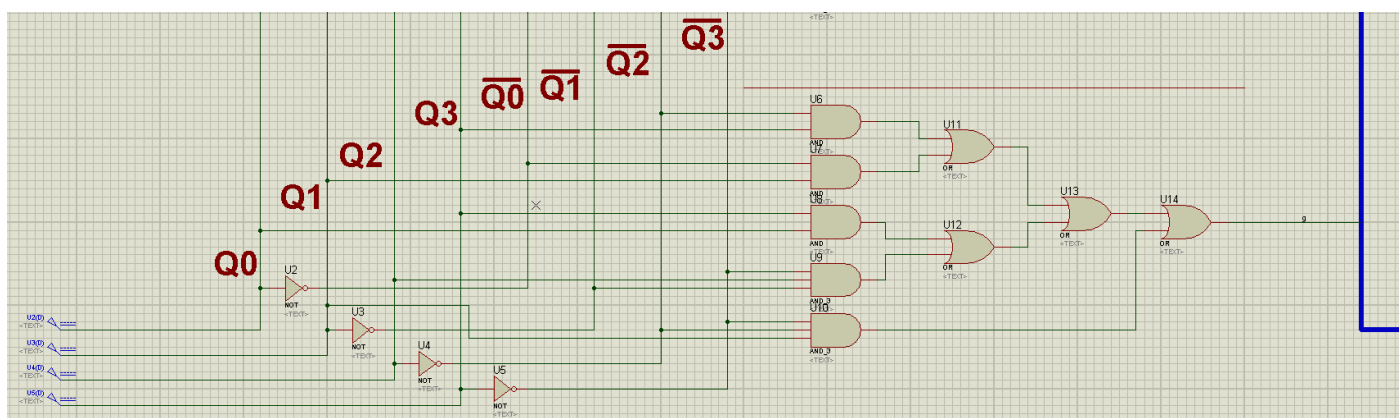


图 6-左下角局部，8 条长数据线的实现，信号的内容有显著标识，右侧为数码管 g 位的实现逻辑电路

在这里，为了方便我使用先引出所有信号与其反信号，再在右方直接设置逻辑门，虽然这种方法对信号的复用程度不高，所用导线路程较长，但是逻辑显得更加清晰，每

一块电路都能显然的给出对应的逻辑表达式，能更好的解决连线错误的发现与排除（后文实验心得分析）。

动态测试实现电路

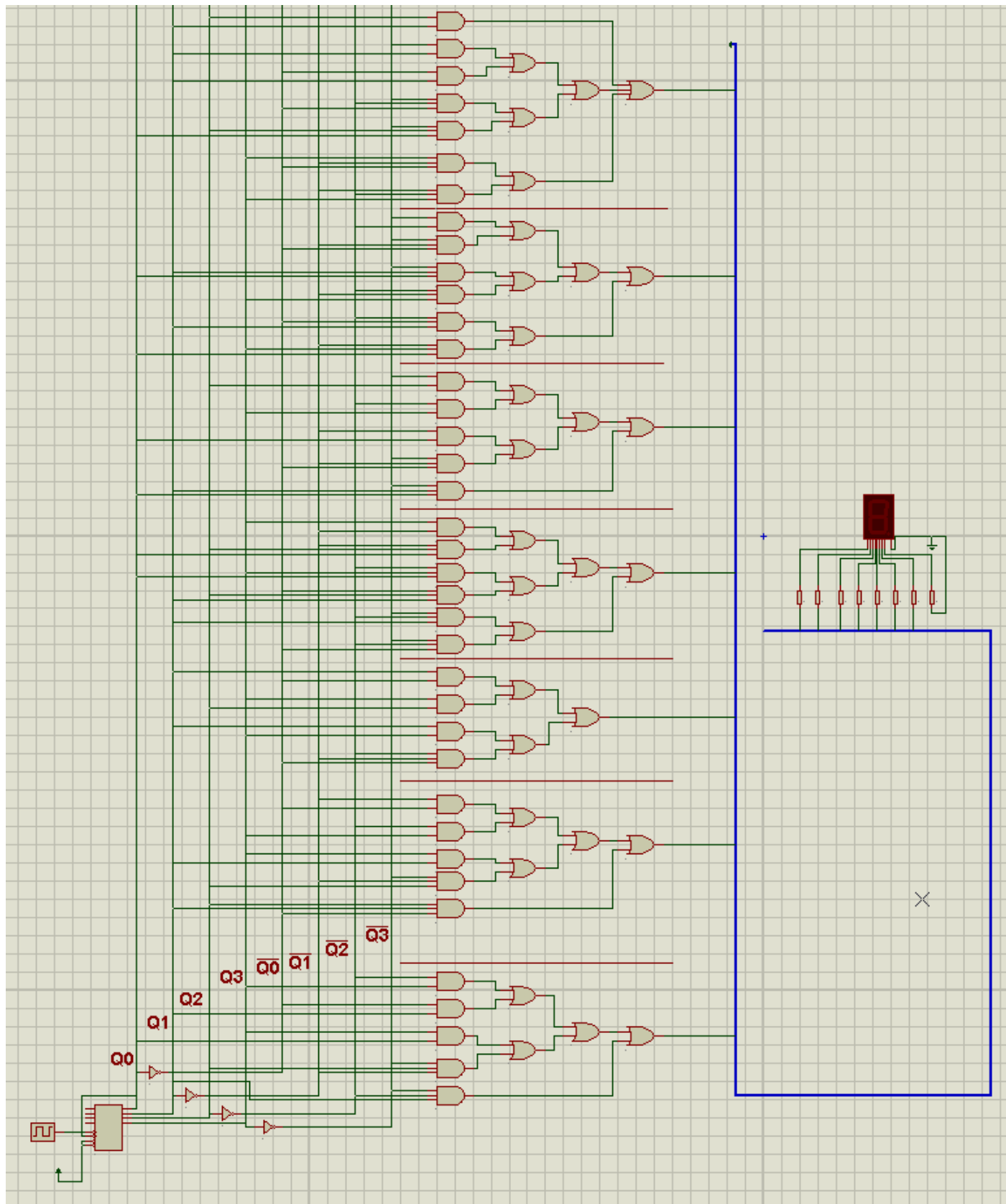


图 7-动态测试电路图全貌

右下角为 16 进制计数器和脉冲发生器。

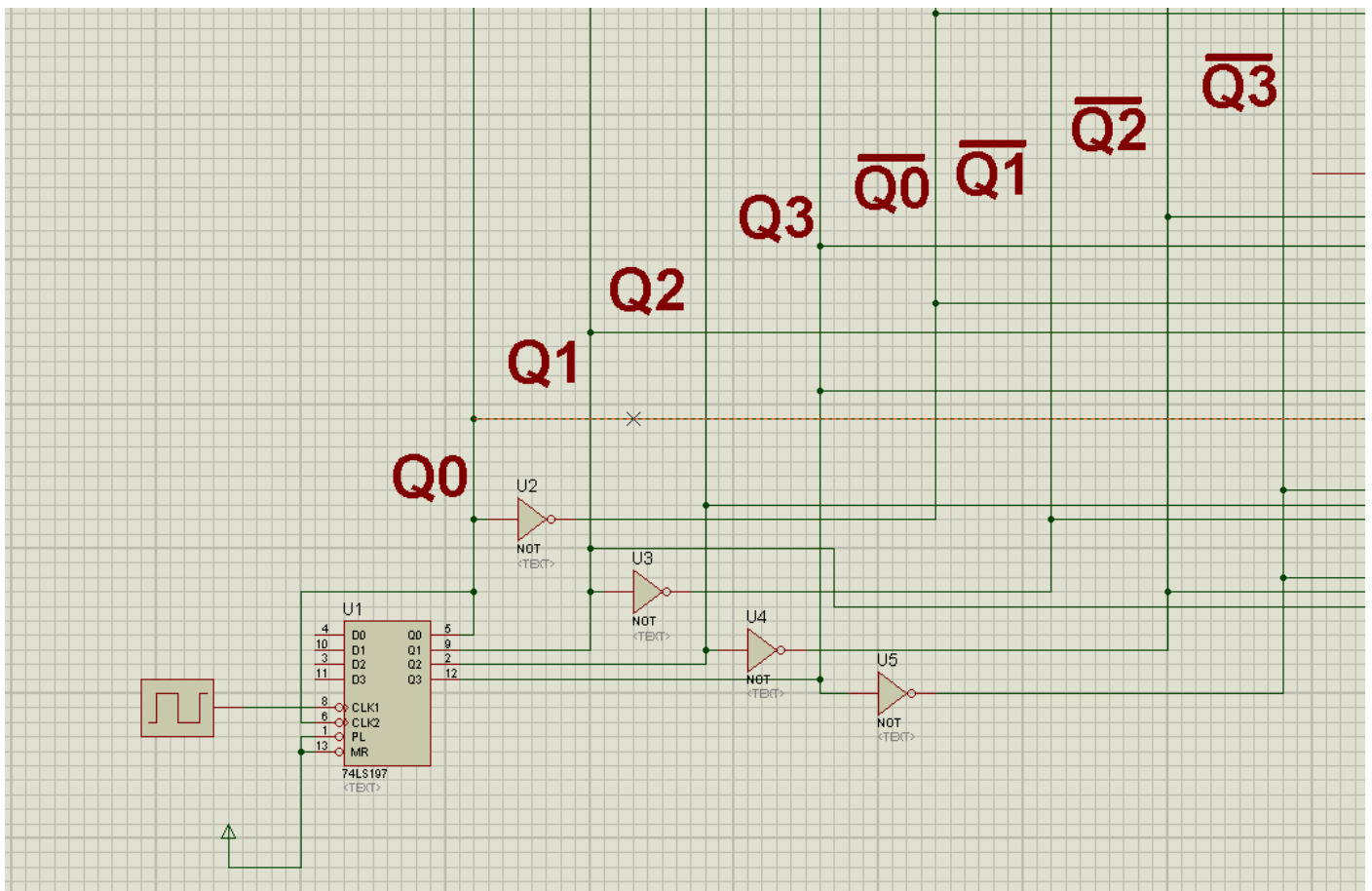


图 8-计数器和脉冲发生器局部

其他部分与上文组合逻辑电路相同，不再赘述。

设置脉冲频率为 1hz，接下来进行仿真。

实验结果，分析，结论

静态测试

有代表性地选取三个 bcd 码进行静态测试

1. 输入为 0110

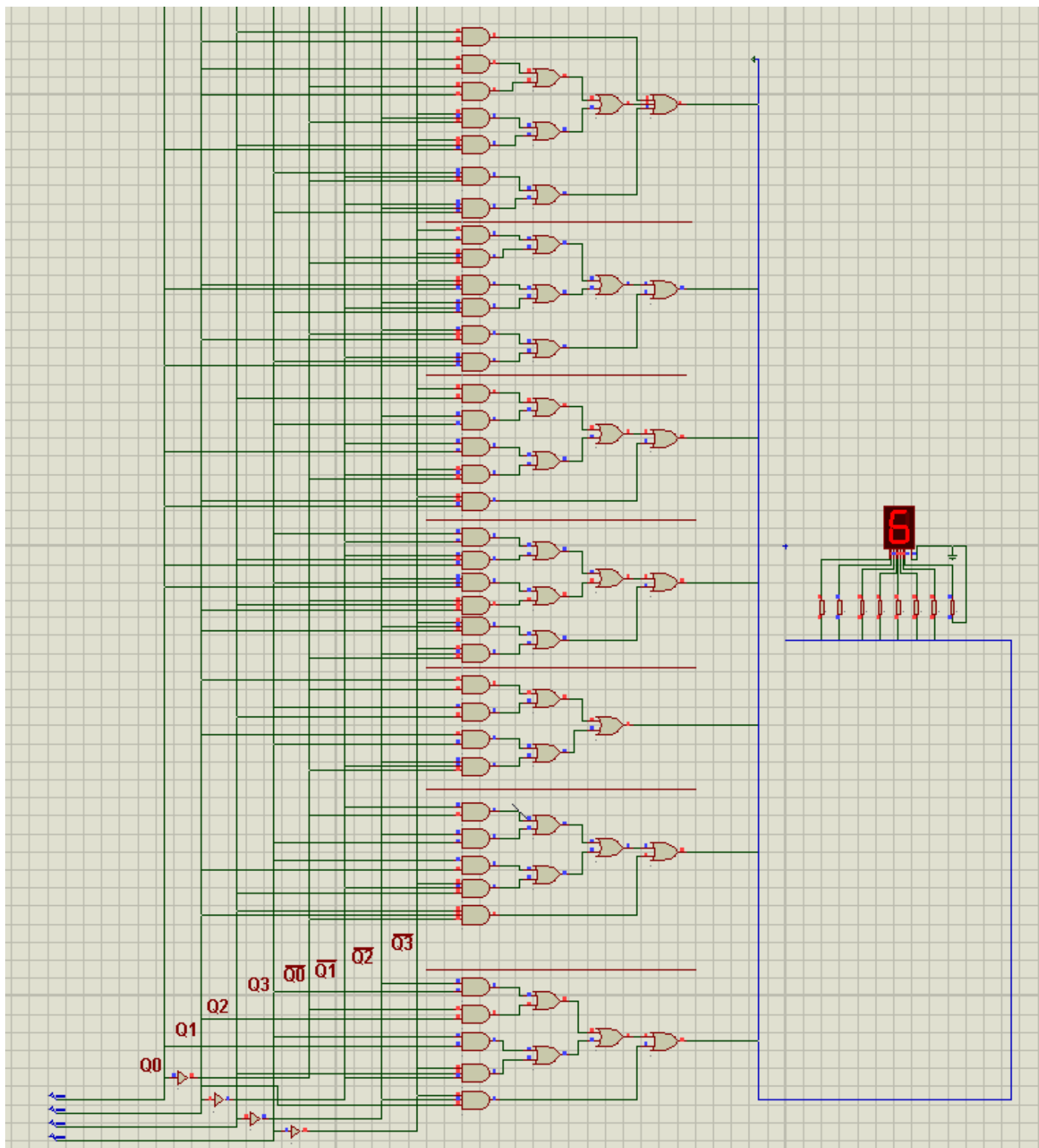


图 9-1 输入为 0110，数码管显示为 6，符合真值表转换

分析：输入为 0110，数码管显示为 6，符合真值表转换

2. 输入为 1010

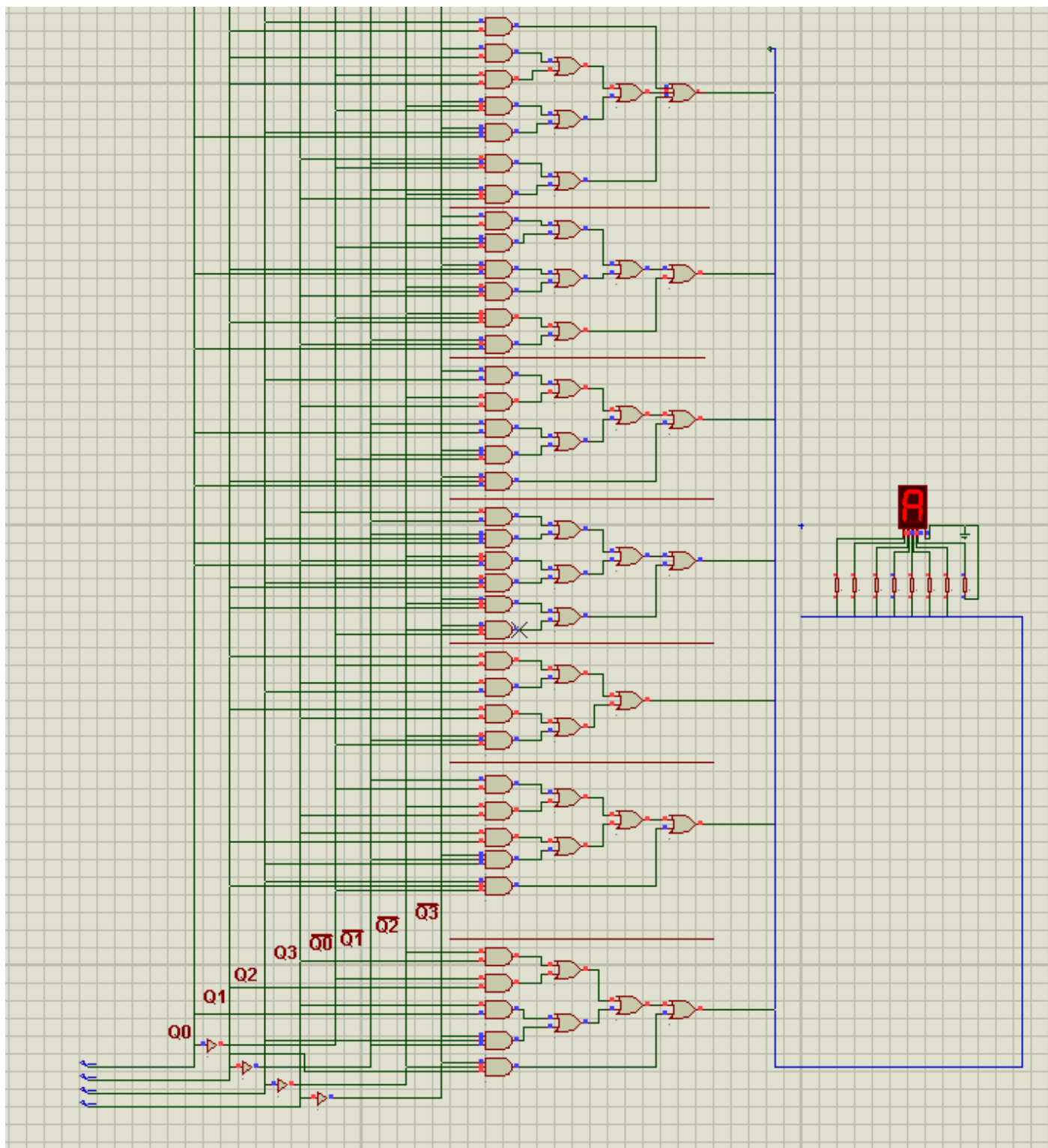


图 9-2 输入为 1010，数码管显示为 A，符合真值表转换

分析：输入为 1010，数码管显示 A，符合转换规则

3. 输入为 1111

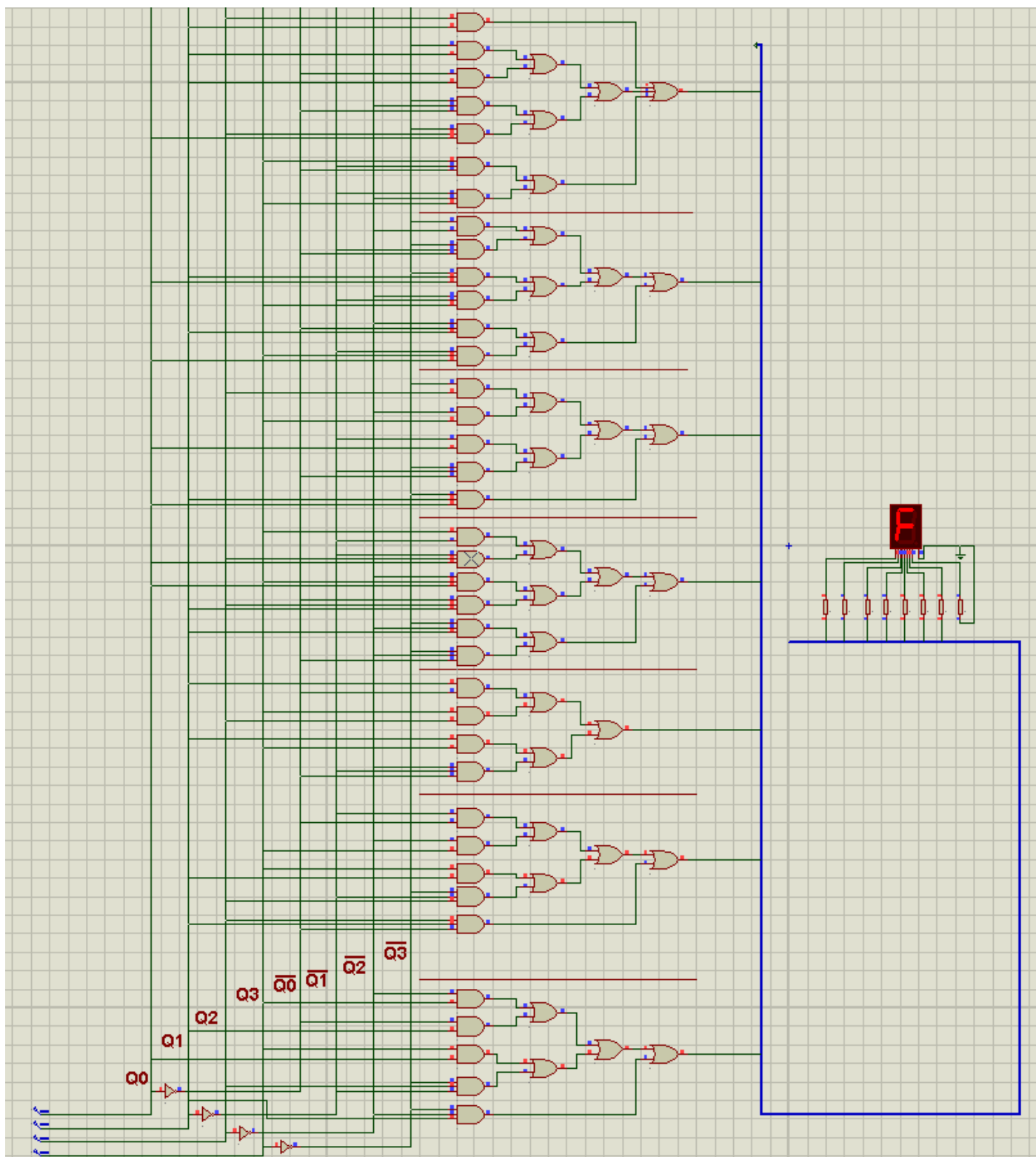


图 9-3 输入为 1111，数码管显示为 F，符合真值表转换

分析：输入为 1111，数码管显示 F，符合转换规则。

更多测试不再赘述，均符合真值表的转换规则。

分析，静态测试，二进制码与七段数码管译码的组合逻辑电路转换效果符合实验要求。

动态测试

1. 计数器为 4

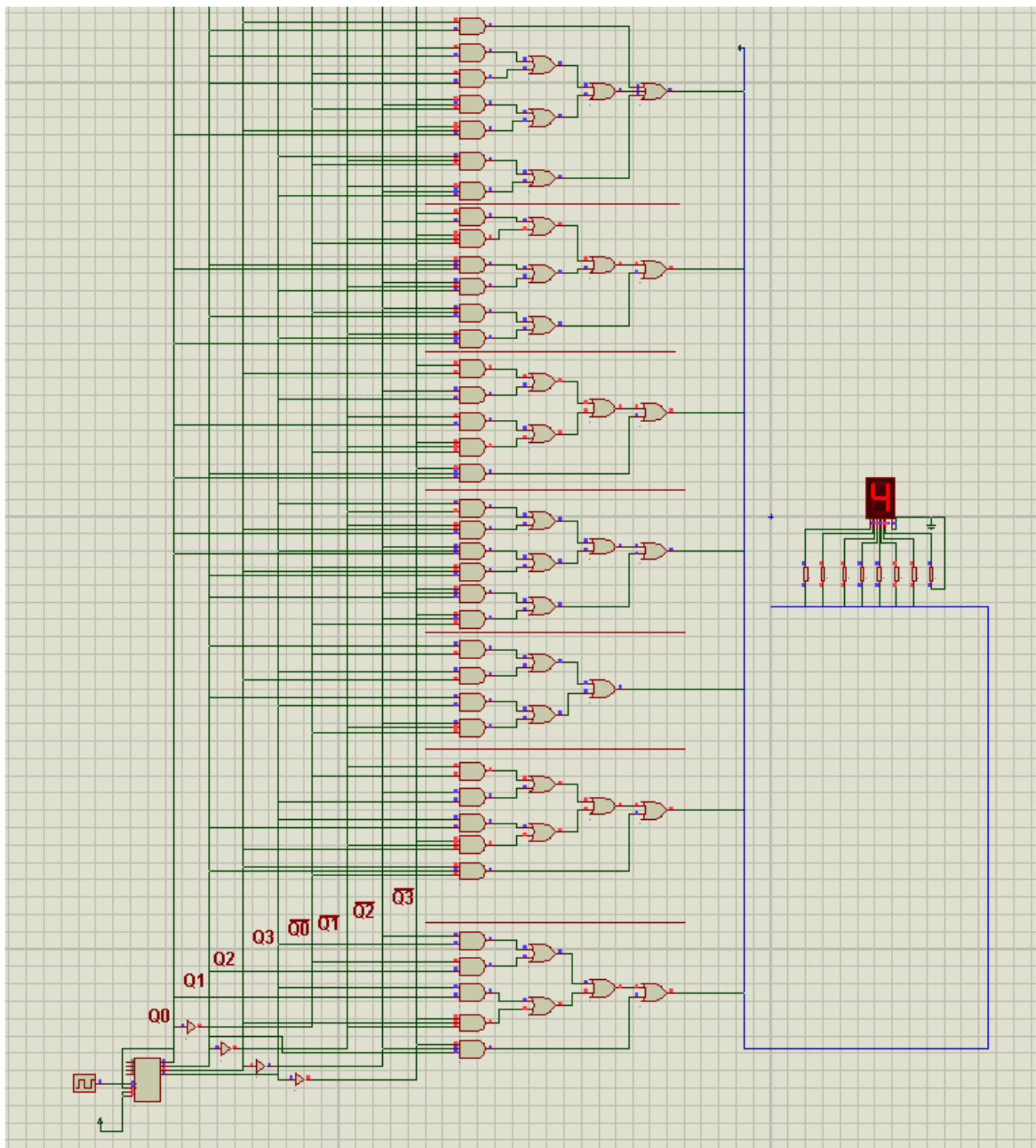


图 10-1 计数器为 4，数码管显示 4，符合转换电路要求

计数器为 4，数码管显示 4，符合转换电路要求

2. 计数器为 8

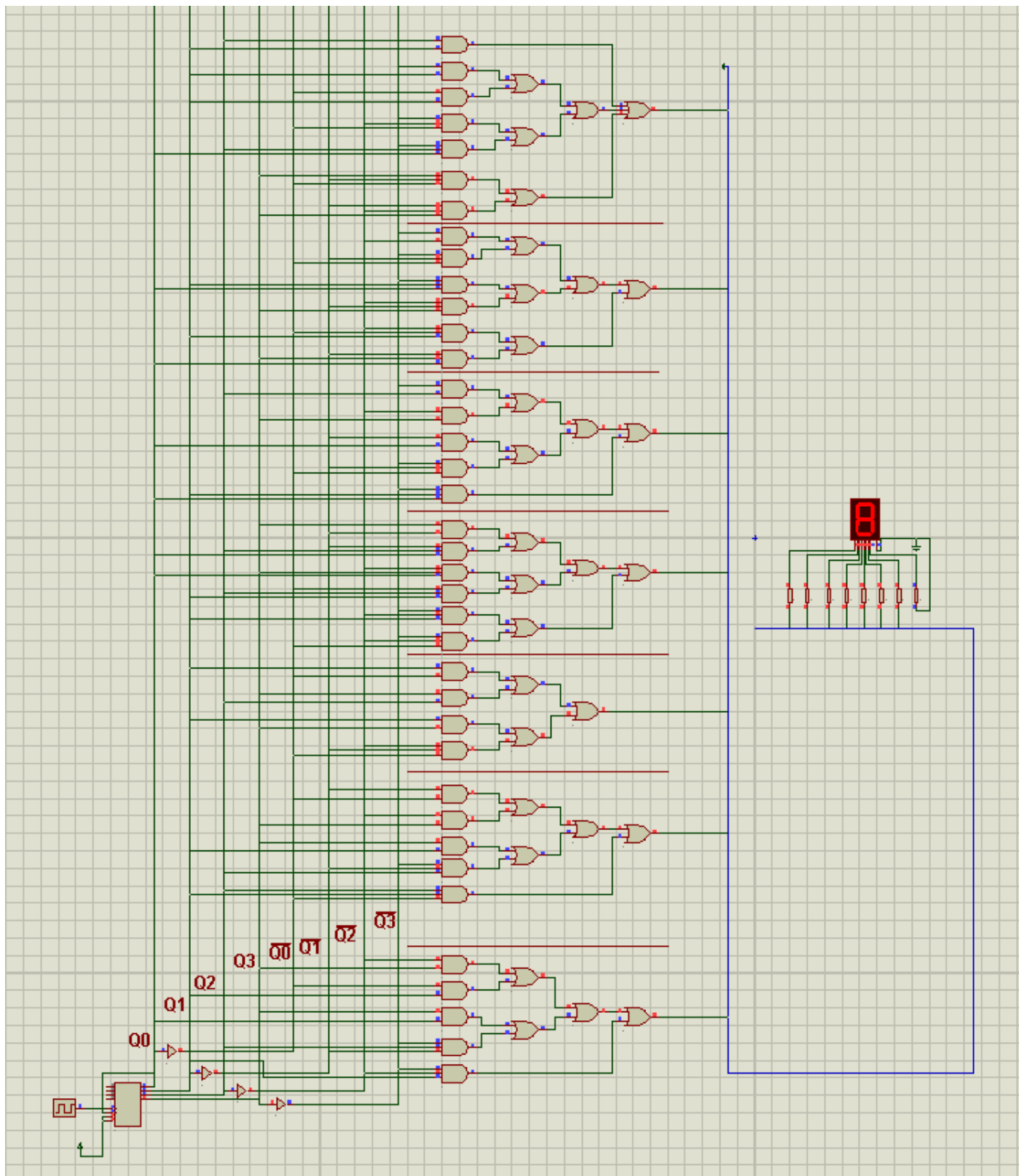


图 10-2 计数器为 8，数码管显示 8，符合转换电路要求

计数器为 8，数码管显示 8，符合转换电路要求。

3. 计数器为 10

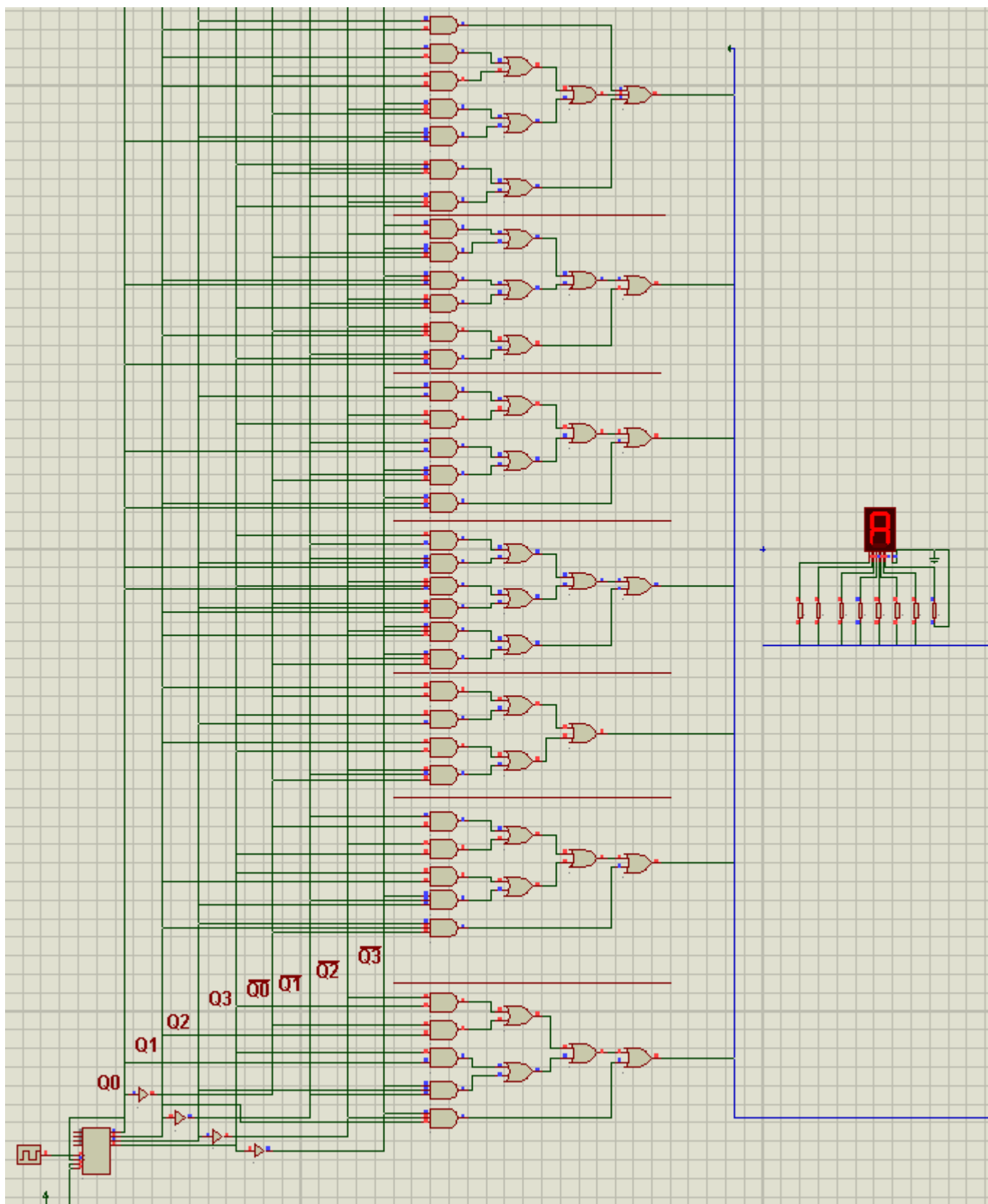


图 10-3 计数器为 10，数码管显示 A，符合转换电路要求

计数器为 10，数码管显示 A，符合电路转换要求。

其他数字显示均符号转换规则，不再赘述

分析：综上，经过静态测试与动态测试，该电路在二进制码转换七段数码管逻辑转换结

果与转换表一一对应，充分实现了所需的二进制码转换七段数码管逻辑任务。

实验心得

本次试验按照顺序较好的完成了从真值表到电路的初步转换，化简逻辑表达式达到简化电路的目的，通过引入长条的信号线，使得逻辑门更容易地接上所需的信号，而不必要把线路排布的交错复杂，同时灵活使用 protues 中的 BUS 总线和线路命名，能让线路更少，看起来不累，同时将实现一整个位的逻辑电路放在一起，方便后期改错的时候纠正错误，也使得逻辑清晰，使得整个电路不断变的更简单。

另外的心得有关于如何排除电路错误和 protues 中数码管的显示 bug

1. 如何排除电路错误

在本次接线过程中，经常会出现连接错误，本人在该实验中连接错误达到将近 10 次，同时真值表也有一个错误，但是在一个小时之内完全解决了，这离不开清晰的电路设计，下面是两个排除错误的案例

案例一

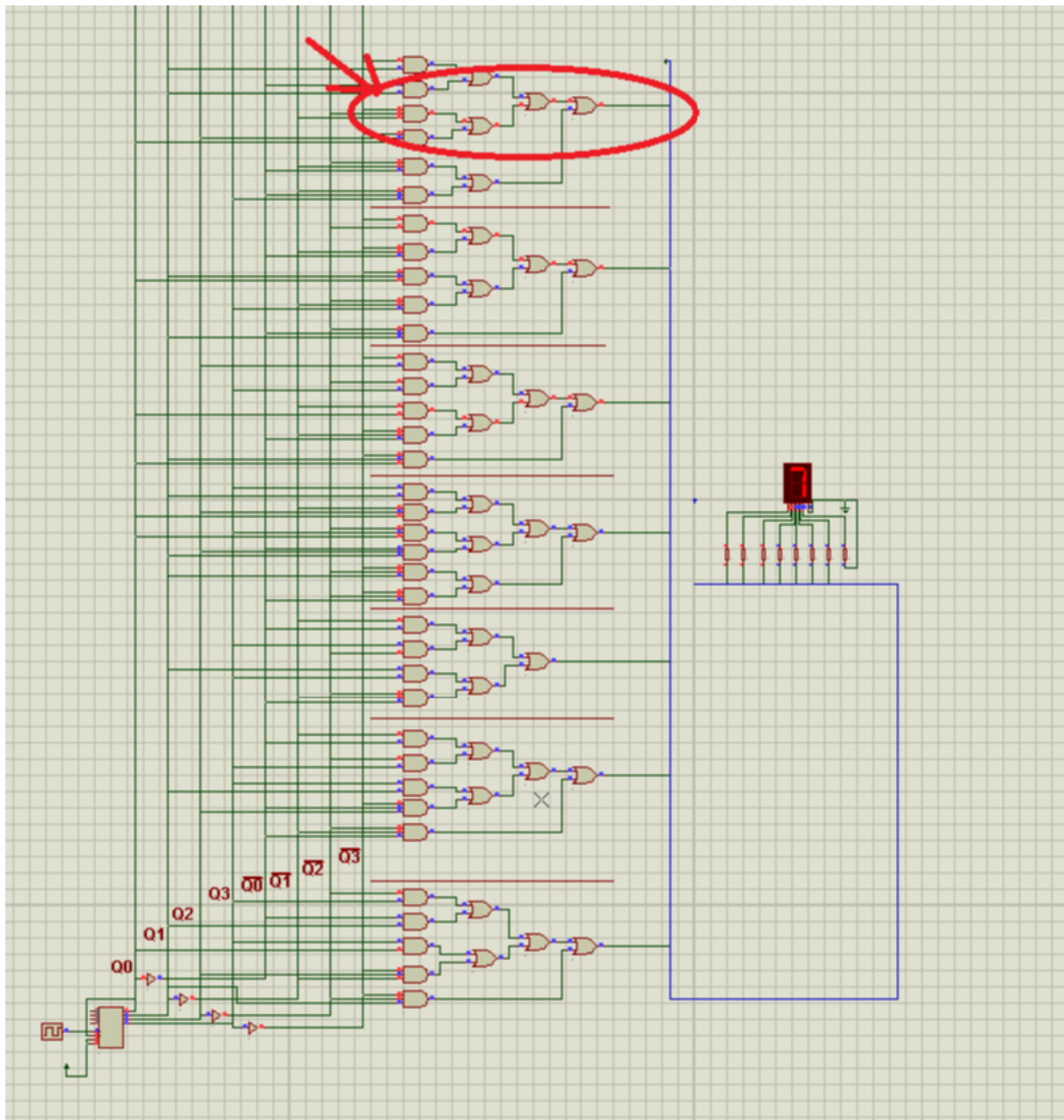


图 11-1 错误排查案例 1，箭头处有错误

计数器为 1，本来 a 数码管应该不显示，而实际情况显示了，通过查找使得 a 亮起的与门，发现是将 B3 反 B2 反 B0 反错误接为 B3 反 B2 反 B1 反，2 分钟排除错误。

案例二

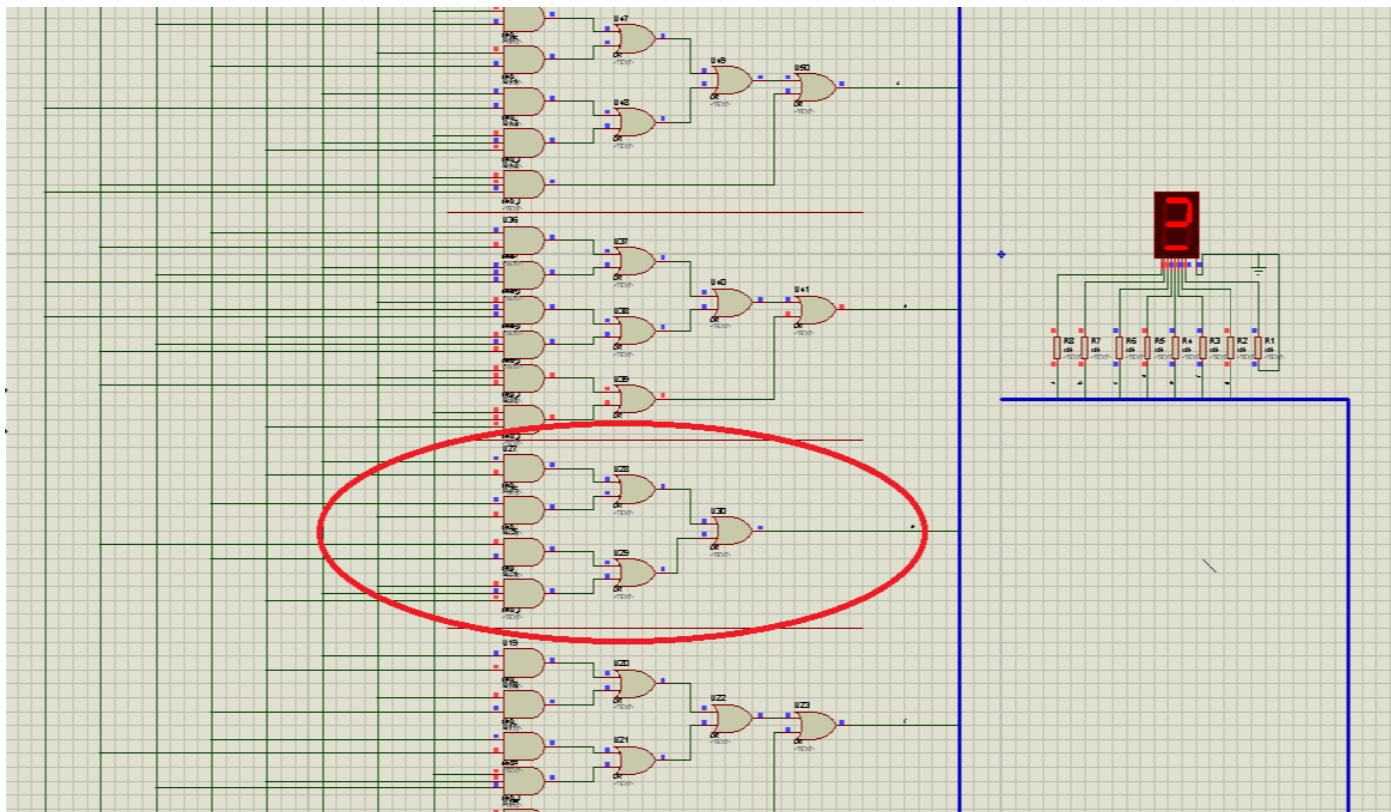


图 11-2 错误排查案例 2，红圈内处有错误

计数器为 2，本来 e 数码管应该显示，而实际情况没有显示，2 对应二进制 0010 这个时候通过查找真值表发现，e 的真值表没有错误，从而判断是接线错误，更进一步

e 卡诺图

B_1B_0	00	01	11	10
00	1	0	1	1
01	0	0	1	0
11	0	0	1	1
10	1	1	1	1

$$e = B_3B_2 + B_1\bar{B}_0 + B_3B_1 + \bar{B}_2\bar{B}_1\bar{B}_0$$

图 11-3 错误排查案例 2，对照真值表找到线路接错的那一项

发现它属于是 B1 B0 反 这一项，快速定位到逻辑门的实现问题上，5 分钟解决了问题。

所以，这种逻辑清晰的电路设计虽然线路更多，但是出现错误非常好排除。

2. protues 中数码管显示错误的 bug

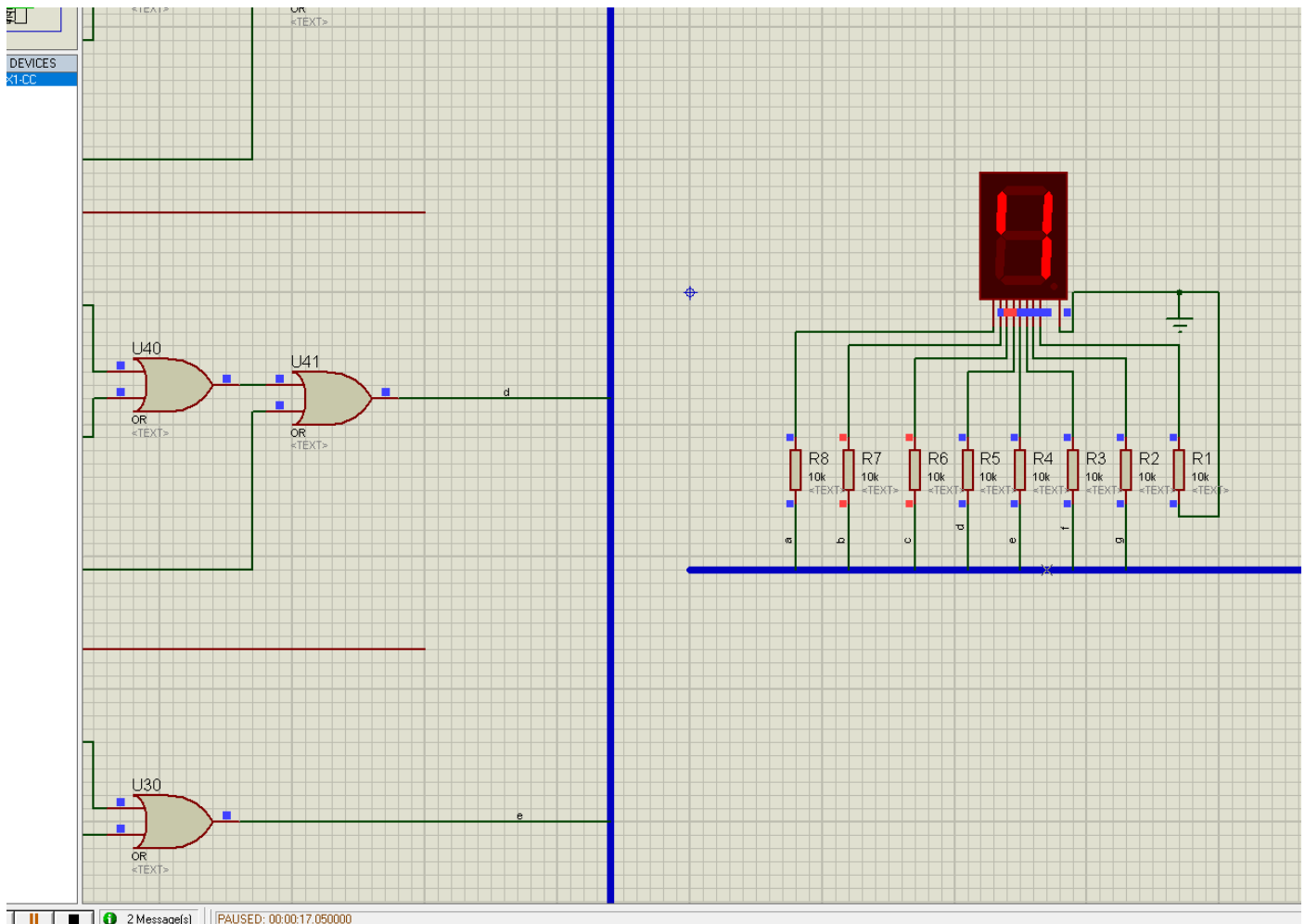


图 12 proteus 中数码管显示 bug

在这里发现，虽然接入数码管的逻辑电平均是正确的，但是数码管的显示仍然短暂地与预期效果不一样，提醒了我们在现实情况中要考虑不完美的情况。

实验内容 2

实验内容2

- 观察：在 Proteus 环境下，对芯片74LS48（8421码七段数码管译码器，可驱动共阴极七段数码管）进行仿真测试，分析对比其译码显示功能和实验原理中所述二进制码七段数码管译码器。
- 1. 将74LS197的输出Q0-Q3接到芯片74LS48输入上，并设置74LS197的输入时钟为1Hz。记录并观察七段数码管的显示变化。
- 2. 将74LS197的输出Q0-Q3表示0-15的十进制数，尝试使用2个芯片74LS48分别显示十进制数的个位和十位（使用两个7段数码管分别显示个位和十位），例如：Q0-Q3=0001，2个数码管分别显示‘01’，Q0-Q3=1110，2个数码管分别显示‘14’，请设计编码电路完成上面功能的电路设计

实验原理

使用 protues 仿真观察 74LS48 的逻辑功能，然后制作二进制数分解为十进制数每一位数字的输出的真值表，根据真值表得到逻辑电路转换函数，化简逻辑转换函数，根据化简后的逻辑转换函数完成十六进制计数器转化为两位数字的 BCD 码，再使用 74LS48 转换为数码管驱动电路，进行动态的仿真测试。

实验设计

第一部分

观察 74LS48 芯片逻辑功能

直接根据题意设计即可

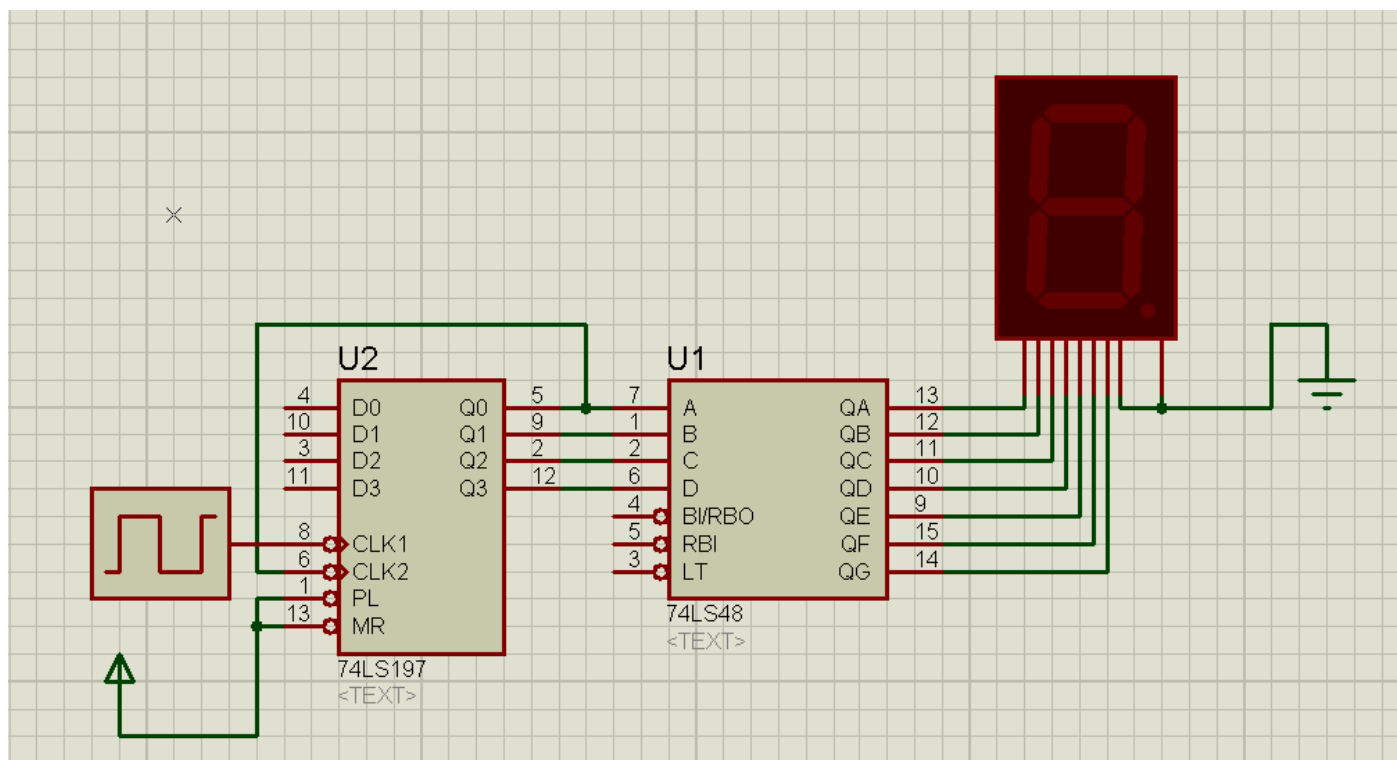


图 13 观察 74LS48 芯片逻辑功能电路

第二部分

先给出二进制数转换 BCD 码的真值表

二进制数				十位数字				个位数字			
Q3	Q2	Q1	Q0	B3	B2	B1	B0	B3	B2	B1	B0
0	0	0	0	0	0	0	0	0	0	0	0

0	0	0	1	0	0	0	0	0	0	0	1
0	0	1	0	0	0	0	0	0	0	1	0
0	0	1	1	0	0	0	0	0	0	1	1
0	1	0	0	0	0	0	0	0	1	0	0
0	1	0	1	0	0	0	0	0	1	0	1
0	1	1	0	0	0	0	0	0	1	1	0
0	1	1	1	0	0	0	0	0	1	1	1
1	0	0	0	0	0	0	0	1	0	0	0
1	0	0	1	0	0	0	0	1	0	0	1
1	0	1	0	0	0	0	1	0	0	0	0
1	0	1	1	0	0	0	1	0	0	0	1
1	1	0	0	0	0	0	1	0	0	1	0
1	1	0	1	0	0	0	1	0	0	1	1
1	1	1	0	0	0	0	1	0	1	0	0
1	1	1	1	0	0	0	1	0	1	0	1

表 2 二进制数与十位数字和个位数字的 BCD 码的转换电路

数字逻辑函数化简

由于十位 B1 B2 B3 恒等于 0，所以直接接地，不再计算

十位 B₀ 卡诺图

$Q_3 Q_2$	00	01	11	10
00	0	0	1	0
01	0	0	1	0
11	0	0	1	1
10	0	0	1	1

$十位 B_0 = Q_3 Q_2 + Q_3 Q_1$

图 14-1 十位 B0 与 Q 的关系

个位 B_3 卡诺图

$Q_3 Q_2$	00	01	11	10
$Q_1 Q_0$				
00	0	0	0	0
01	1	0	0	0
11	0	0	0	0
10	1	0	0	0

个位 $B_3 = Q_3 \bar{Q}_2 \bar{Q}_1 \bar{Q}_0 + Q_3 \bar{Q}_2 \bar{Q}_1 Q_0$

图 14-2 个位 B_3 与 Q 的关系

个位 B_2 卡诺图

$Q_3 Q_2$	00	01	11	10
$Q_1 Q_0$				
00	0	1	0	0
01	0	1	0	0
11	0	1	1	0
10	0	1	1	0

个位 $B_2 = \bar{Q}_3 Q_2 + Q_2 Q_1$

图 14-3 个位 B_2 与 Q 的关系

个位 B_1 卡诺图

$Q_3 Q_2$	00	01	11	10
$Q_1 Q_0$				
00	0	0	1	0
01	0	0	1	0
11	1	1	0	0
10	1	1	0	0

个位 $B_1 = \bar{Q}_3 Q_1 + Q_3 Q_2 \bar{Q}_1$

图 14-4 个位 B_1 与 Q 的关系

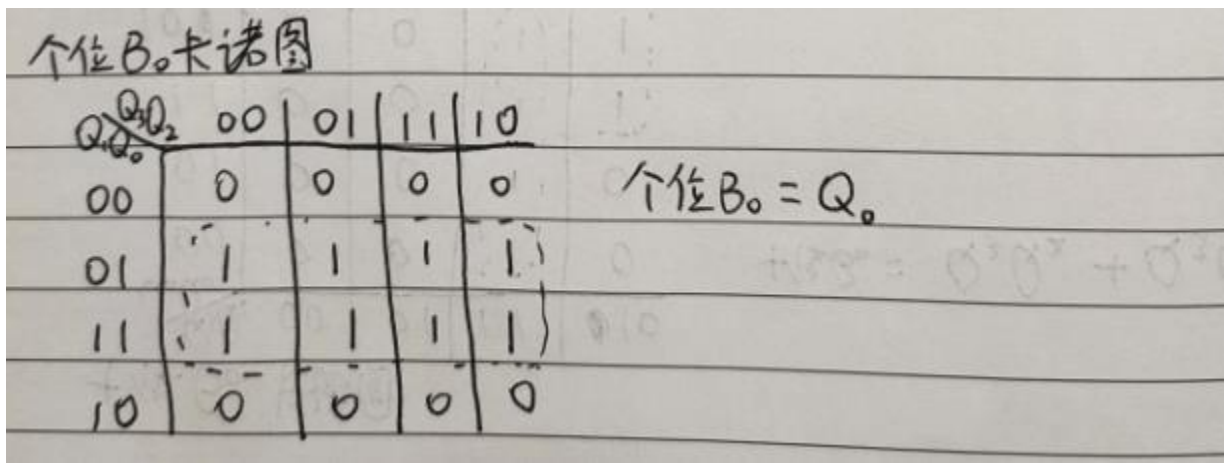


图 14-5 个位 B₀ 与 Q 的关系

将逻辑函数转换为组合逻辑电路，如下图

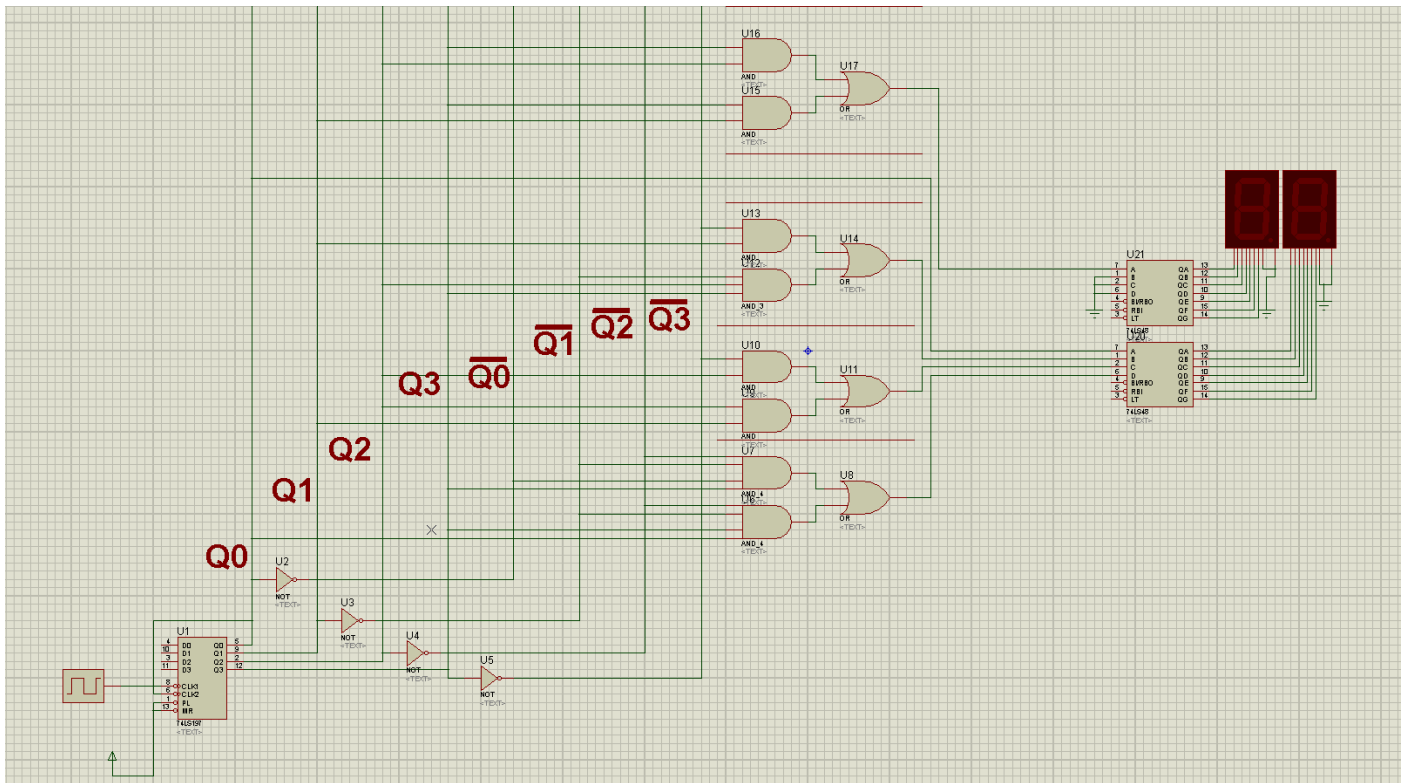


图 15 动态测试二进制转换两位数码管转换电路电路图

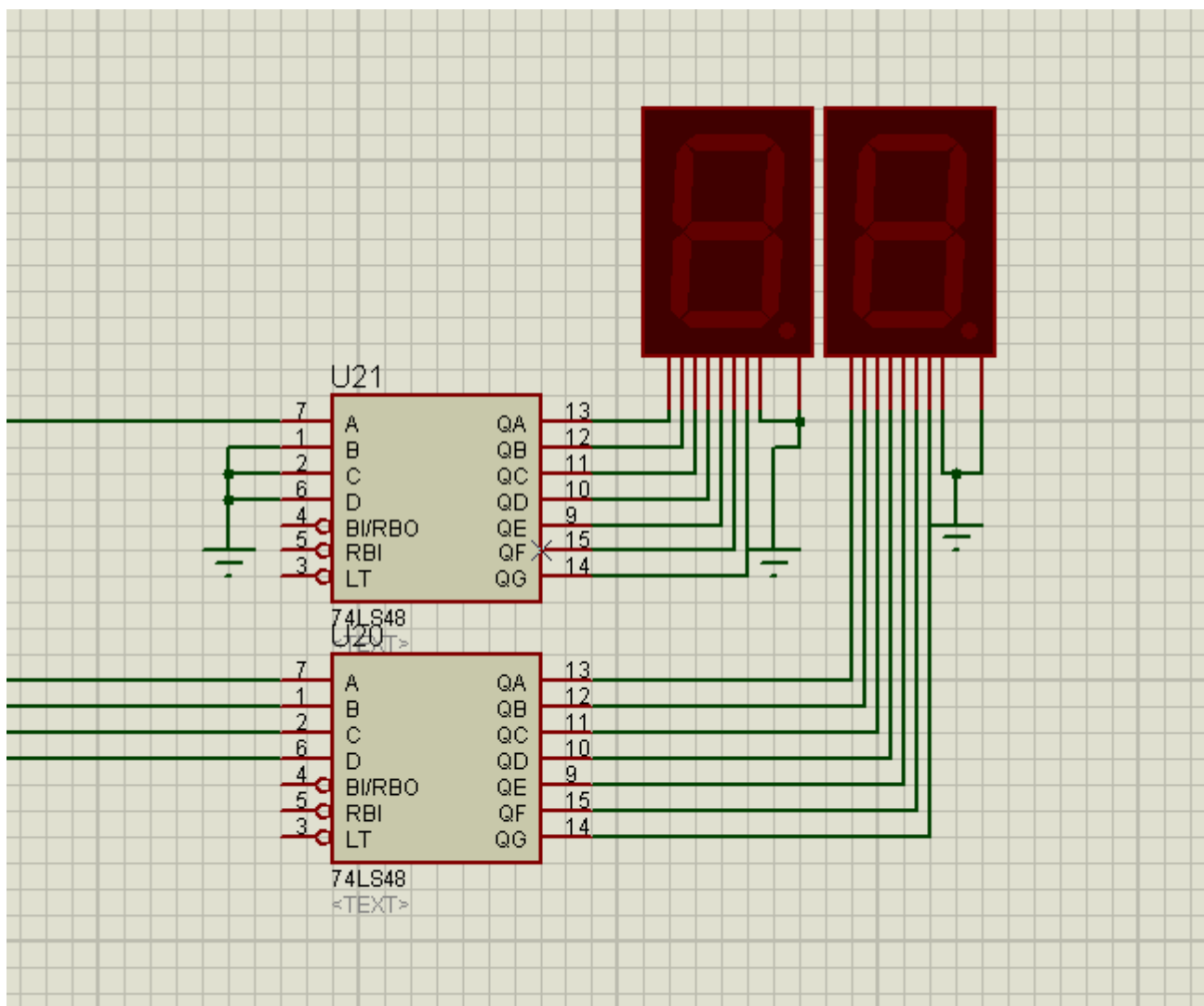


图 16 数码管与 74LS48 电路局部

靠近数码管处细节，十位数字 B1 B2 B3 恒等于 0，所以直接接地

设置脉冲频率为 1hz，接下来进行仿真。

实验结果，分析，结论

第一部分

观察数码管显示变化为从 0-9 再到一些符号，循环重复显示

数码管显示节选

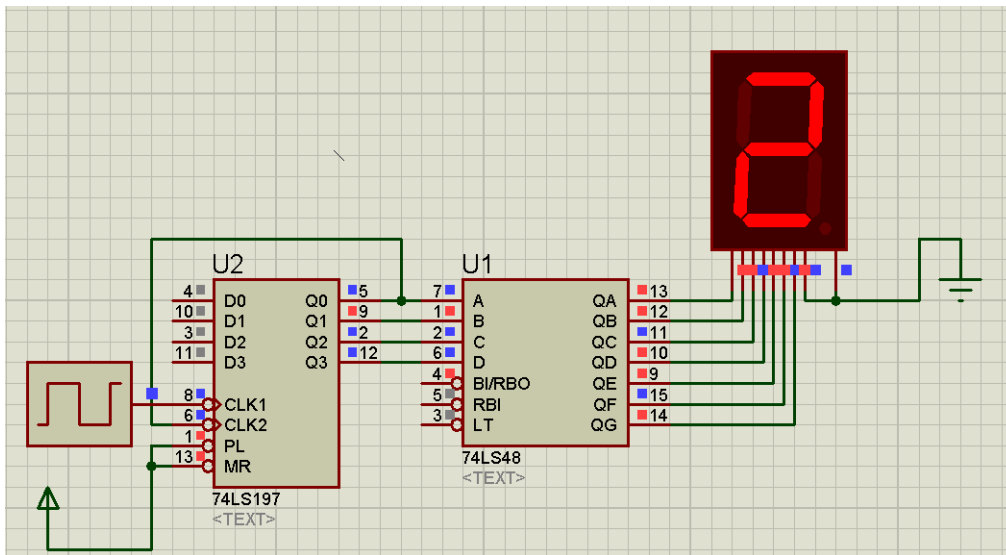


图 17-1 二进制输入 0010，数码管显示 2

分析：二进制输入 0010，数码管显示 2，符合 74LS48 转换规则

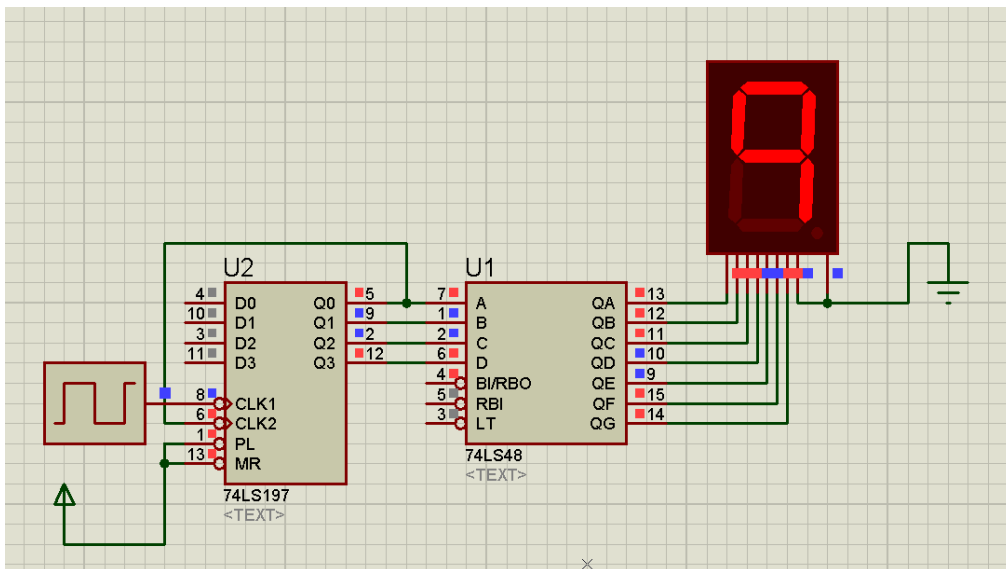


图 17-2 二进制输入 1001，数码管显示 9

分析：二进制输入 1001，数码管显示 9，符合 74LS48 转换规则

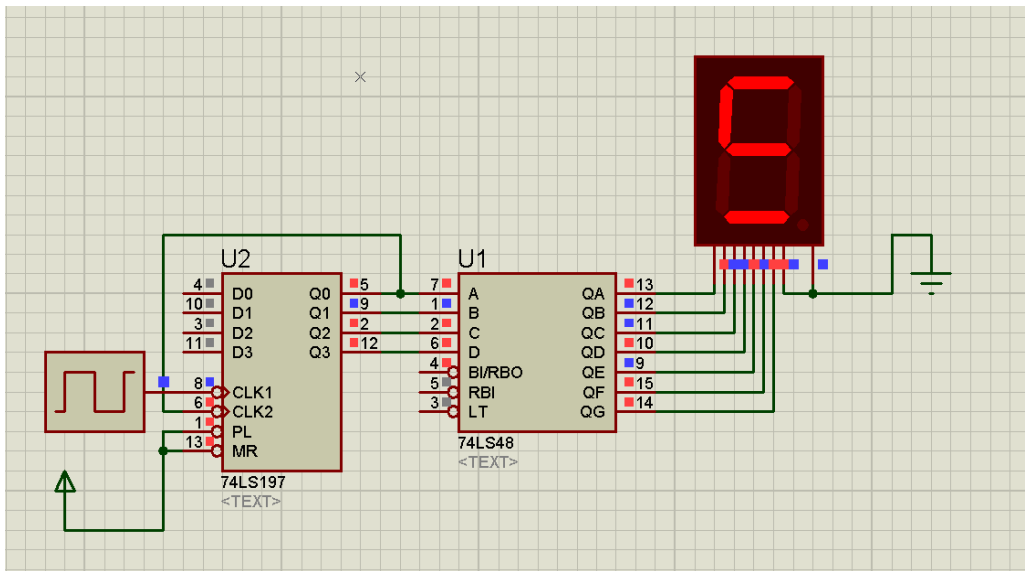
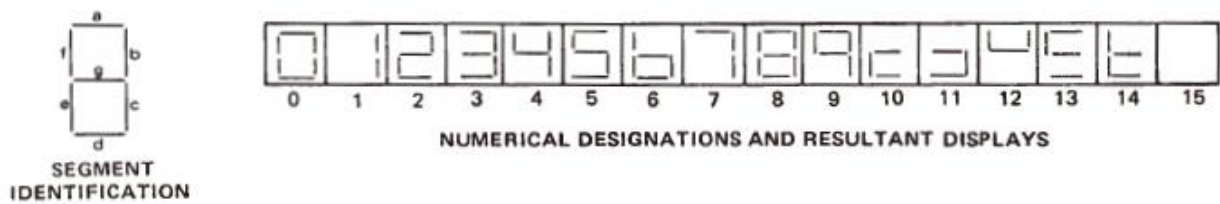


图 17-2 二进制输入 1101，数码管显示不是数字

分析：二进制输入 1101，数码管显示不是数字，经过查询 datasheet 符合 74LS48 转换规则

分析：查阅 74LS48 datasheet 可知，实验结果完全符合 datasheet 的描述



'46A, '47A, 'LS47 FUNCTION TABLE (T1)

DECIMAL OR FUNCTION	INPUTS						$\overline{\text{BI/RBO}}^\dagger$	OUTPUTS							NOTE
	$\overline{\text{LT}}$	$\overline{\text{RBI}}$	D	C	B	A		a	b	c	d	e	f	g	
0	H	H	L	L	L	L	H	ON	ON	ON	ON	ON	ON	OFF	1
1	H	X	L	L	L	H	H	OFF	ON	ON	OFF	OFF	OFF	OFF	
2	H	X	L	L	H	L	H	ON	ON	OFF	ON	ON	OFF	ON	
3	H	X	L	L	H	H	H	ON	ON	ON	ON	OFF	OFF	ON	
4	H	X	L	H	L	L	H	OFF	ON	ON	OFF	OFF	ON	ON	
5	H	X	L	H	L	H	H	ON	OFF	ON	ON	OFF	ON	ON	
6	H	X	L	H	H	L	H	OFF	OFF	ON	ON	ON	ON	ON	
7	H	X	L	H	H	H	H	ON	ON	ON	OFF	OFF	OFF	OFF	
8	H	X	H	L	L	L	H	ON	ON	ON	ON	ON	ON	ON	
9	H	X	H	L	L	H	H	ON	ON	ON	OFF	OFF	ON	ON	
10	H	X	H	L	H	L	H	OFF	OFF	OFF	ON	ON	OFF	ON	
11	H	X	H	L	H	H	H	OFF	OFF	ON	ON	OFF	OFF	ON	
12	H	X	H	H	L	L	H	OFF	ON	OFF	OFF	OFF	ON	ON	
13	H	X	H	H	L	H	H	ON	OFF	OFF	ON	OFF	ON	ON	
14	H	X	H	H	H	L	H	OFF	OFF	OFF	ON	ON	ON	ON	
15	H	X	H	H	H	H	H	OFF	OFF	OFF	OFF	OFF	OFF	OFF	
BI	X	X	X	X	X	X	L	OFF	OFF	OFF	OFF	OFF	OFF	OFF	2
RBI	H	L	L	L	L	L	L	OFF	OFF	OFF	OFF	OFF	OFF	OFF	3
LT	L	X	X	X	X	X	H	ON	ON	ON	ON	ON	ON	ON	4

图 18 74LS48 datasheet 节选

第二部分

十进制数动态显示测试

下面选取三个片段

输入为 0010

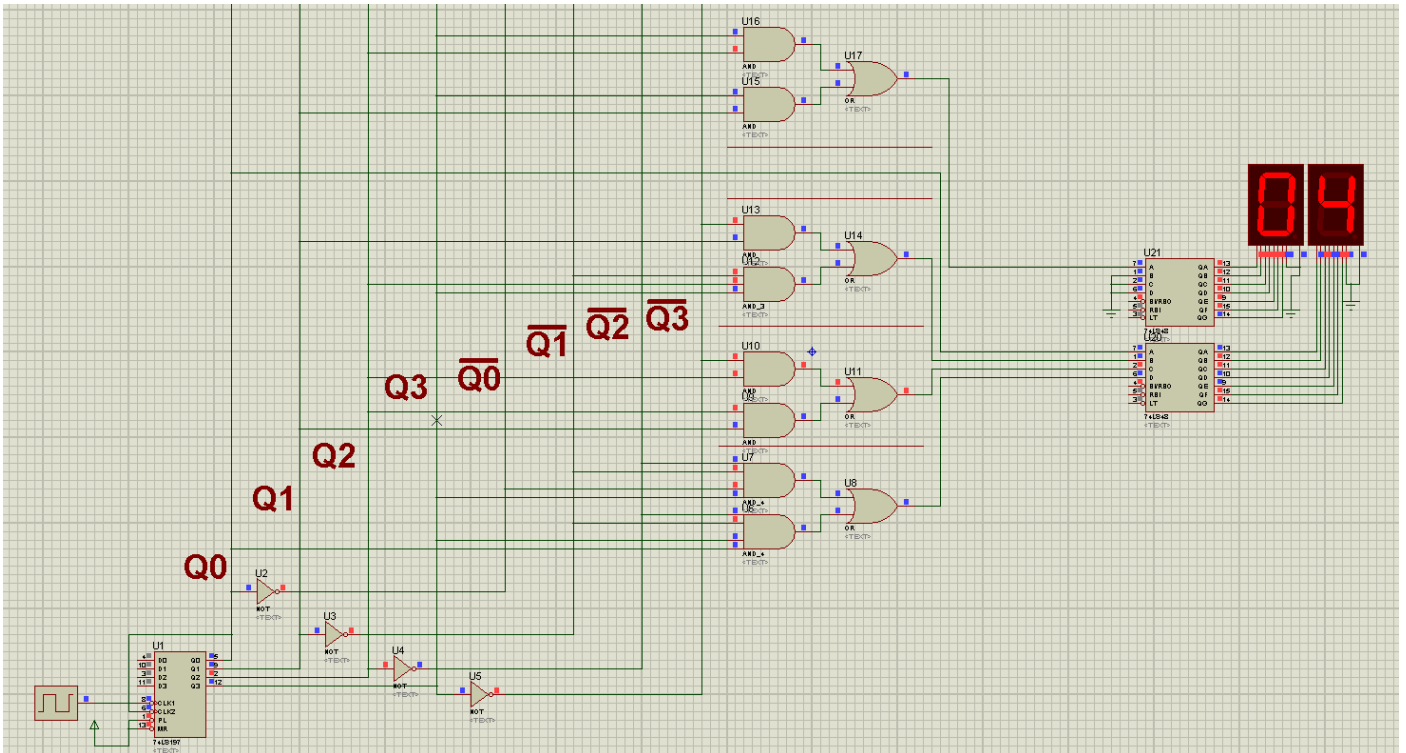


图 19-1 输入为 0010，数码管显示为 04

分析：输入为 0010，数码管显示为 04，符合逻辑电路设计

输入为 0100

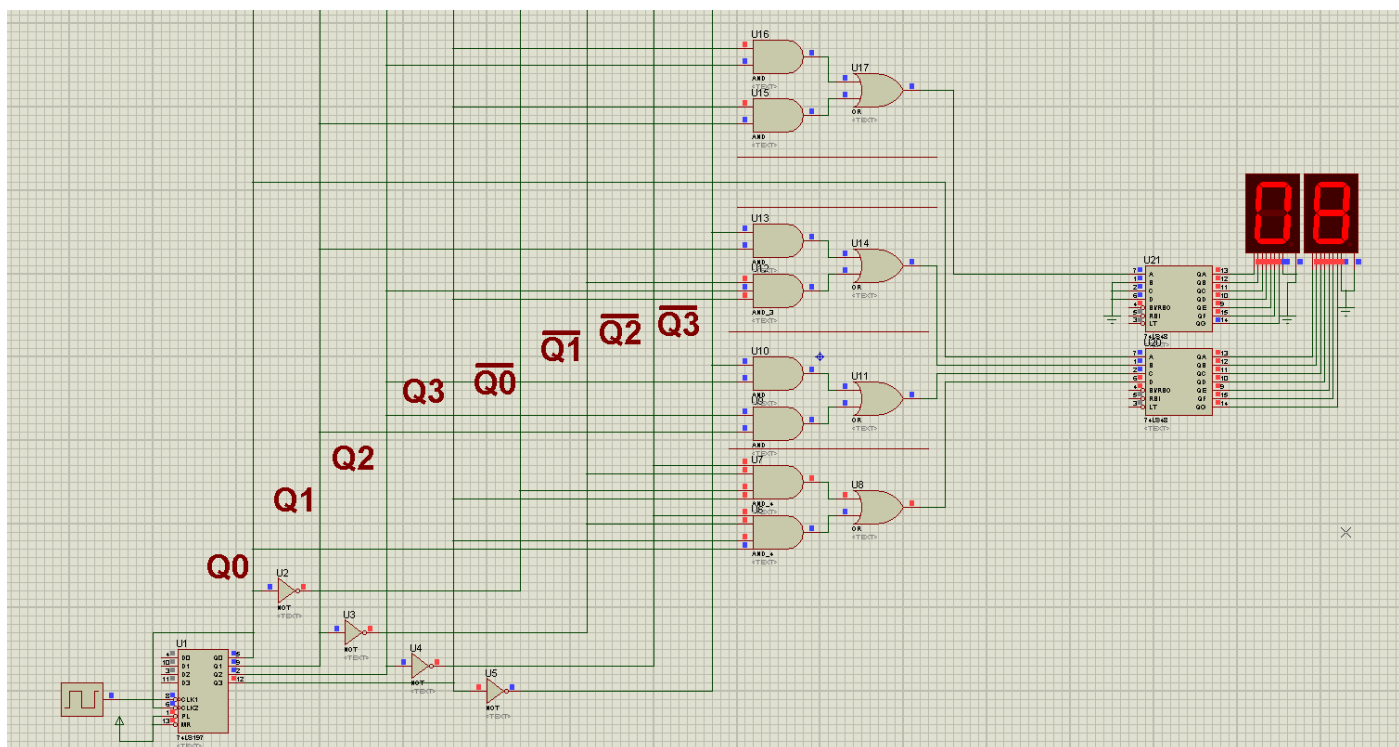


图 19-2 输入为 0010，数码管显示为 08

分析：输入为 0100，数码管显示为 08，符合逻辑电路设计

输入为 1101

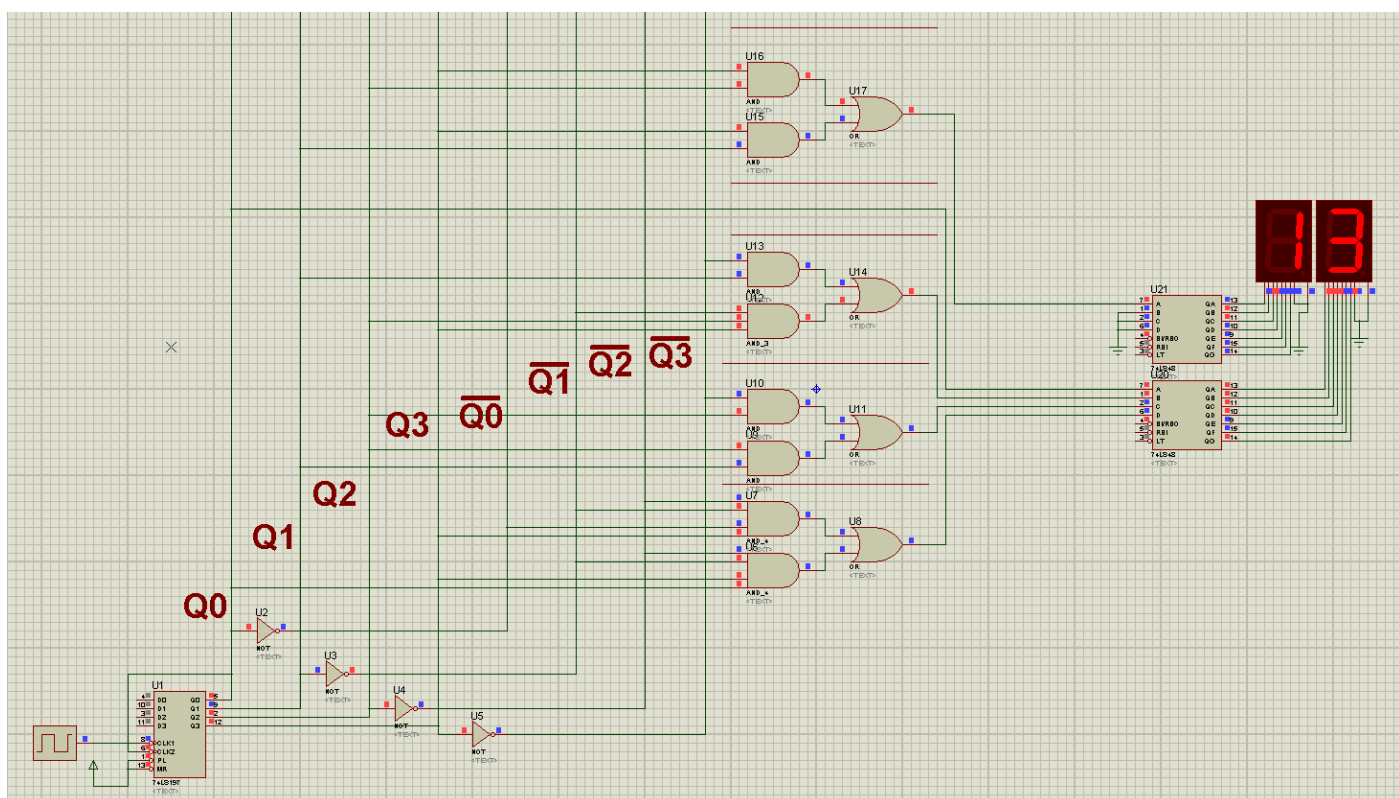


图 19-1 输入为 1101，数码管显示为 13

分析：输入为 1101，数码管显示为 13，符合逻辑电路设计

内容较多，其他数字均符合逻辑电路设计，不再赘述

分析：数码管的显示结果与转换表一一对应，所设计的电路充分实现了所需的二进制数字转换十进制数码管的任务。

实验心得

选用适当的逻辑电路集成芯片，能够大大简化逻辑电路设计时候的复杂程度，不仅节省大量的时间，也大大减少了出错的概率，同时也说明原件与信号复用的重要性。