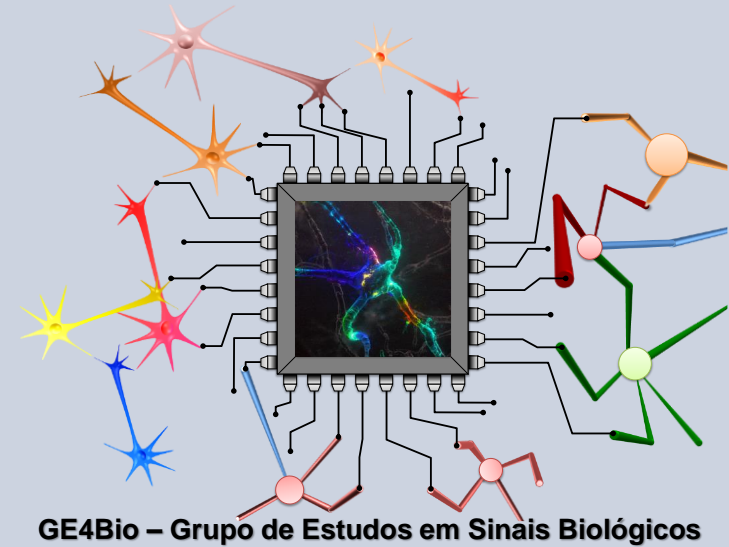


Universidade de São Paulo  
Instituto de Ciências Matemáticas e de Computação  
Departamento de Sistemas de Computação

**SSC512**  
**Elementos de Lógica Digital**

**Latches e Flip Flops**



**Prof.Dr. Danilo Spatti**

**São Carlos - 2018**

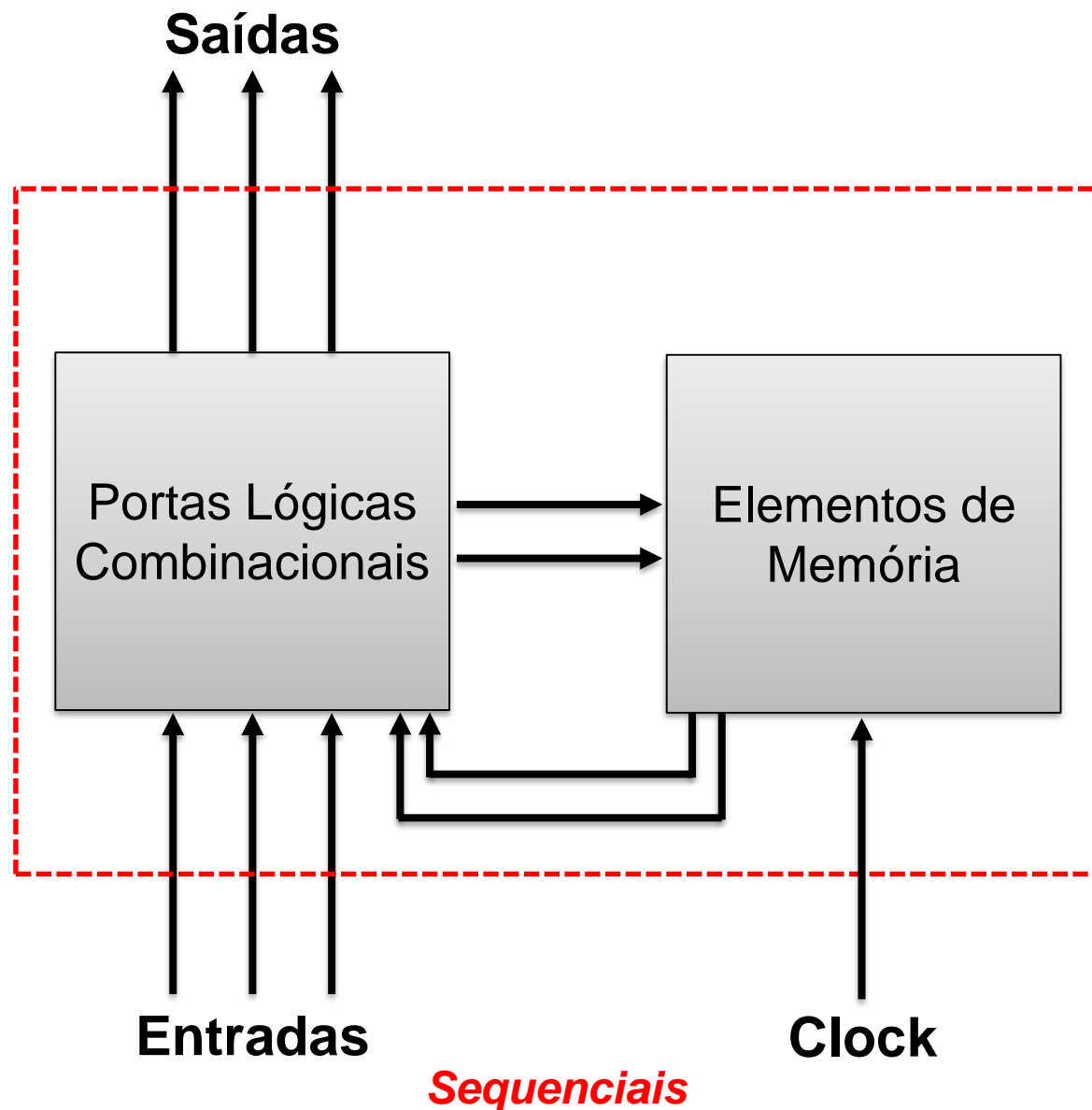
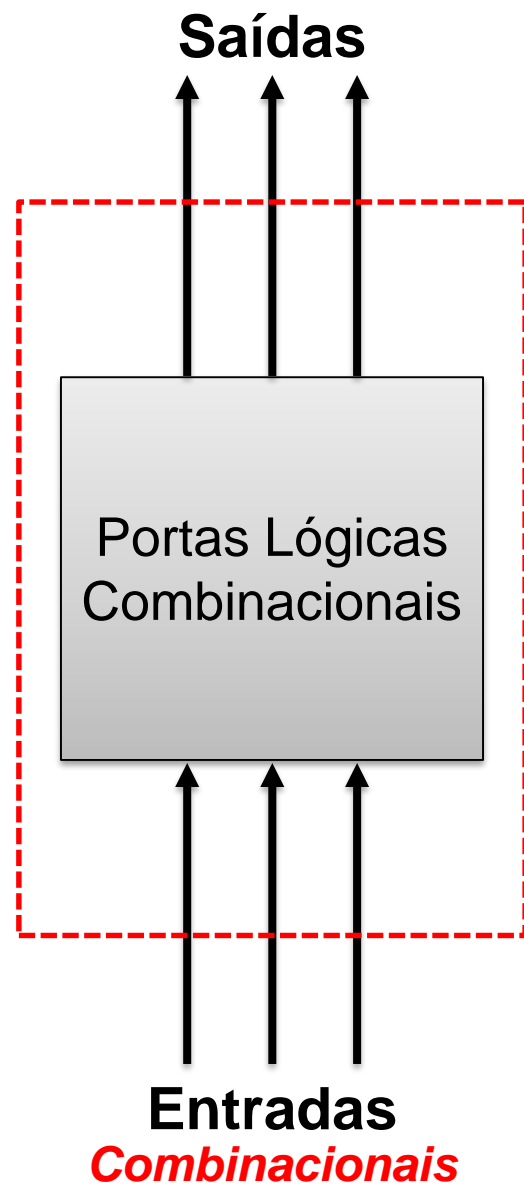
- Em circuitos **combinacionais** a saída em um dado **instante** depende **apenas** da **combinação** das **entradas** neste **instante**.
- Existem projetos que **não podem** ser resolvidos com circuitos **combinacionais**.
- Muitas vezes é necessário **conhecer** o **estado anterior** e a sequência **anterior** para se obter a **saída**.

- Observar uma fileira de 3 lâmpadas.
- As lâmpadas só acendem uma de cada vez.
- Se as lâmpadas acenderem na sequência 1 – 2 – 3, deve-se soar um alarme.



- Um modo de classificar os circuitos digitais seria subdividi-los em Circuitos **Combinacionais** e Circuitos **Sequenciais**.
- Combinacionais são aqueles em que as **saídas dependem unicamente** das **entradas**, seguem a lógica **combinacional** e utiliza a **álgebra** de **Boole** como ferramenta.

- Nos circuitos sequenciais, as saídas dependem das entradas presentes e também da história das entradas no passado.
- Saídas dependem da sequencia de valores lógicos na entrada que conduzem até o presente.
- Apresenta memória e realimentação.

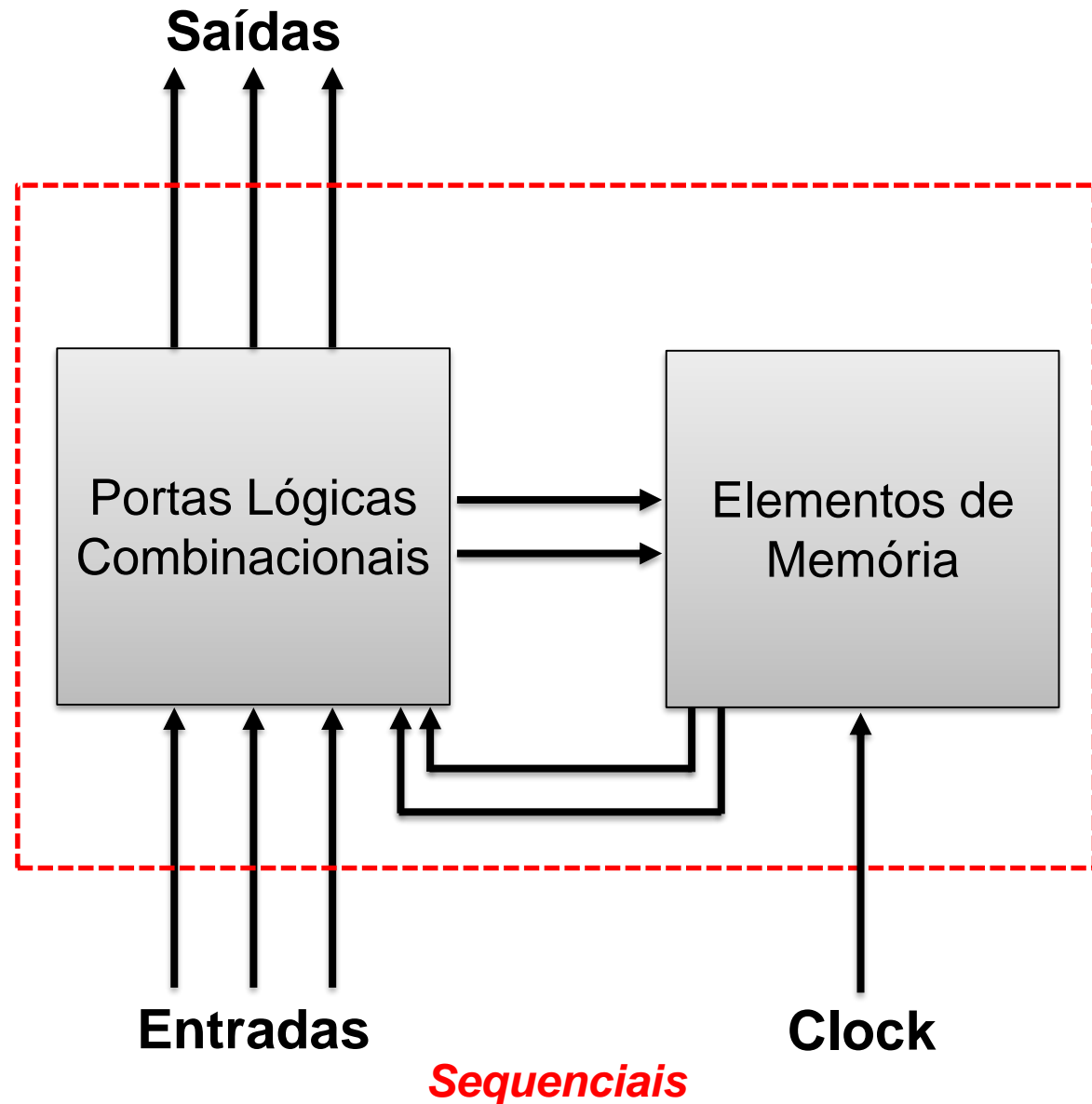


- Possuem suas saídas **dependentes** das variáveis de **entrada** e/ou de seus **estados anteriores**, que permanecem **armazenados**, sendo, **geralmente**, sistemas **pulsados**: operam sob o **comando** de uma **sequência** de **pulsos** denominada **clock**.
- O estado interno **funciona** como uma **memória** que armazena **informações** de eventos **passados** exigidos para o **funcionamento apropriado** do circuito.

- É cada **Estágio** para onde o circuito **sequencial** avança.
- Em cada **Estado**, o circuito armazena uma “recordação” de sua **história** passada, para saber o que **fazer** a **seguir**.
- Estados **não relevantes** não necessitam ser **armazenados**.



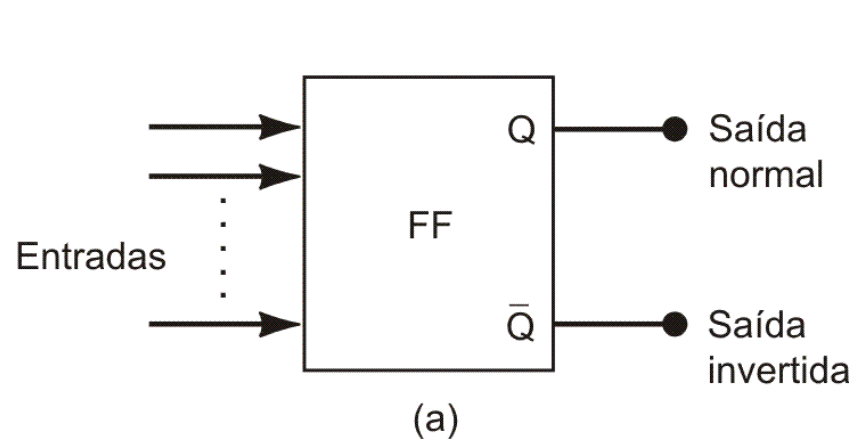
- Elementos de Memória: definem o **Estado presente** e tem como **entrada** o **próximo Estado**
- Portas Lógicas Combinacionais: definem qual é o **próximo Estado** e a **Saída** e tem como entradas o Estado **presente** e as **Entradas**



- Astáveis: circuitos **sem estados estáveis**, mudam **constantemente** de estado sem a necessidade de **estímulos** externos.
- Monoestáveis: circuitos com **um estado estável**, o **repouso**. **Muda** de estado com sinal **externo**, mas **volta** após algum **tempo**.
- Biestáveis: circuitos com **dois estados estáveis**: **repouso** e **ativo**, somente mudam de estado com sinal **externo**. Ex.: latches e flip-flops.

- Elementos **básicos** na construção de **memórias**, pois **armazenam** informações.
- Latch: a **saída** pode **mudar** de estado em **qualquer instante** de tempo, **independente** de um **sinal** de **clock**, **conforme** mudanças nas **entradas**.
- Flip-flop: a **saída somente muda** de estado em **instantes** de tempo **determinados** por um sinal de **clock**.

- Possui **2** estados de saída **possíveis**:  
 $Q = 1$  e  $Q = 0$ .



#### Estados de saída

$Q = 1, \bar{Q} = 0$ :

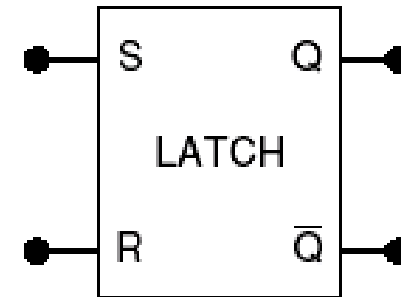
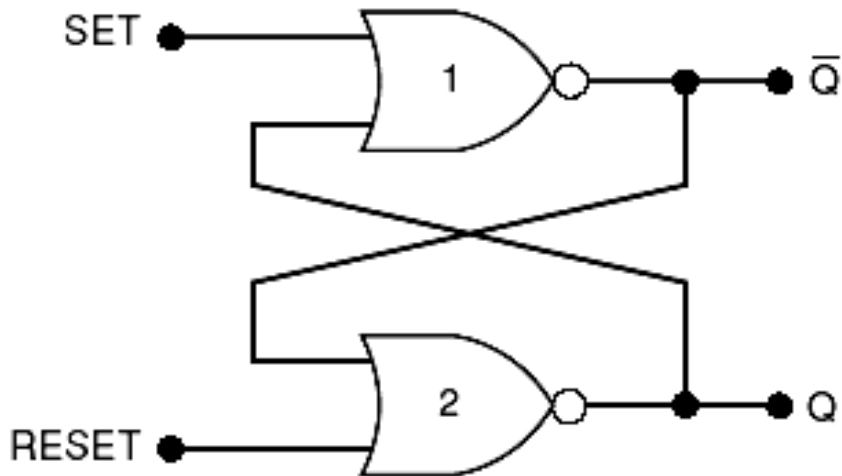
denominado estado ALTO ou 1;  
também chamado de estado SET

$Q = 0, \bar{Q} = 1$ :

denominado estado BAIXO ou 0;  
também chamado de estado CLEAR  
ou RESET

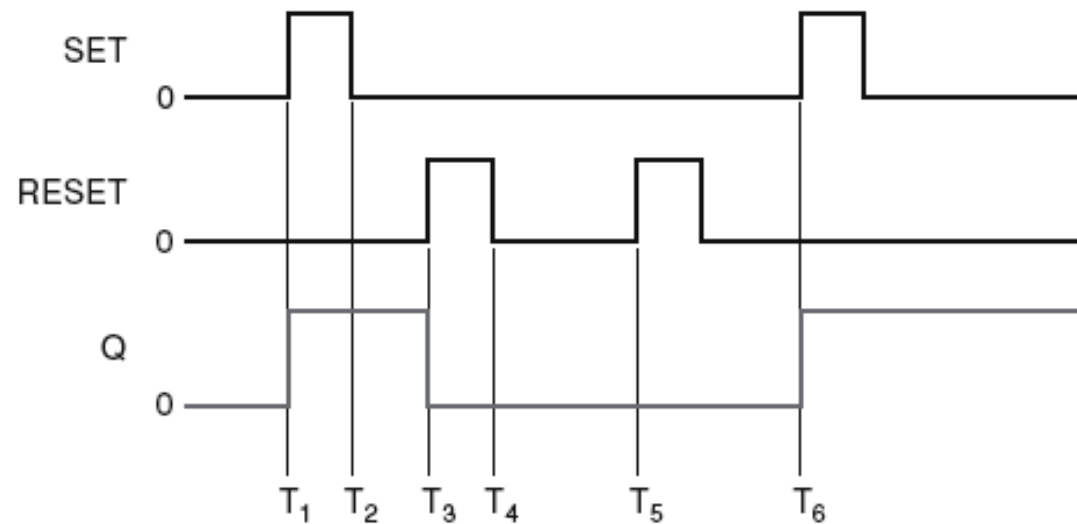
(b)

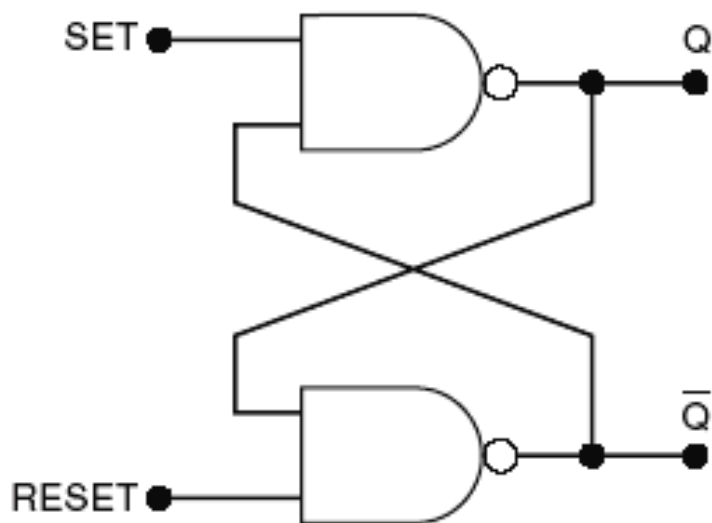
- Também chamados de circuitos **Assíncronos**.
- As saídas podem **mudar** de estado a **qualquer momento** em que uma ou mais **entradas** mudarem de **estado**.
- Há um **atraso** entre a **mudança** na entrada e a alteração da **saída**.



Set	Reset	Saída
0	0	Não muda
1	0	$Q = 1$
0	1	$Q = 0$
1	1	Inválida*

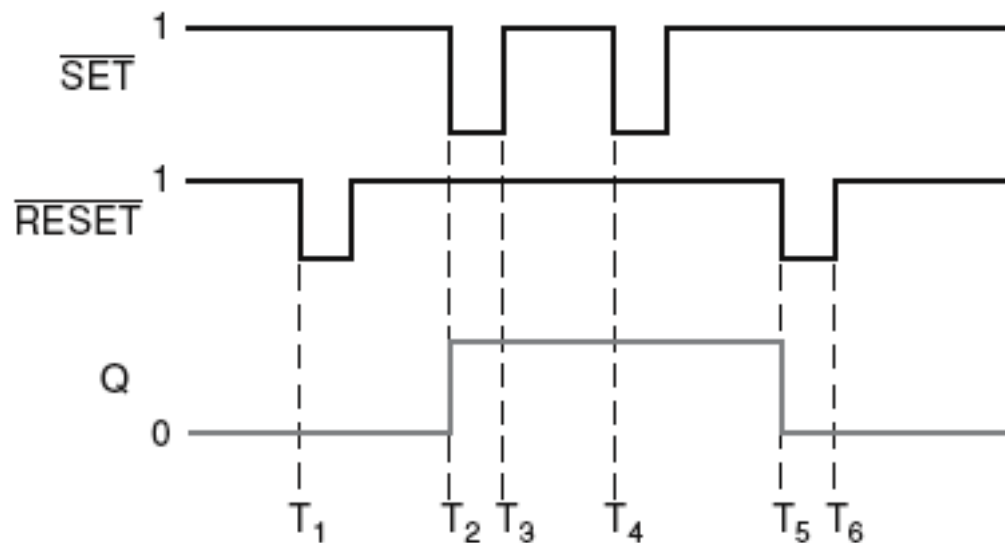
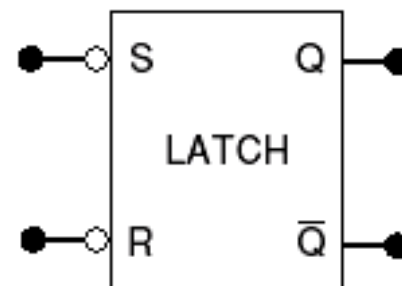
\*Prodüz  $Q = \bar{Q} = 0$ .



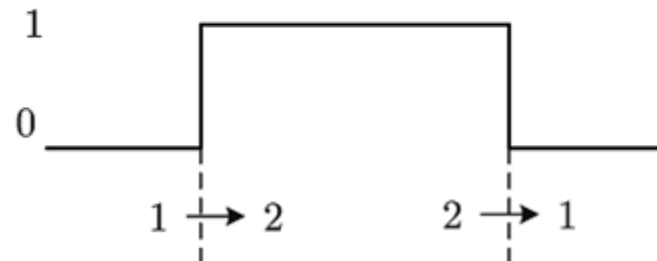
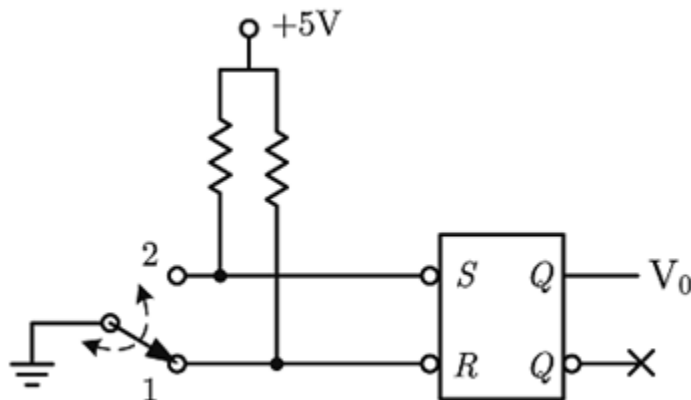
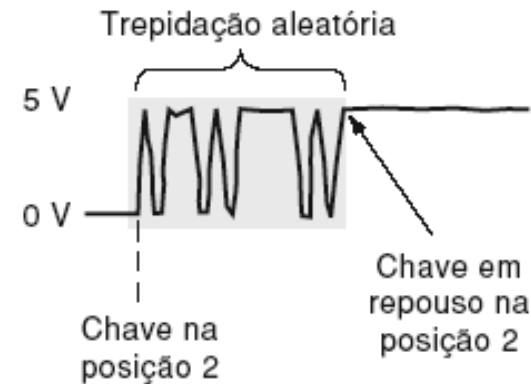
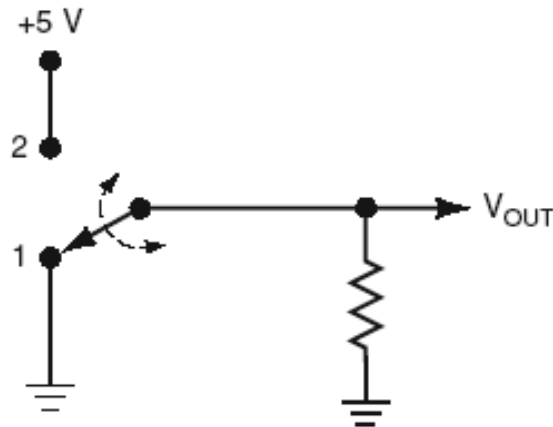


Set	Reset	Saída
1	1	Não muda
0	1	$Q = 1$
1	0	$Q = 0$
0	0	Inválida*

\*Prodüz  $Q = \bar{Q} = 1$ .

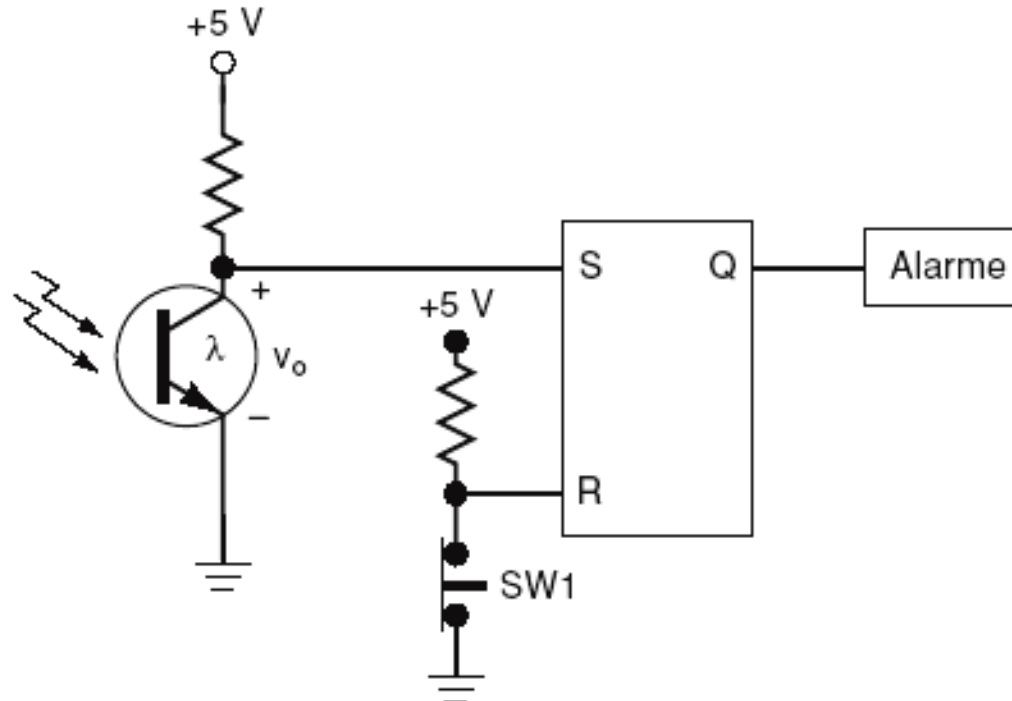


- Esse fenômeno consiste em **variações indesejadas da tensão de saída** durante a mudança da **posição** de uma **chave** mecânica.



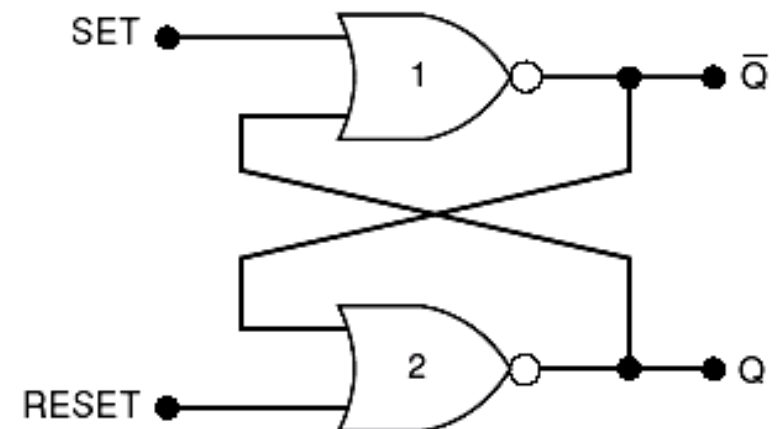
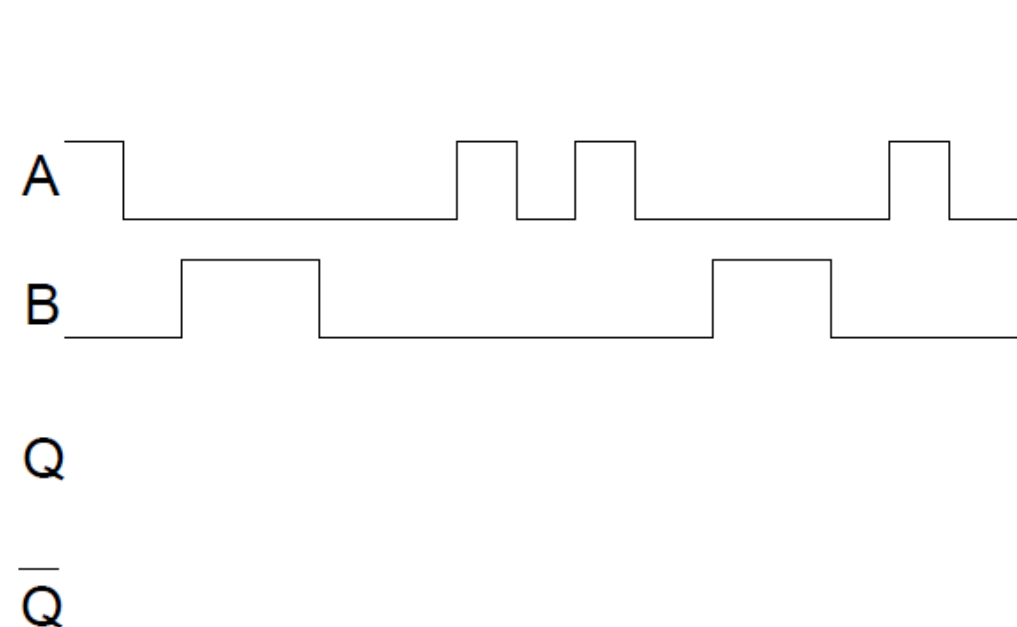


- Utiliza-se um **fototransistor** que é acionado por **luz**. Para inicialização do circuito, a chave **SW1** deve ser pressionada para colocar o latch em reset.



- Se o feixe de luz for **interrompido**, o fototransistor pára de conduzir, o que leva o latch para o estado set, acionando o alarme. Este somente é desligado pela chave SW1.

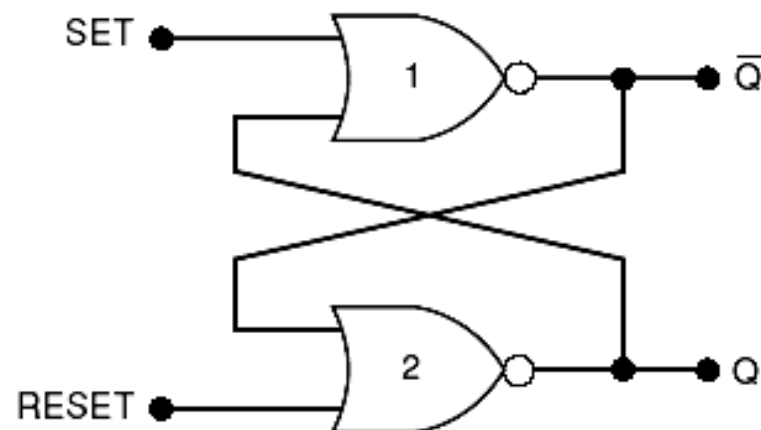
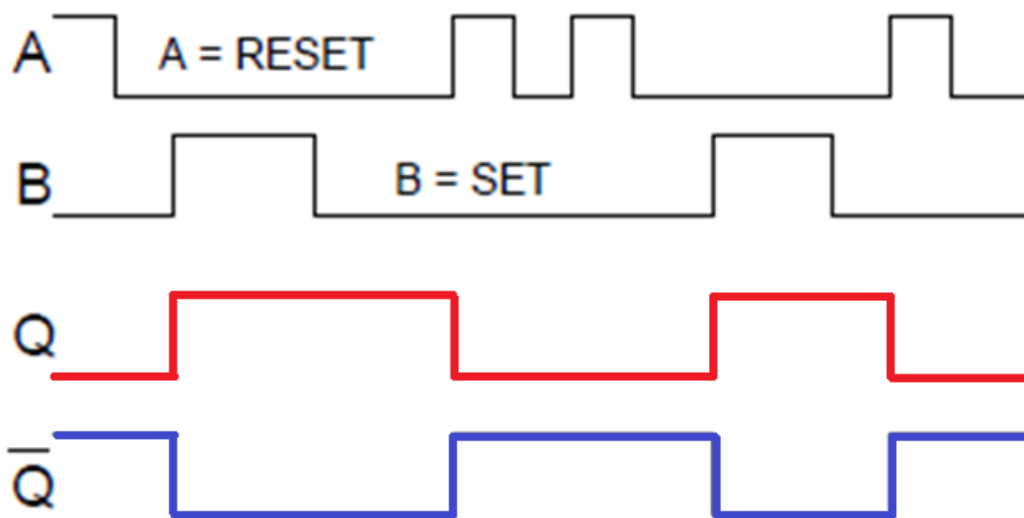
- Para a figura abaixo , Sendo A= Reset e B= Set, desenhe as formas de onda nas saídas em função dos sinais aplicados.



Set	Reset	Saída
0	0	Não muda
1	0	$Q = 1$
0	1	$Q = 0$
1	1	Inválida*

\*Produz  $Q = \bar{Q} = 0$ .

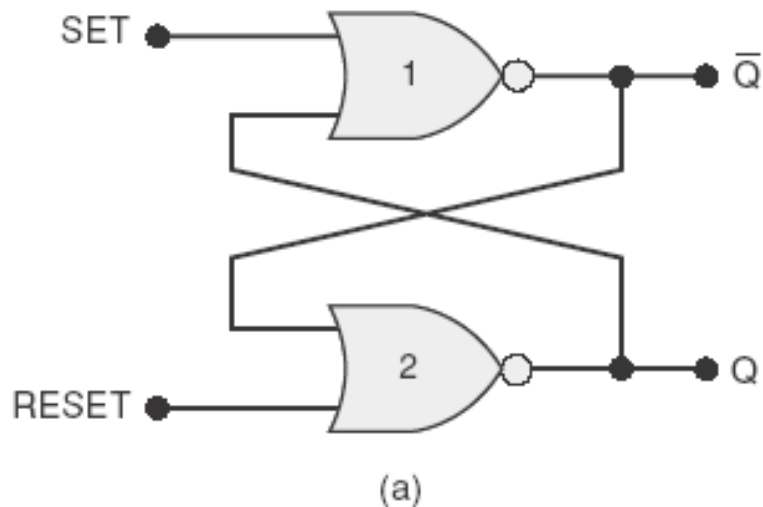
- Para a figura abaixo , Sendo A= Reset e B= Set, desenhe as formas de onda nas saídas em função dos sinais aplicados.



Set	Reset	Saída
0	0	Não muda
1	0	$Q = 1$
0	1	$Q = 0$
1	1	Inválida*

\*Prodiz  $Q = \bar{Q} = 0$ .

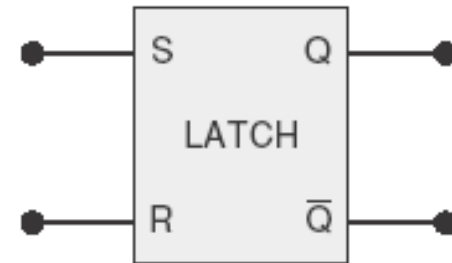
- Set e Reset ativados em nível lógico alto
- Estado proibido: saída = 0 0



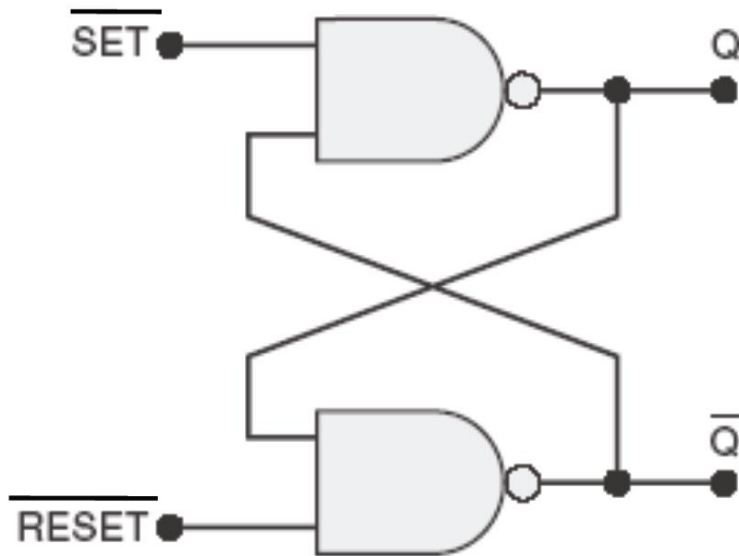
Set	Reset	Saída
0	0	Não muda
1	0	$Q = 1$
0	1	$Q = 0$
1	1	Inválida*

\*Produz  $Q = \bar{Q} = 0$ .

(b)

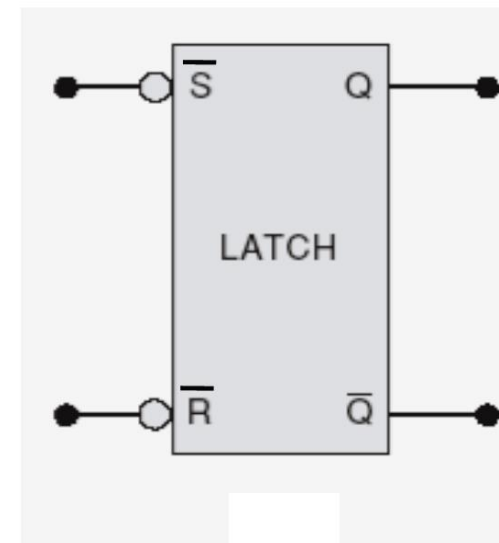


- Set e Reset ativados em nível lógico baixo
- Estado proibido: saída = 1 1

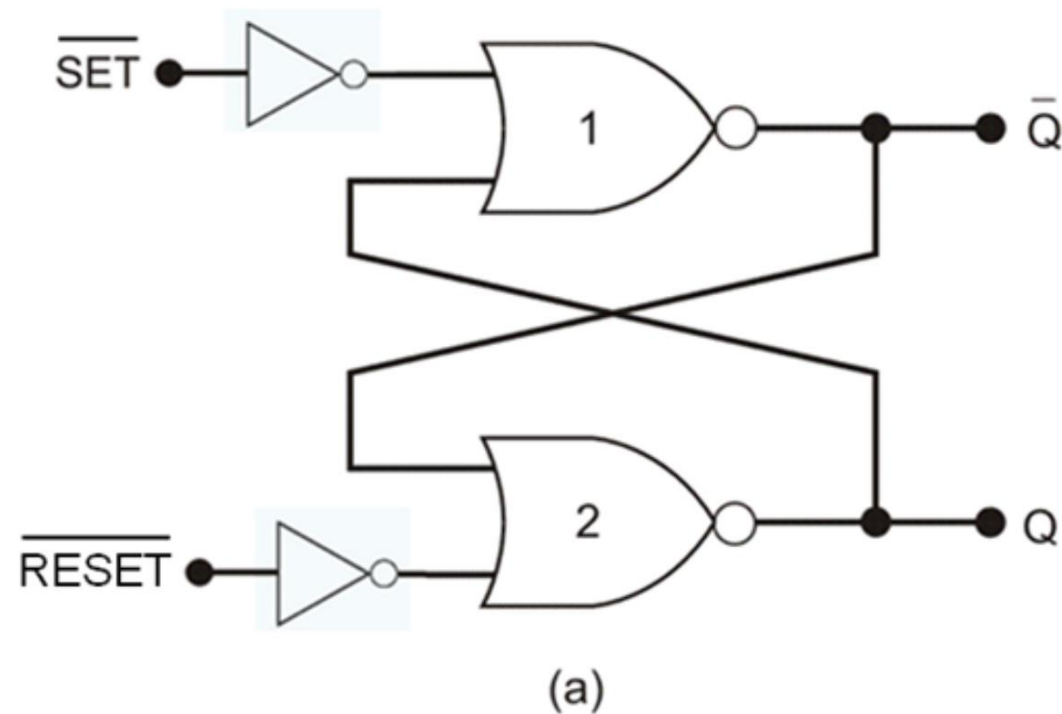


Set	Reset	Saída
1	1	Não muda
0	1	$Q = 1$
1	0	$Q = 0$
0	0	Inválida*

\*Produz  $Q = \bar{Q} = 1$ .



- Set e Reset ativados em nível lógico baixo
- Estado proibido: saída = 0 0

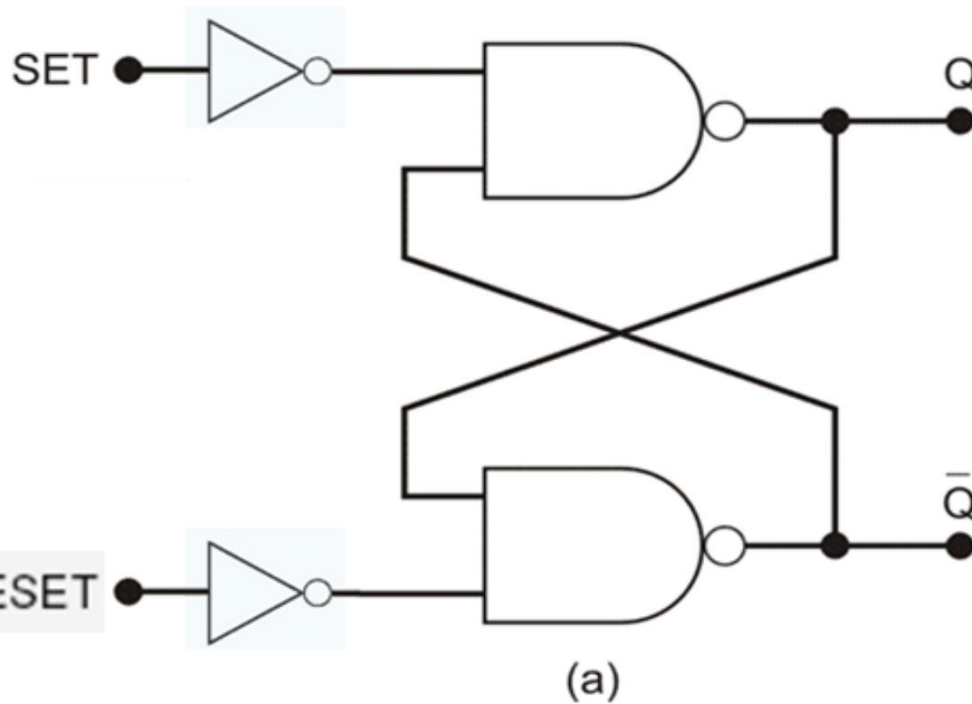


Set	Reset	Saída
1	1	Não muda
0	1	$Q = 1$
1	0	$Q = 0$
0	0	Inválida*

\*Prodüz  $Q = \bar{Q} = 0$ .

(b)

- Set e Reset ativados em nível lógico alto
- Estado proibido: saída = 1 1



Set	Reset	Saída
0	0	Não muda
1	0	$Q = 1$
0	1	$Q = 0$
1	1	Inválida*

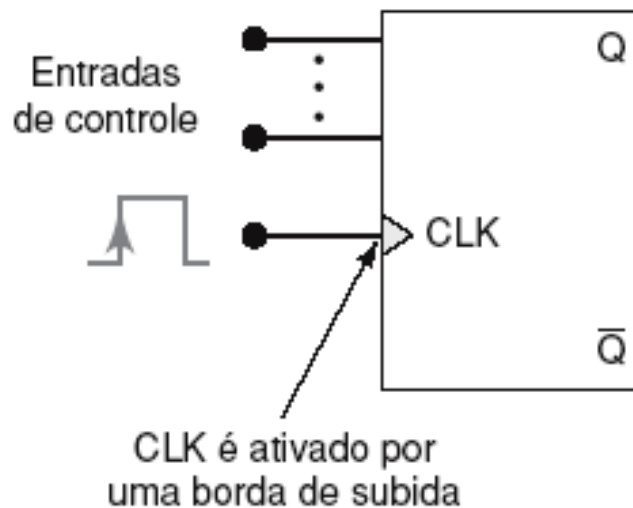
\*Prodüz  $Q = \bar{Q} = 1$

(b)

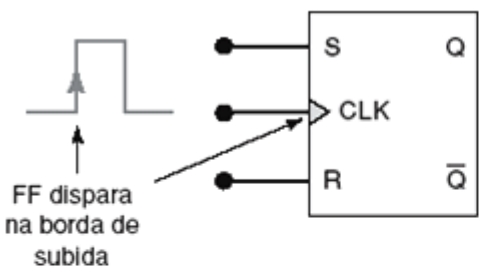
- Também chamados de circuitos **Síncronos**.
- O momento **exato** em que a saída pode **mudar** de **estado** é determinado por um sinal **periódico**: clock.
- Geralmente um **trem** de **pulsos** de onda **quadrada**.
- Sensível à **nível** ou à **borda** (subida ou descida) do clock.



- A diferença básica entre um latch e um Flip-Flop (FF) é a presença de um sinal de **clock**.
- A saída de um FF **somente** se **modifica** quando uma dada **condição** do **clock acontece**, geralmente, **borda de subida** ou **descida** do sinal.

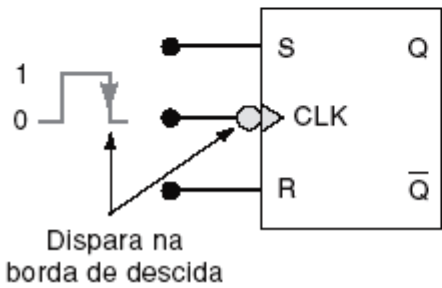


- Não tem versões comerciais, base teórica para outros FF.

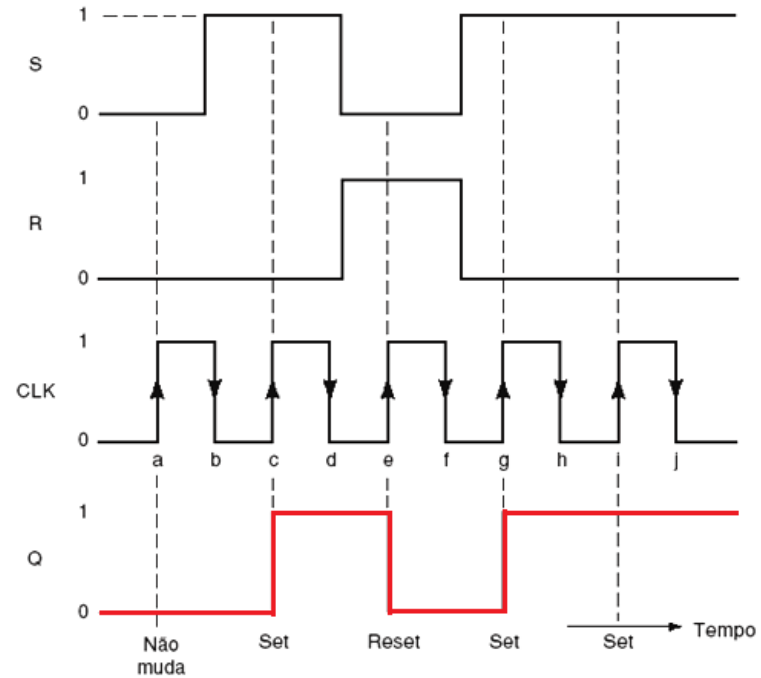


Entradas			Saída
S	R	CLK	Q
0	0	↑	$Q_0$ (Não muda)
1	0	↑	1
0	1	↑	0
1	1	↑	Ambíguo

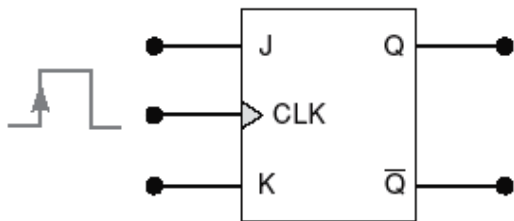
$Q_0$  é o nível de saída anterior a ↑ de CLK.  
↓ de CLK não produz mudança em Q.



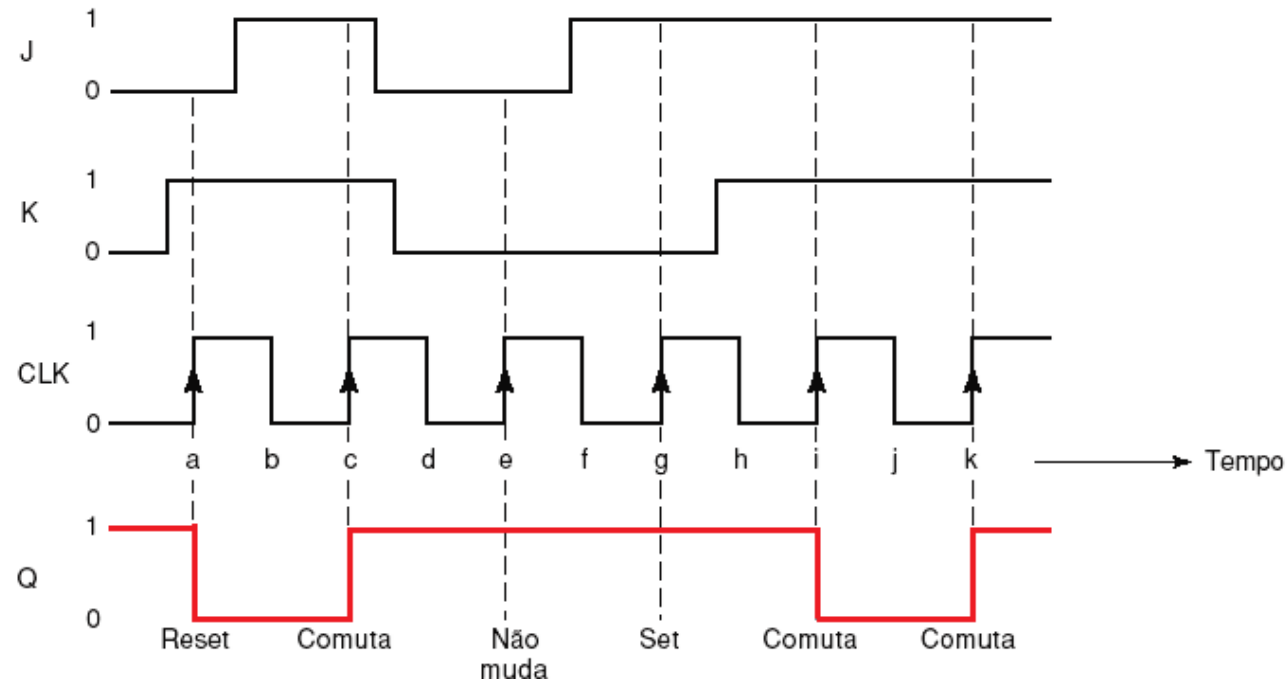
Entradas			Saída
S	R	CLK	Q
0	0	↓	$Q_0$ (não muda)
1	0	↓	1
0	1	↓	0
1	1	↓	Ambíguo



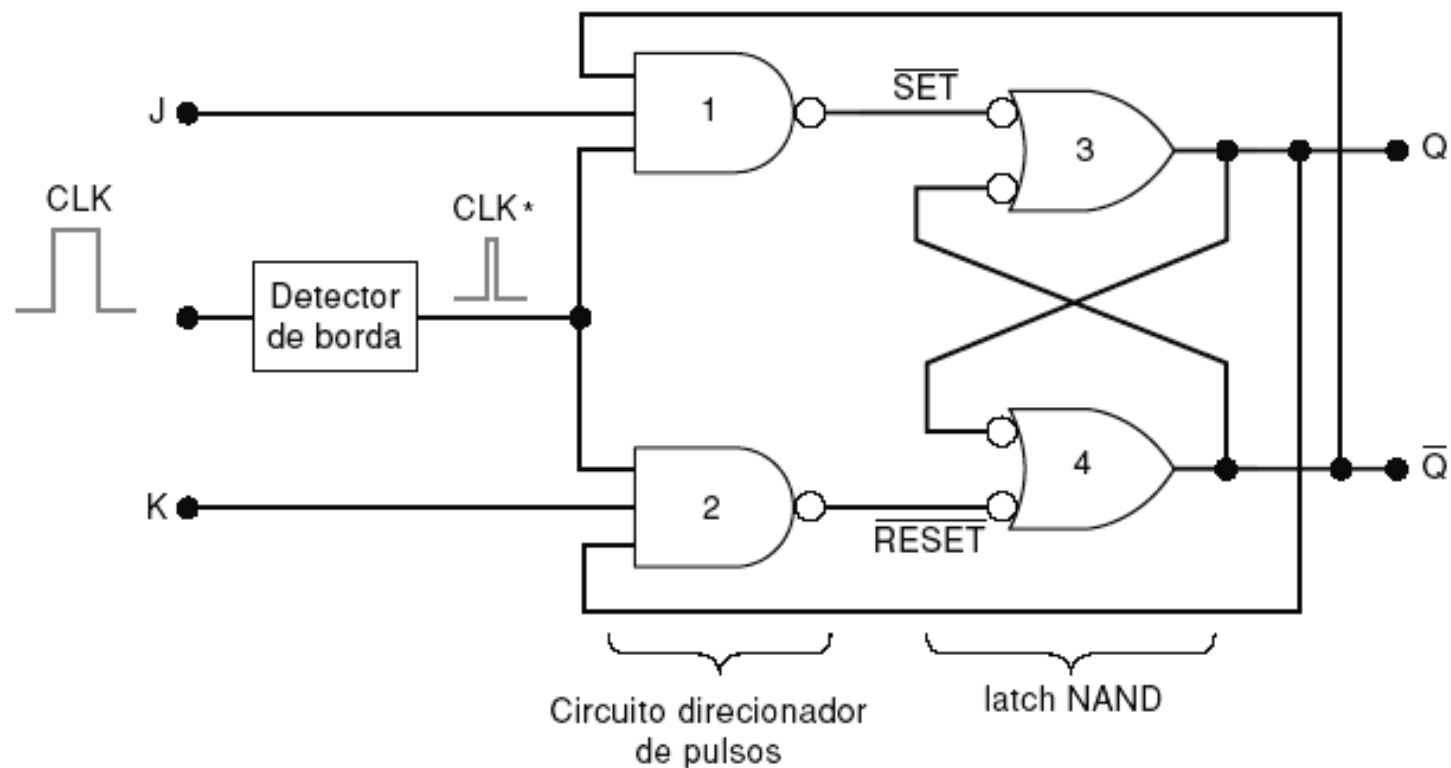
- Não tem estado instável e tem modo de comutação (toggle mode)



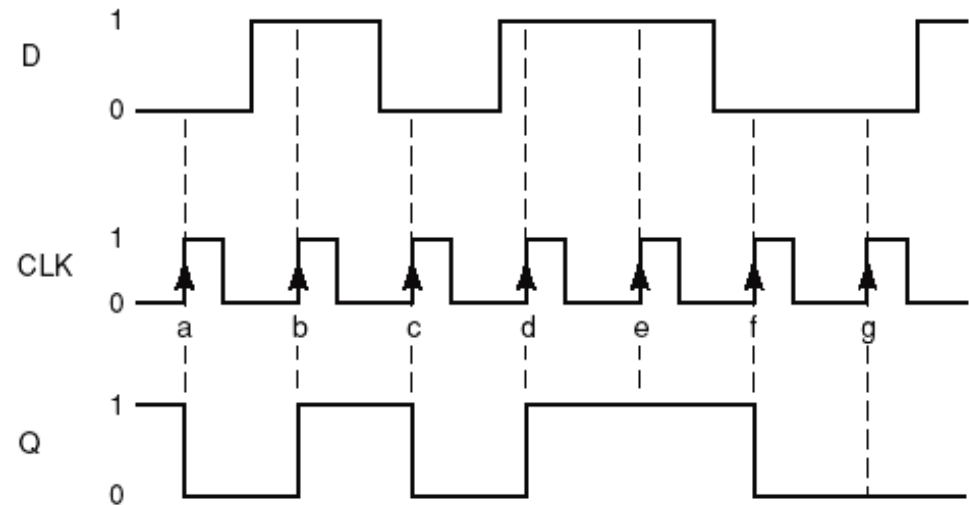
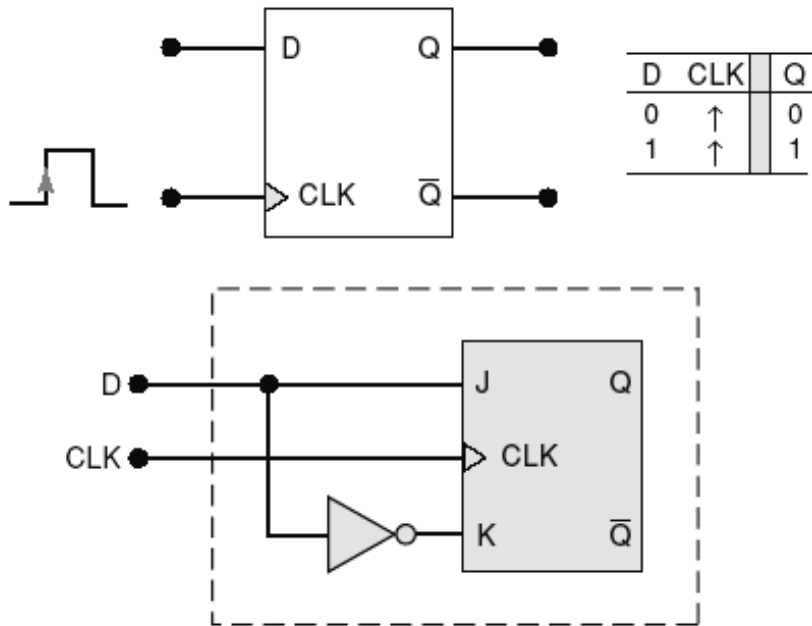
J	K	CLK	Q
0	0	↑	$Q_0$ (não muda)
1	0	↑	1
0	1	↑	0
1	1	↑	$\overline{Q_0}$ (comuta)



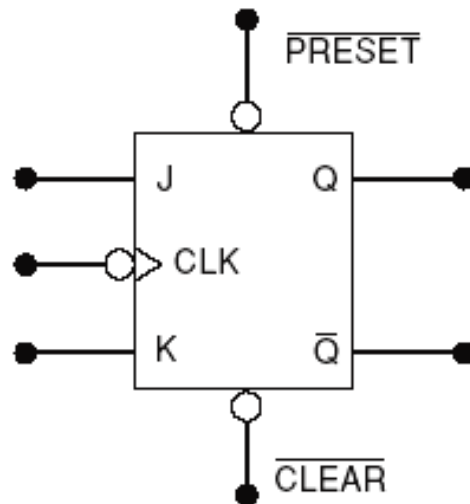
- O circuito interno do FF JK é fundamentado no FF RS porém utiliza uma **nova** realimentação da **saída**.



- A saída **copia** a **entrada** D de acordo com o **sinal** de **clock**. Pode ser obtido a partir de um FF JK usando um inversor.

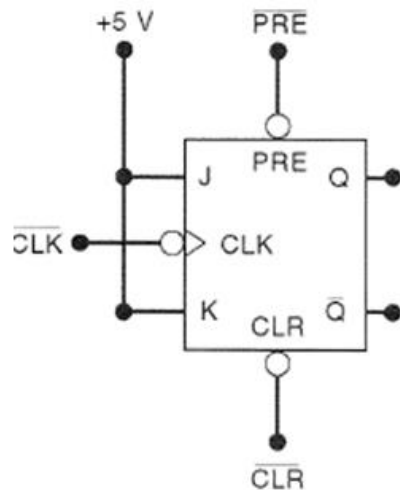


- Geralmente, os FF **comerciais** possuem entradas **assíncronas**, como clear ou preset, as quais **modificam** a **saída independente** do sinal de **clock**.

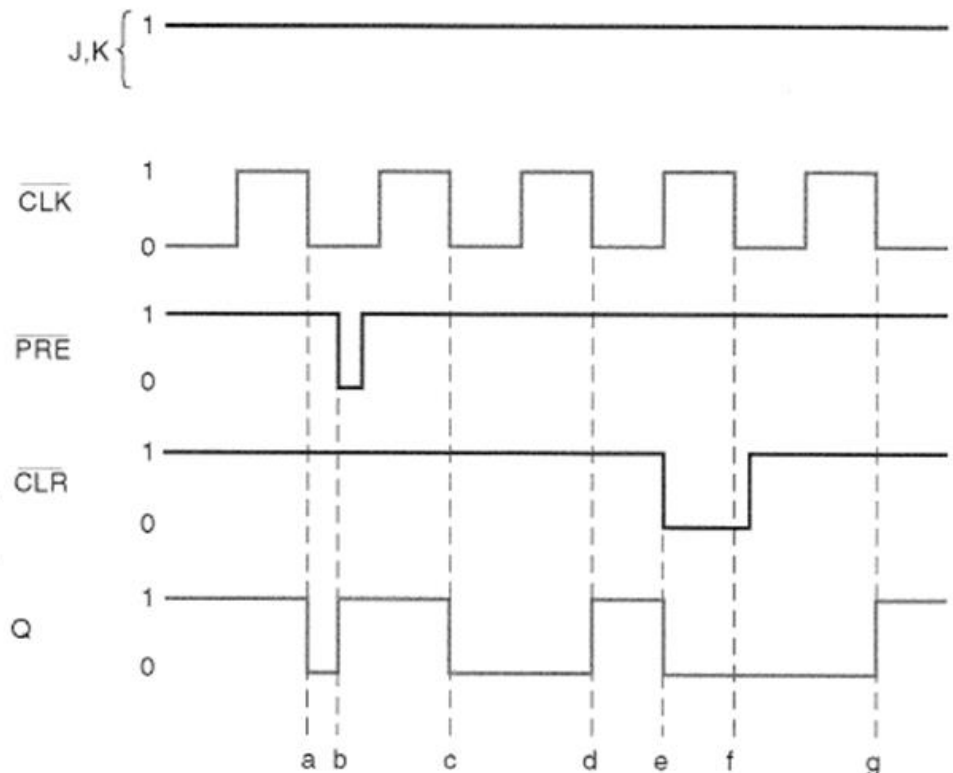


J	K	CLK	$\overline{\text{PRE}}$	$\overline{\text{CLR}}$	Q
0	0	↓	1	1	Q (não muda)
0	1	↓	1	1	0 (reset síncrono)
1	0	↓	1	1	1 (set síncrono)
1	1	↓	1	1	$\overline{Q}$ (toggle síncrono ou comutação síncrona)
x	x	x	1	1	Q (não muda)
x	x	x	1	0	0 (clear assíncrono)
x	x	x	0	1	1 (preset assíncrono)
x	x	x	0	0	(Inválido)

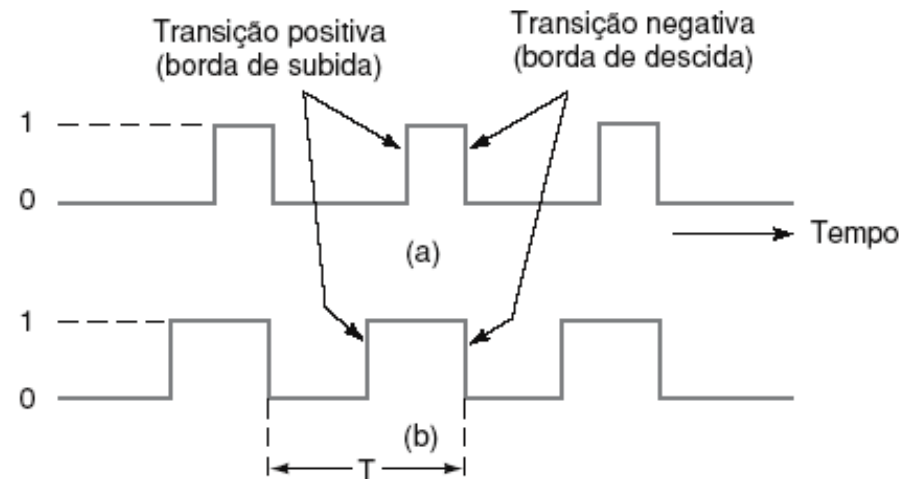
- Geralmente, os FF **comerciais** possuem entradas **assíncronas**, como clear ou preset, as quais **modificam** a **saída independente** do sinal de **clock**.



Ponto	Operação
a	Comutação sincronizada com a descida de $\overline{\text{CLK}}$
b	Q é assincronamente colocado em 1 quando $\overline{\text{PRE}} = 0$
c	Comutação síncrona
d	Comutação síncrona
e	Q é assincronamente colocado em 0 quando $\overline{\text{CLR}} = 0$
f	$\overline{\text{CLR}}$ se sobrepõe à transição negativa de $\overline{\text{CLK}}$
g	Comutação síncrona

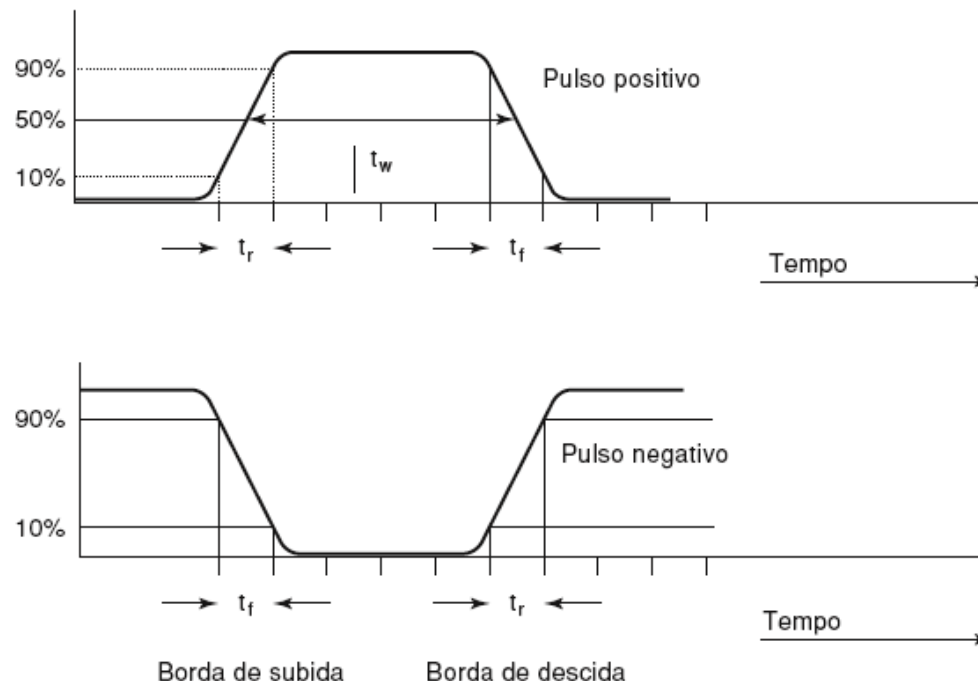


- Um **pulso** digital é um **sinal** que quando **passa** de um nível **lógico** para **outro** e **depois volta** realiza uma **ação** em um **dispositivo**.
- Dois tipos: pulsos **positivos**, quando a ação ocorre no nível **alto**, ou **negativos**, quando ocorre no nível **baixo**.
- Um sinal de **clock** é um **trem** de pulsos com **período** (frequência) **fixo**.
- O ciclo **ativo** (duty cycle) é definido pela **razão** entre o tempo **ativo** e o período do sinal.

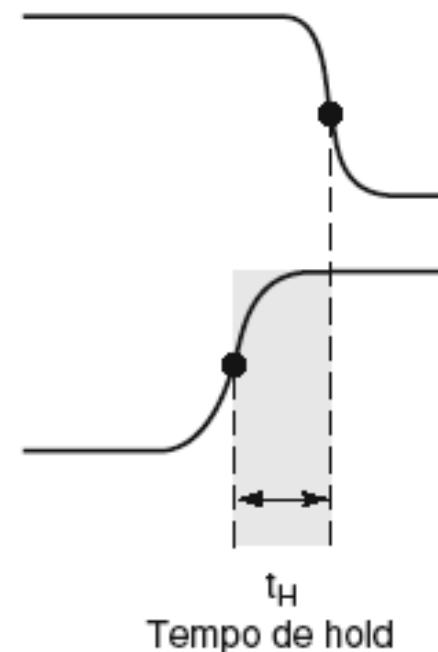
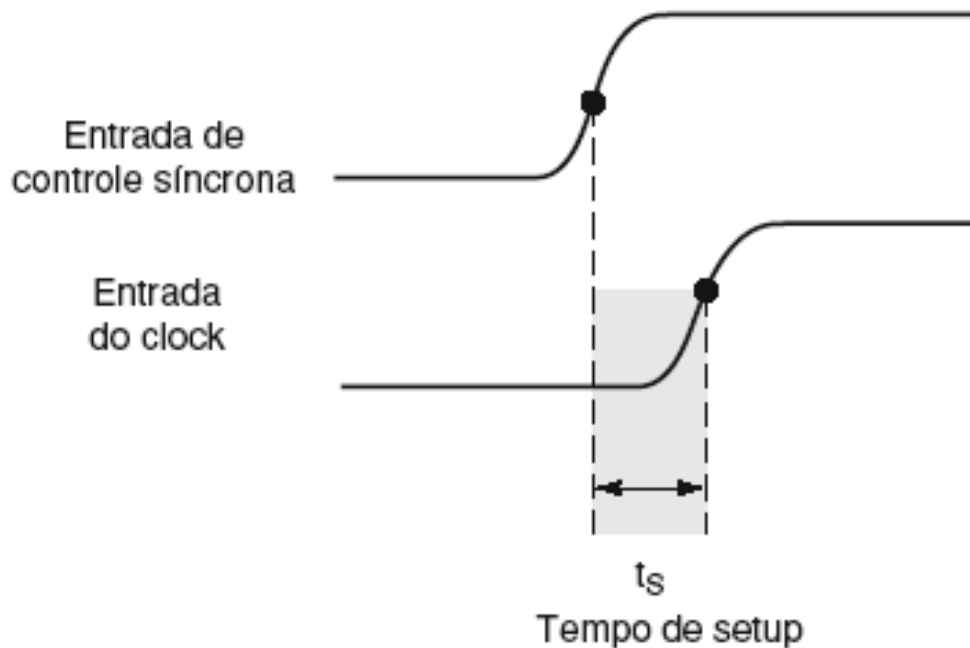




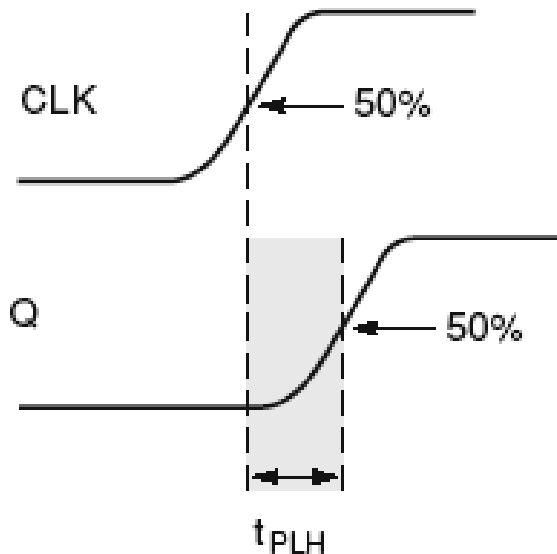
- **Tempo de transição:** tempo entre 10% e 90% do total da **transição** entre os níveis, dois tipos: tempo de subida (rise time -  $t_r$ ) e descida (fall time -  $t_f$ ).
- **Largura do pulso (pulse width -  $t_w$ ):** tempo entre 50% das bordas de subida e descida.



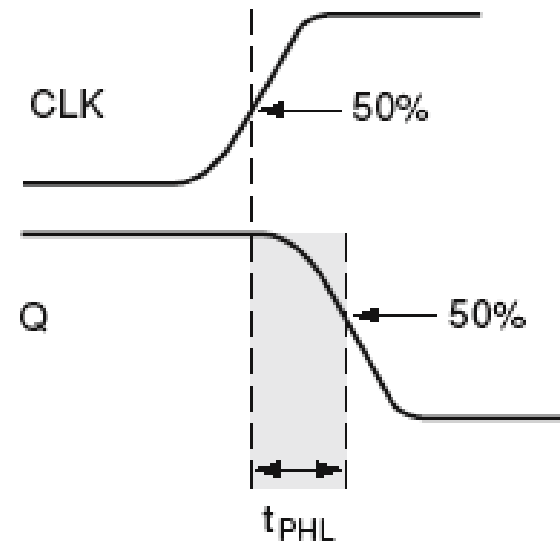
- **Tempo de preparação (setup time –  $t_s$ ):** intervalo de tempo que **precede** a **transição ativa** do clock, no qual o sinal de controle deve estar **estável**.
- **Tempo de manutenção (hold time –  $t_H$ ):** **intervalo** de **tempo após** essa **transição**, no qual o sinal de **controle** deve estar **estável**.



- **Atrasos de propagação:** definidos como o tempo **necessário** para que uma **mudança** na entrada seja transmitida para a saída.
  - Transição de 0 para 1  $\Rightarrow t_{PLH}$
  - Transição de 1 para 0  $\Rightarrow t_{PHL}$
  - Os atrasos também ocorrem para sinais assíncronos como clear e preset.

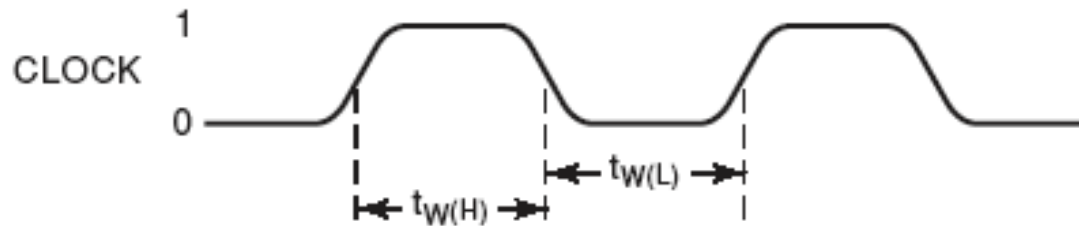


Atraso em transição  
de BAIXO para ALTO



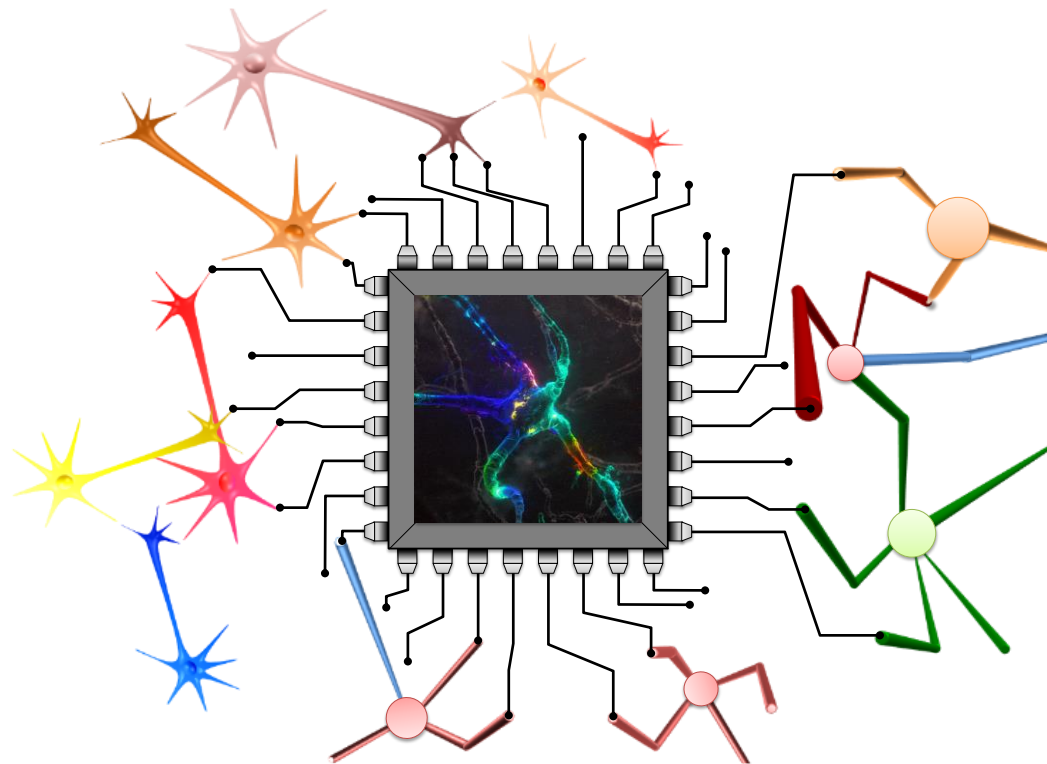
Atraso em transição  
de ALTO para BAIXO

- **Frequência máxima do clock ( $f_{MAX}$ ):** valor **máximo** que o fabricante **garante** a operação **confiável** do dispositivo.
- **Tempo de duração do pulso de clock:** tempo **mínimo** do clock em nível baixo,  $t_{W(L)}$ , ou nível alto,  $t_{W(H)}$ .



- **Largura de pulsos assíncronos ativos:** tempo **mínimo** que sinais de **controle** assíncronos deve ser **mantidos** no estado ativo para executar sua ação com **garantia**.

spatti@icmc.usp.br



GE4Bio – Grupo de Estudos em Sinais Biológicos