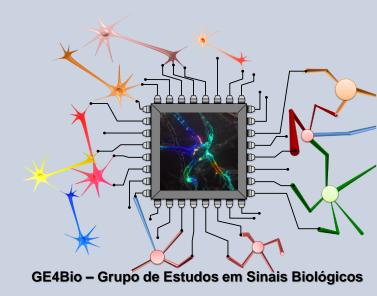


Universidade de São Paulo Instituto de Ciências Matemáticas e de Computação Departamento de Sistemas de Computação

SSC512 Elementos de Lógica Digital



Circuitos Aritméticos

Prof.Dr. Danilo Spatti

São Carlos - 2018

- Dispositivos com a função de efetuar operações aritméticas básicas (soma e subtração) com operadores binários.
- As operações aritméticas binárias usam os mesmos princípios das operações decimais.

- É realizada da mesma forma que para números decimais, porém, deve-se tomar cuidado com o "vai-um", também chamado de carry.
- Apenas quatro situações podem ocorrer quando dois dígitos binários (bits) são somados, qualquer que seja a posição:
 - **>** 0+0=0
 - > 1+0=1
 - > 1+1=10=0 + vai-um para a próxima posição.
 - > 1+1+1=11=1 + vai-um para a próxima posição.

$$\begin{array}{c}
 & 190 \\
 & +141 \\
 & 331
\end{array} \rightarrow \begin{array}{c}
 & 101111110 \\
 & +10001101 \\
 & 101001011
\end{array}$$

Adição

$$\begin{array}{c}
127 & 1111111 \\
+ 63 \\
190 & 10111110
\end{array}$$

4

$$\begin{array}{r}
011 \\
+110 \\
1001
\end{array}$$

- É realizada de forma semelhante do que para números decimais, cuidando-se do "emprestaum".
- Apenas quatro situações podem ocorrer quando dois dígitos binários (bits) são subtraídos, qualquer que seja a posição:
 - > 0-0=0
 - > 1-0=1
 - > 1-1=0
 - 0-1= 1 e empresta 1 da próxima posição.

Exemplo

1000 -0111

> 1000 111 -0111 0001

SSC512

 Representação de números binários com sinal adicionando-se um bit, além do MSB, que representa o sinal, sendo 0 para números positivos e 1 para números negativos.

$$0110100 = +52_{10}$$

$$1110100 = -52_{10}$$

 Se o número é positivo a magnitude é representada na sua forma binária direta, e um bit de sinal igual a 0 é colocado na frente do MSB.

$$0101101 = +45_{10}$$

 Se o número é negativo a magnitude é representada na sua forma de complemento de 2, e um bit de sinal igual a 1 é colocado na frente MSB.

$$1010011 = -45_{10}$$

$$\begin{array}{ccc}
101101 & \longrightarrow & \text{Binário} \\
010010 & \longrightarrow & \text{Complemento de 1} \\
+ & 1 & \longrightarrow & \text{Soma 1 ao LSB} \\
\hline
010011 & \longrightarrow & \text{Complemento de 2}
\end{array}$$

SSC512

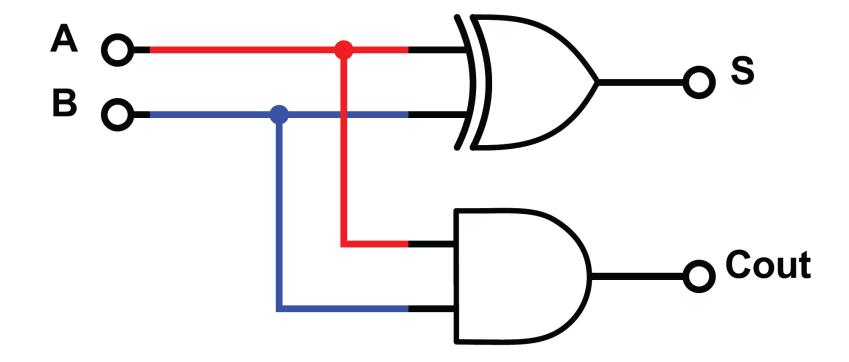
Características (I)

 Recebe dois dígitos a serem somados (A e B) e resulta em um bit de soma (S) e um de carry (C_{out}), desconsiderase a entrada de carry (C_{in}).

A	В	S	C _{out}
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

Características (II)

A	В	S	C _{out}
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1



11

Características (I)

Também soma o C_{in}.

A	В	CIN	S	C _{OUT}
0	0	O	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

Circuito Somador Completo

Lógica Digital

Características (II)

В	C _{IN}	S	C _{OUT}
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1
0	0	1	0
0	1	0	1
1	0	0	1
1	1	1	1
	0 0 1 1 0 0 0	 0 0 1 1 0 1 0 0 1 1 0 	0 0 0 0 1 1 1 0 1 1 1 0 0 0 1 0 1 0 1 0 0

$$S = \bar{A}\bar{B}C_{IN} + \bar{A}B\overline{C_{IN}} + A\bar{B}\overline{C_{IN}} + ABC_{IN}$$

Características (III)

Al	В				
C_{IN}		00	01	11	10
	0 [0	1	0	1
	1 [1	0	1	0

A	В	CIN	S	C _{OUT}
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

$$S(A,B,C_{IN}) = \overline{A}\overline{B}C_{IN} + \overline{A}B\overline{C_{IN}} + A\overline{B}\overline{C_{IN}} + ABC_{IN}$$

Características (IV)

P	λB				
C_{IN}		00	01	11	10
	0	0	0	1	0
	1	0	1	1	1

Α	В	C _{IN}	S	C _{OUT}
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

$$C_{OUT}(A, B, C_{IN}) = AB + AC_{IN} + BC_{IN}$$

Circuito Somador Completo

Lógica Digital

Implementação (I)

$$S(A,B,C_{IN}) = \bar{A}\bar{B}C_{IN} + \bar{A}B\overline{C_{IN}} + A\bar{B}\overline{C_{IN}} + ABC_{IN}$$

$$S(A, B, C_{IN}) = A \oplus B \oplus C$$

$$S(A, B, C_{IN}) = \overline{A}(\overline{B}C_{IN} + B\overline{C_{IN}}) + A(\overline{B}\overline{C_{IN}} + BC_{IN})$$

Α	В	C_{IN}	$ ar{B} $	$\overline{C_{IN}}$	$\bar{B}C_{IN}$	$B\overline{C_{IN}}$	$\overline{B}C_{IN} + B\overline{C_{IN}}$
0	0	0	1	1	0	0	0
0	0	1	1	0	1	0	1
0	1	0	0	1	0	1	1
0	1	1	0	0	0	0	0
1	0	0	1	1	0	0	0
1	0	1	1	0	1	0	1
1	1	0	0	1	0	1	1
1	1	1	0	0	0	0	0

Implementação (II)

$$S(A,B,C_{IN}) = \bar{A}\bar{B}C_{IN} + \bar{A}B\overline{C_{IN}} + A\bar{B}\overline{C_{IN}} + ABC_{IN}$$

$$S(A, B, C_{IN}) = \overline{A}(\overline{B}C_{IN} + B\overline{C_{IN}}) + A(\overline{B}\overline{C_{IN}} + BC_{IN})$$

$$S(A, B, C_{IN}) = \bar{A}(B \oplus C_{IN}) + A(\overline{B \oplus C_{IN}})$$

$$S(A, B, C_{IN}) = A \oplus B \oplus C$$

$$C_{OUT}(A, B, C_{IN}) = AB + AC_{IN} + BC_{IN}$$

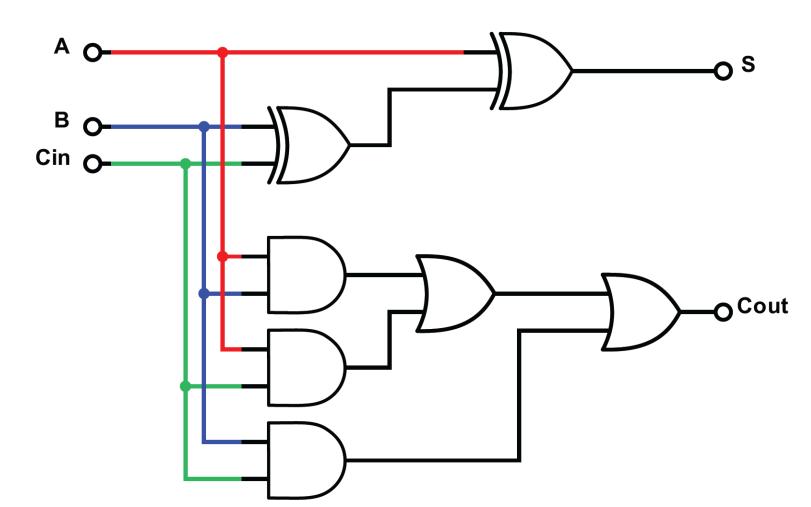
Circuito Somador Completo

Lógica Digital

Implementação (III)

$$S(A, B, C_{IN}) = A \oplus B \oplus C$$

$$C_{OUT}(A, B, C_{IN}) = AB + AC_{IN} + BC_{IN}$$



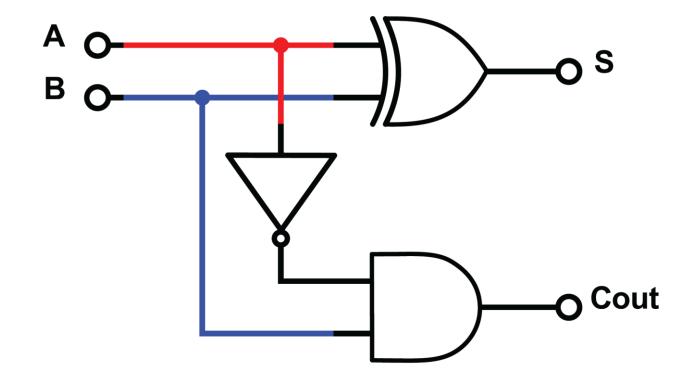
Características (I)

 Recebe dois dígitos a serem subtraídos (A e B) e resulta em um bit de subtração (S) e um de carry (C_{out}).

Α	В	S	C _{out}
0	0	0	0
0	1	1	1
1	0	1	0
1	1	0	0

Características (II)

A	В	S	C _{out}
0	0	0	0
0	1	1	1
1	0	1	0
1	1	0	0



■ Também subtrai o C_{in}.

A	В	CIN	S	C _{OUT}
0	0	O	0	0
0	0	1	1	1
0	1	0	1	1
0	1	1	0	1
1	0	0	1	0
1	0	1	0	0
1	1	0	0	0
1	1	1	1	1
0 1 1 1	1 0 0 1	010101	1 0 1 0 0	1 0 0 0

Características (II)

A	В	CIN	S	C _{OUT}
0	0	0	0	0
0	0	1	1	1
0	1	0	1	1
0	1	1	0	1
1	0	0	1	0
1	0	1	0	0
1	1	0	0	0
1	1	1		1

$$S = \bar{A}\bar{B}C_{IN} + \bar{A}B\overline{C_{IN}} + A\bar{B}\overline{C_{IN}} + ABC_{IN}$$

Características (III)

A	ΔB				
C_{IN}		00	01	11	10
	0	0	1	0	1
	1	1	0	1	0

Α	В	C _{IN}	S	C _{OUT}
0	0	0	0	0
0	0	1	1	1
0	1	0	1	1
0	1	1	0	1
1	0	0	1	0
1	0	1	0	0
1	1	0	0	0
1	1	1	1	1

$$S(A,B,C_{IN}) = \overline{A}\overline{B}C_{IN} + \overline{A}B\overline{C_{IN}} + A\overline{B}\overline{C_{IN}} + ABC_{IN}$$

Características (IV)

	AB				
C_{IN}		00	01	11	10
	0	0	1	0	0
	1	1	1	1	0

Α	В	C _{IN}	S	C _{OUT}
0	0	0	0	0
0	0	1	1	1
0	1	0	1	1
0	1	1	0	1
1	0	0	1	0
1	0	1	0	0
1	1	0	0	0
1	1	1	1	1

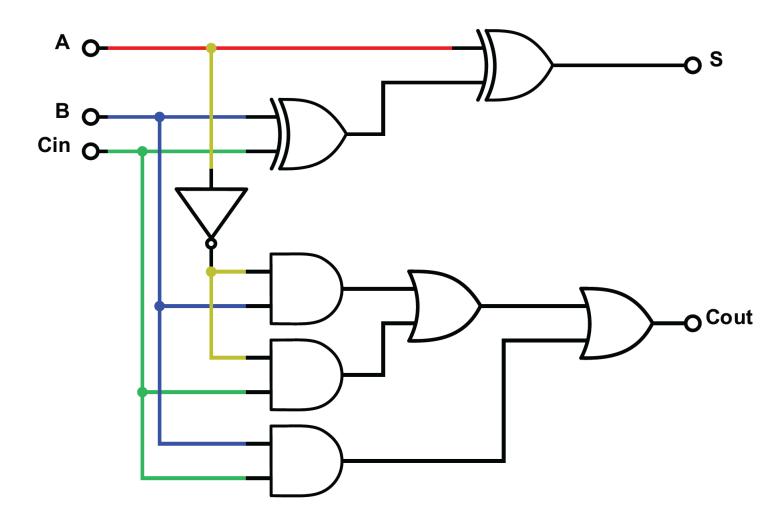
$$C_{OUT}(A, B, C_{IN}) = \bar{A}B + \bar{A}C_{IN} + BC_{IN}$$

24

Implementação

$$S(A, B, C_{IN}) = A \oplus B \oplus C$$

$$C_{OUT}(A, B, C_{IN}) = \bar{A}B + \bar{A}C_{IN} + BC_{IN}$$



- O experimento Lab02 consistirá da implementação em hardware dos circuitos aritméticos vistos na aula de hoje.
- Não serão permitidas portas lógicas com mais de duas entradas.

 O Ex3 deverá ser implementado utilizando apenas portas NAND.

spatti@icmc.usp.br

