Федеральное государственное автономное образовательное учреждение высшего

образования «Национальный исследовательский университет ИТМО»

Факультет программной инженерии и компьютерной техники

**Отчет**

**По лабораторной работе №2**

По дисциплине «Основы схемотехники»

Вариант 6.

Выполнил: Чураков Александр Алексеевич, группа P3331

Преподаватель: Лукашов И. В.

Санкт-Петербург

2025

# Цель работы

Получить навыки описания арифметических блоков на RTL-уровне с использованием языка описания аппаратуры Verilog HDL.

# Задание

1. Разработайте и опишите на Verilog HDL схему, вычисляющую значение функции в соответствии с заданными ограничениями согласно варианту задания.

2. Определите область допустимых значений функции.

3. Разработайте тестовое окружение для разработанной схемы. Тестовое окруже ыние должно проверять работу схемы не менее, чем на 10 различных тестовых векторах.

4. Проведите моделирование работы схемы и определите время вычисления результата. Схема должна тактироваться от сигнала с частотой 100 МГц.

5. Составьте отчет по результатам выполнения работы.

Изображение выглядит как текст, Шрифт, снимок экрана, белый

Содержимое, созданное искусственным интеллектом, может быть неверным.

# Отчет о проделанной работе

# Выводы