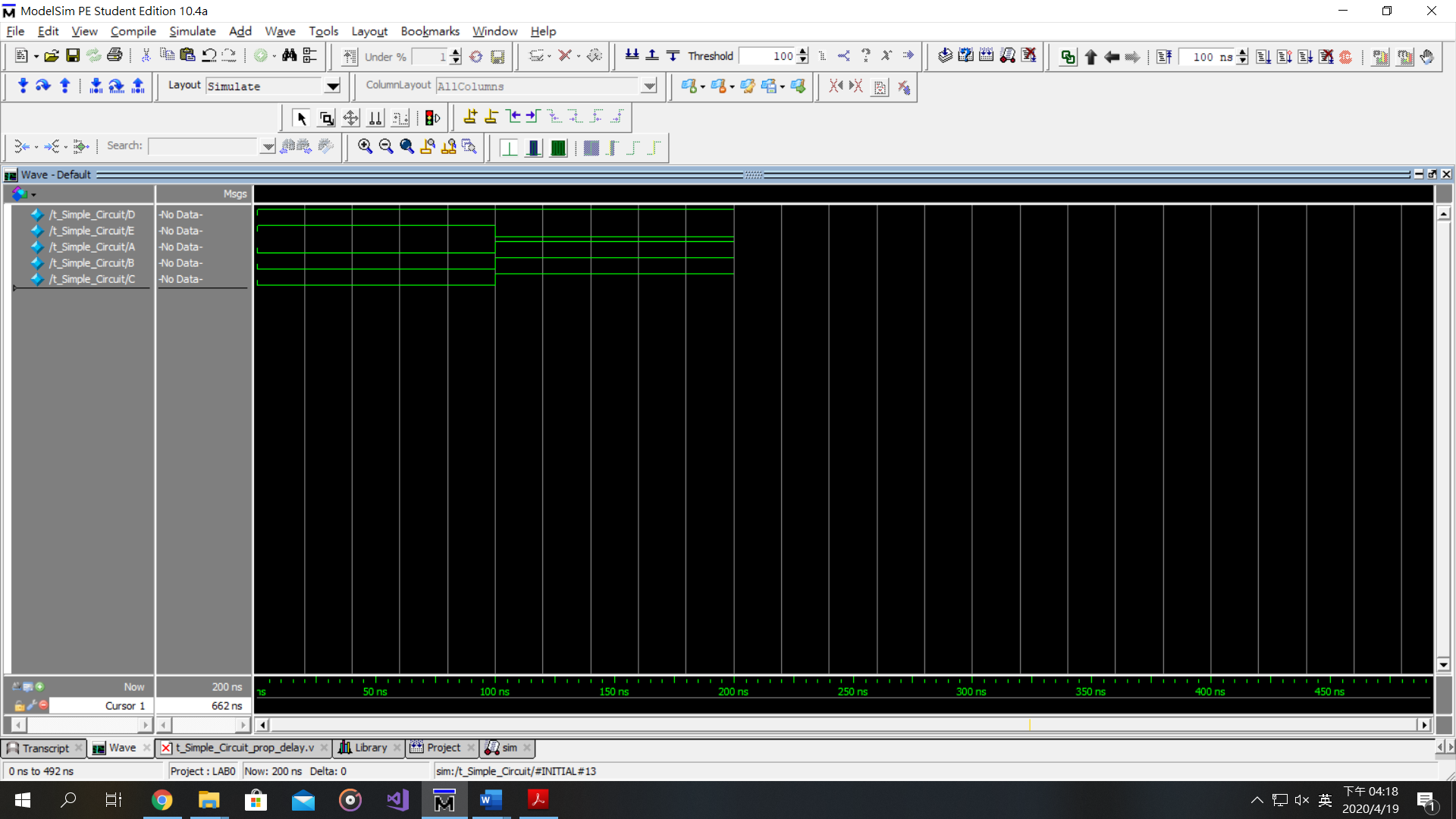
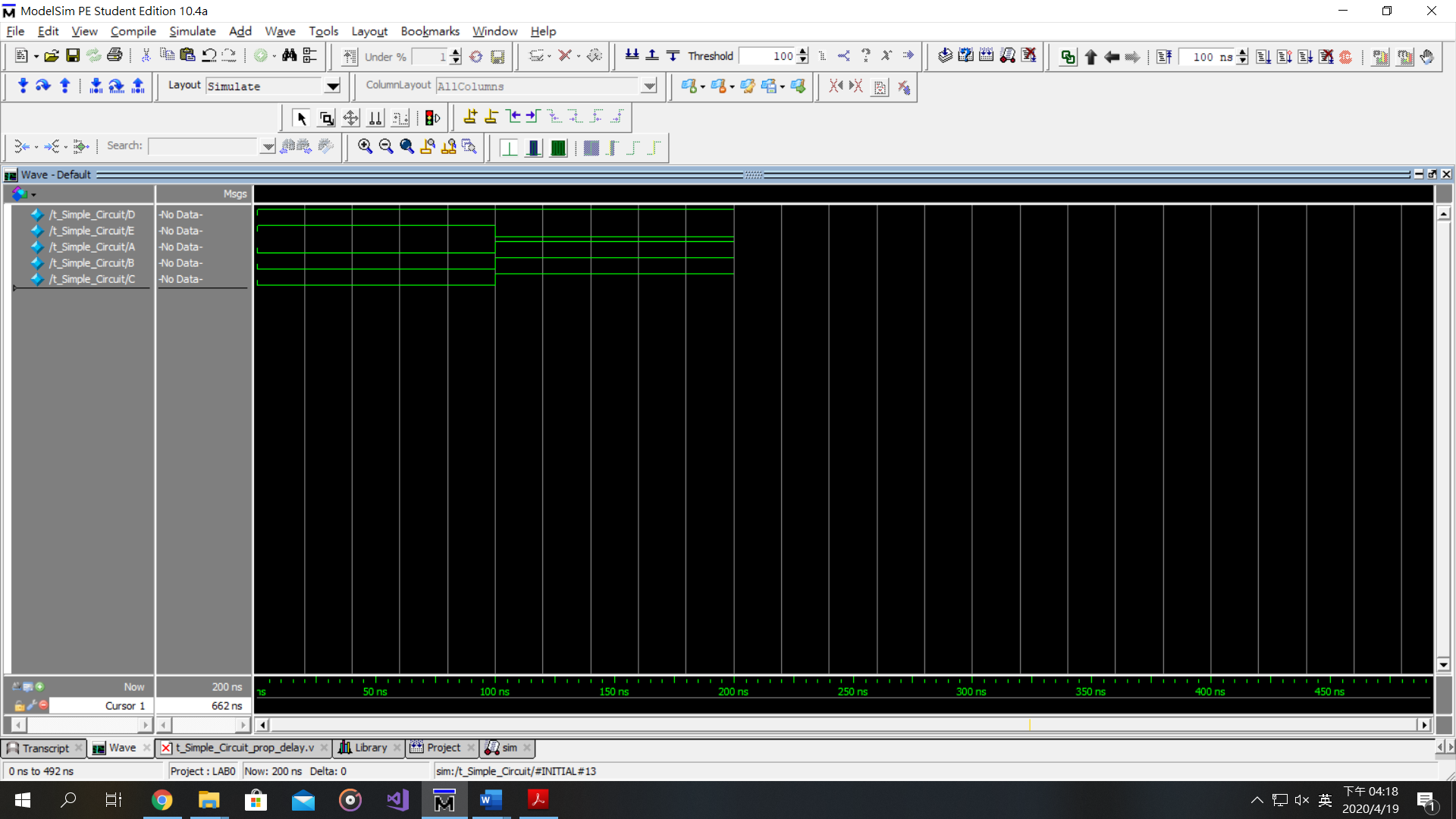
A. 模擬並修改附檔Simple\_Circuit\_prop\_delay.v

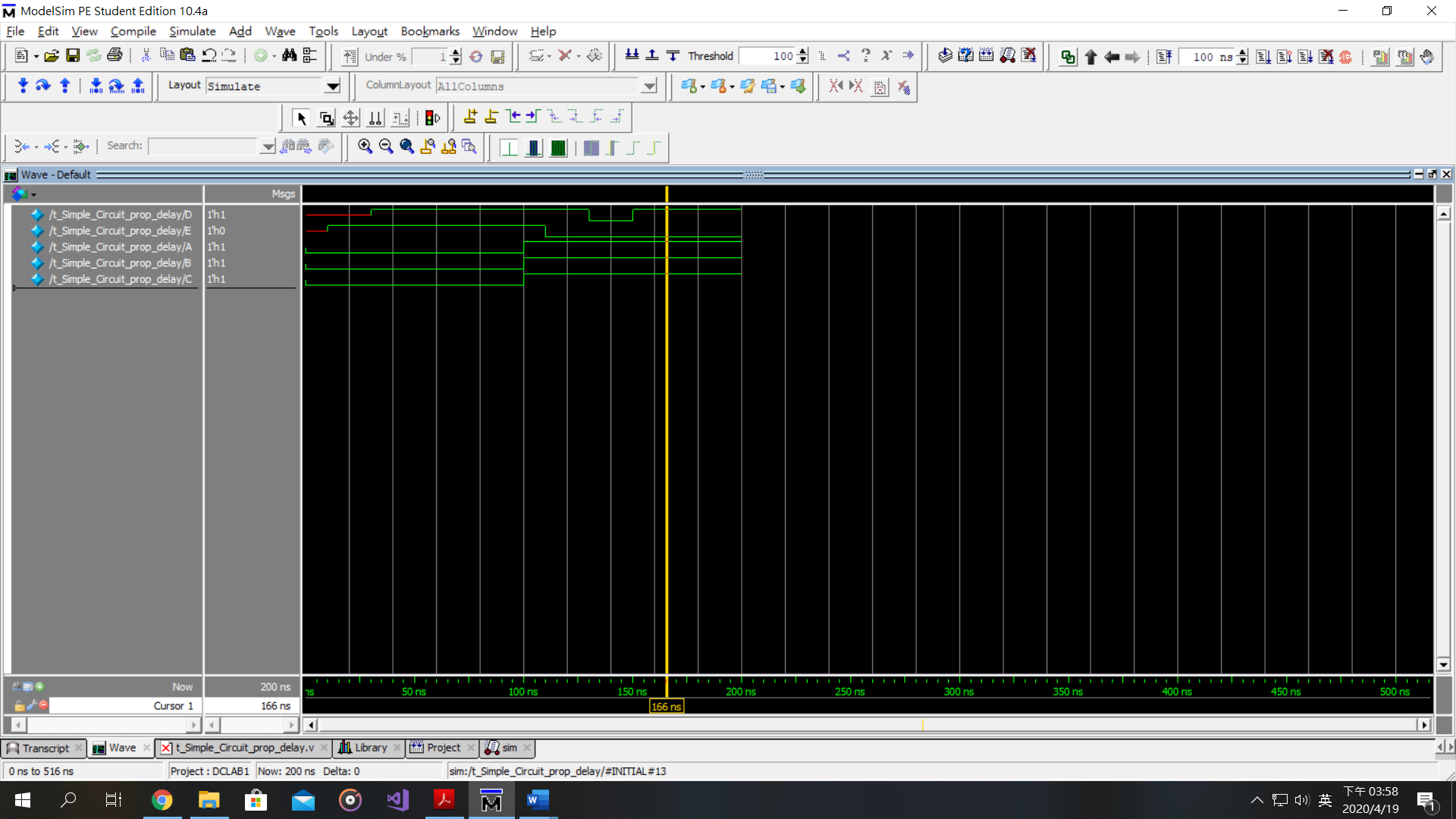
(1) 2A(a)之模擬結果波形圖，並說明與*Simple\_Circuit.v*之波形圖的差異。

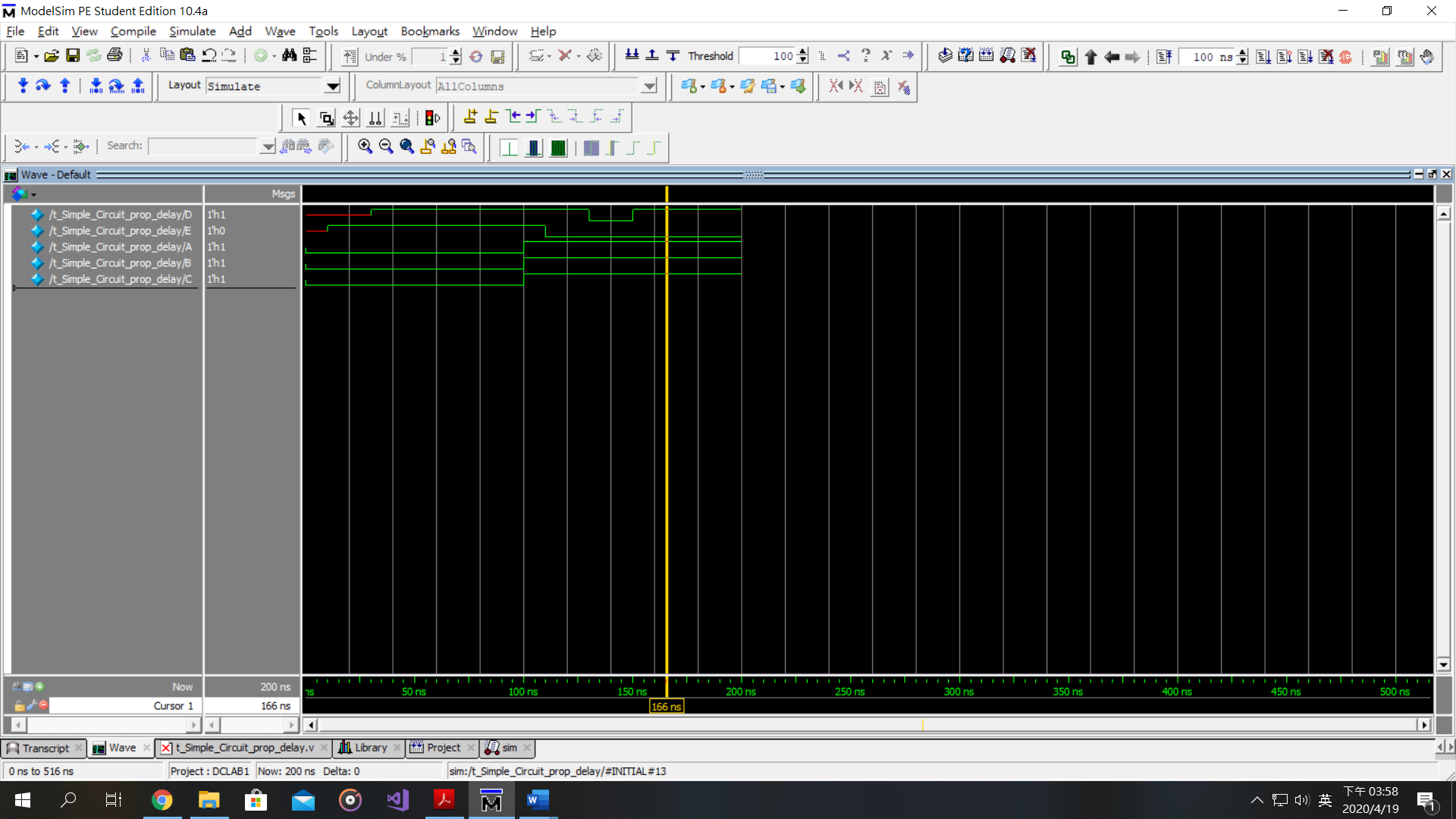
Lab0





Lab1



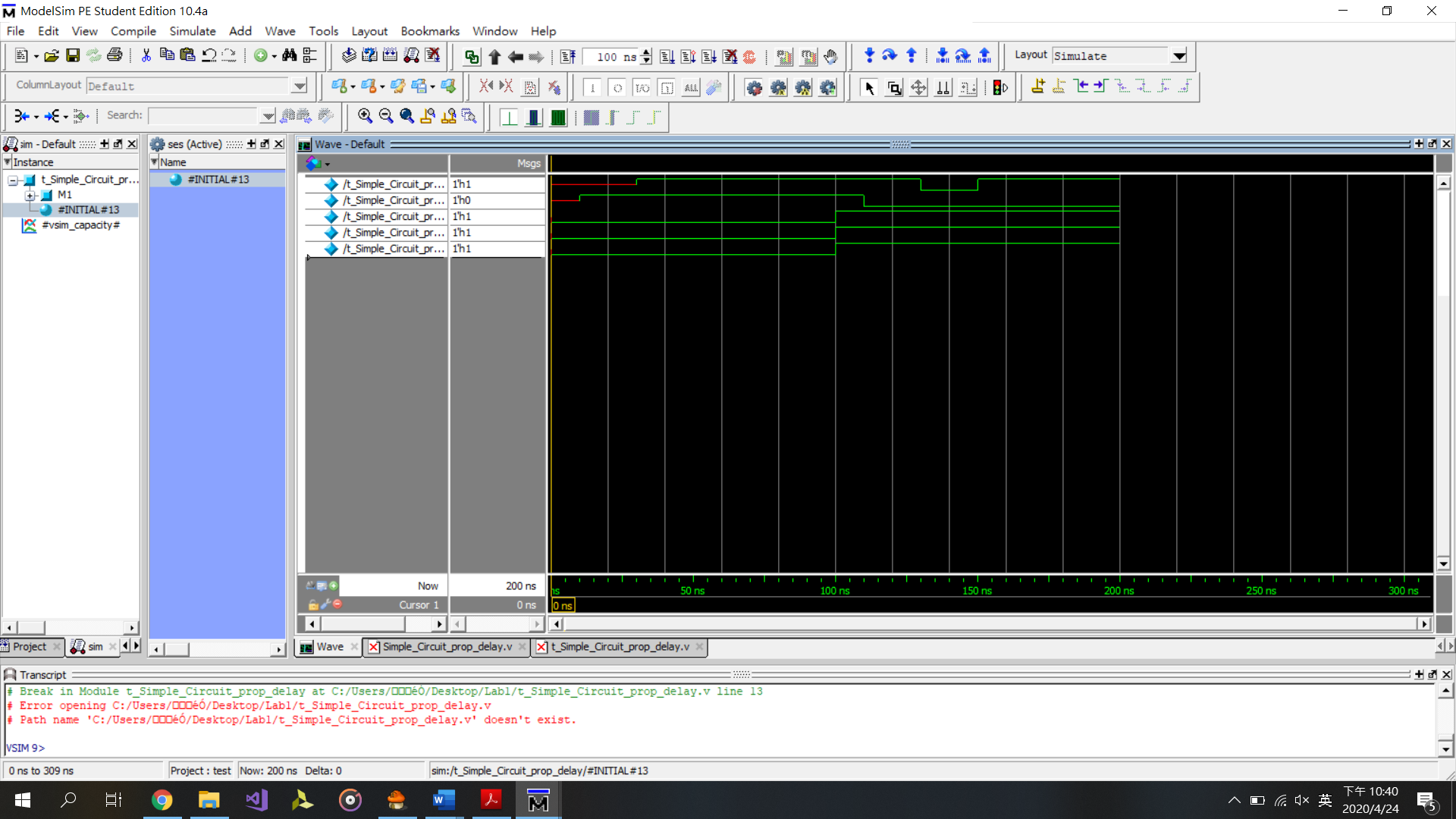
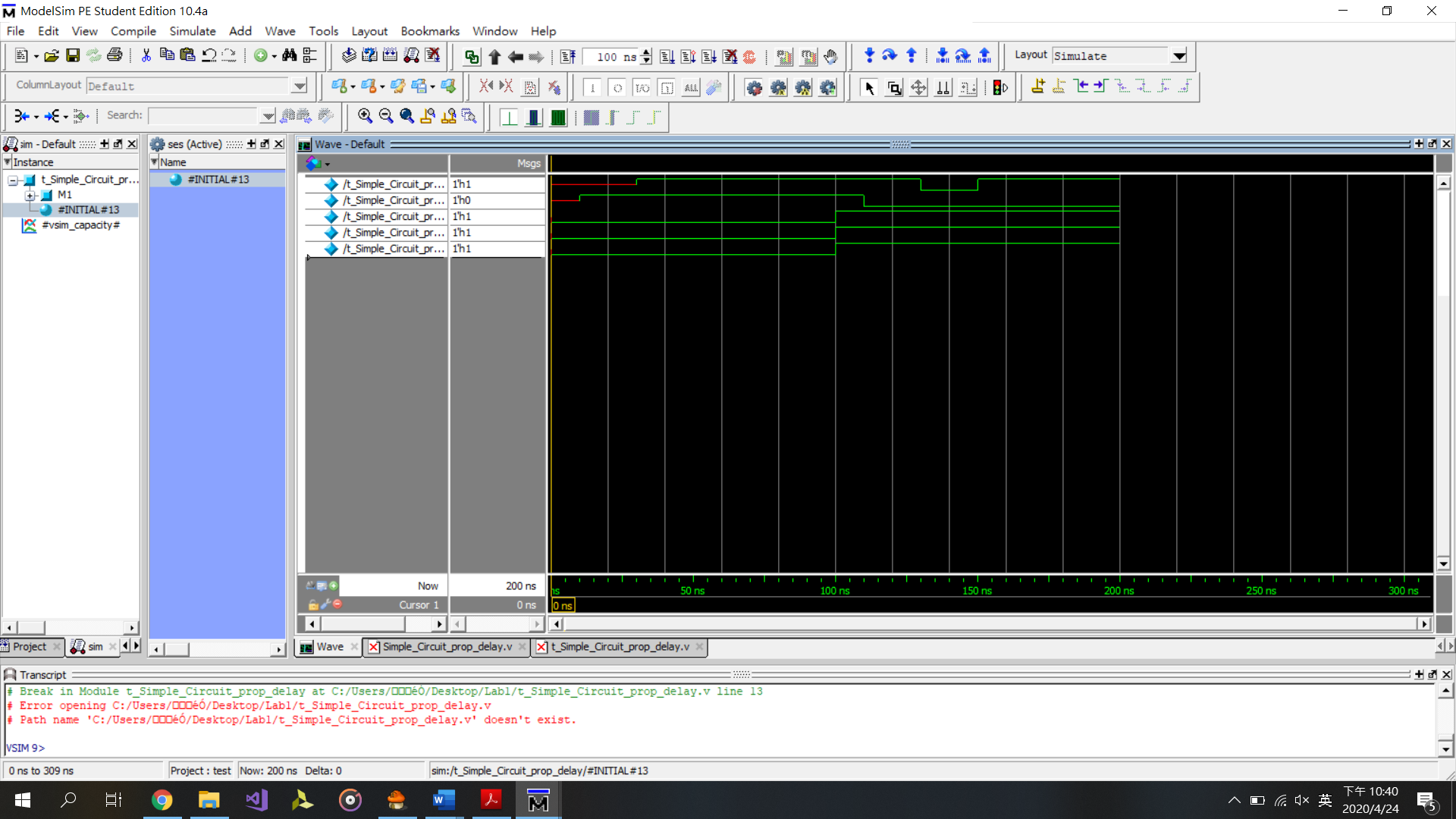


Lab1因propagation delay導致output在剛開始時為紅線(沒有值)，而之後經過10ns(not gate的delay) E才出現值。而D在接受到input E後經過了20ns(or gate的delay )也才出現值，DE一樣存在10ns(30ns-20ns)因為之後有w1的值，而這才是F應為的值(w1 or E)。

而Lab0則是一開始就能夠得出值，因為沒有propagation delay。

(2)2A(b)之模擬結果波形圖，並說明與2A(a)之波形圖是否有差異及原因。

敘述的順序不影響程式的結果,verilog是描述語言

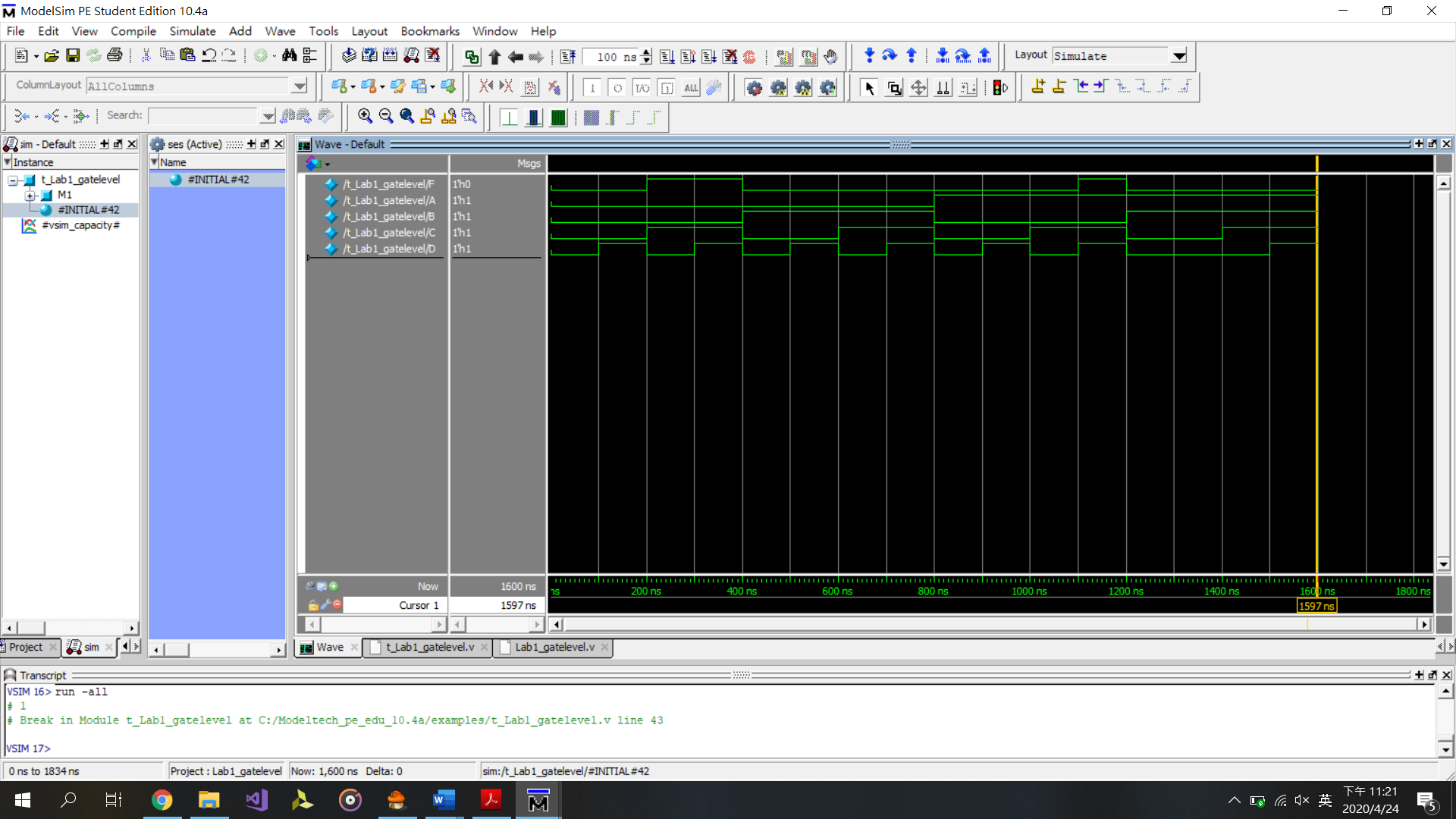


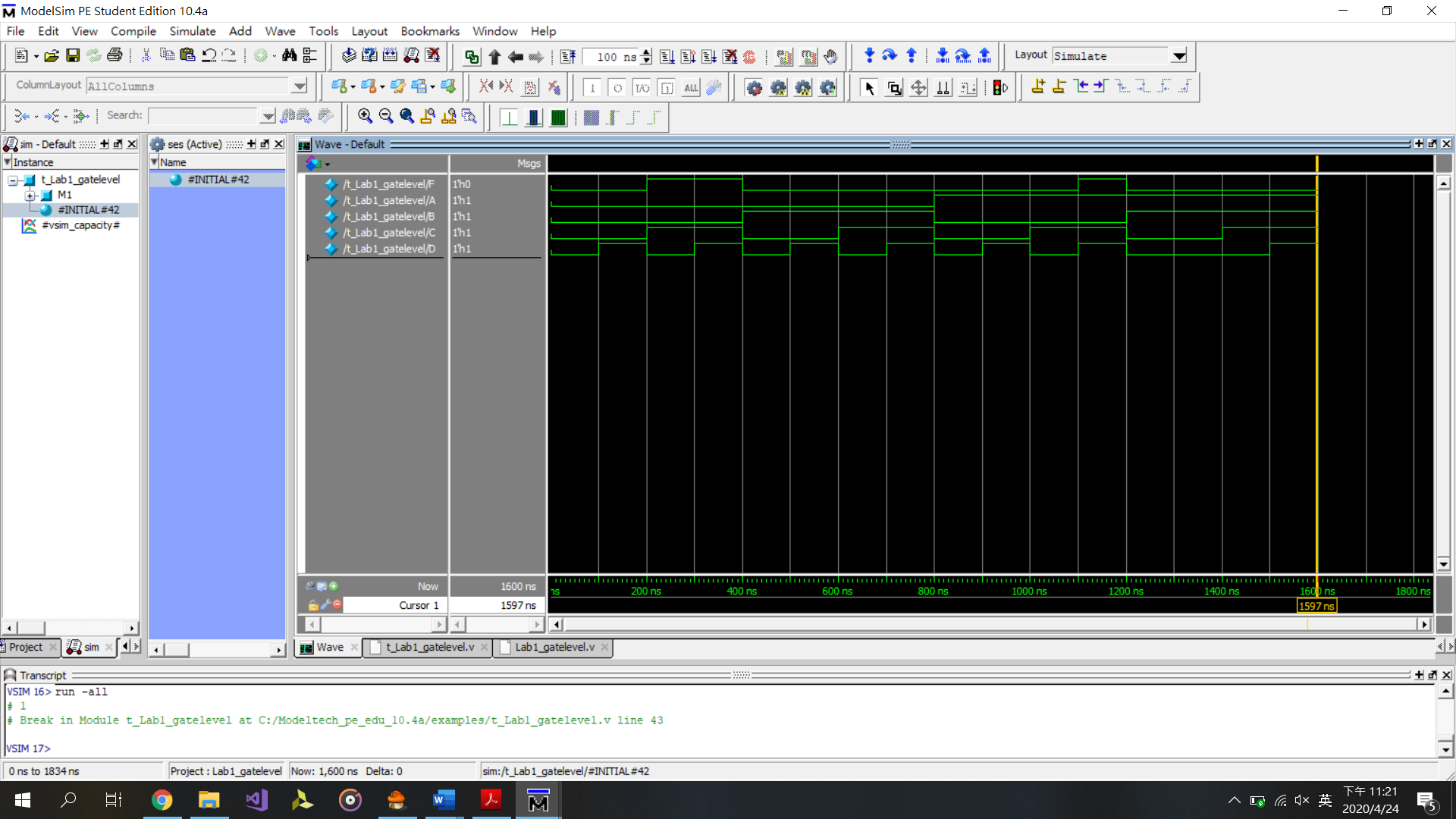
B撰寫組合電路之HDL電路設計模組(design module)與測試模組(testbench)

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| A | B | C | D | F |
| 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 0 | 1 | 0 |
| 0 | 0 | 1 | 0 | 1 |
| 0 | 0 | 1 | 1 | 1 |
| 0 | 1 | 0 | 0 | 0 |
| 0 | 1 | 0 | 1 | 0 |
| 0 | 1 | 1 | 0 | 0 |
| 0 | 1 | 1 | 1 | 0 |
| 1 | 0 | 0 | 0 | 0 |
| 1 | 0 | 0 | 1 | 0 |
| 1 | 0 | 1 | 0 | 0 |
| 1 | 0 | 1 | 1 | 1 |
| 1 | 1 | 0 | 0 | 0 |
| 1 | 1 | 0 | 1 | 0 |
| 1 | 1 | 1 | 0 | 0 |
| 1 | 1 | 1 | 1 | 0 |

(真值表)

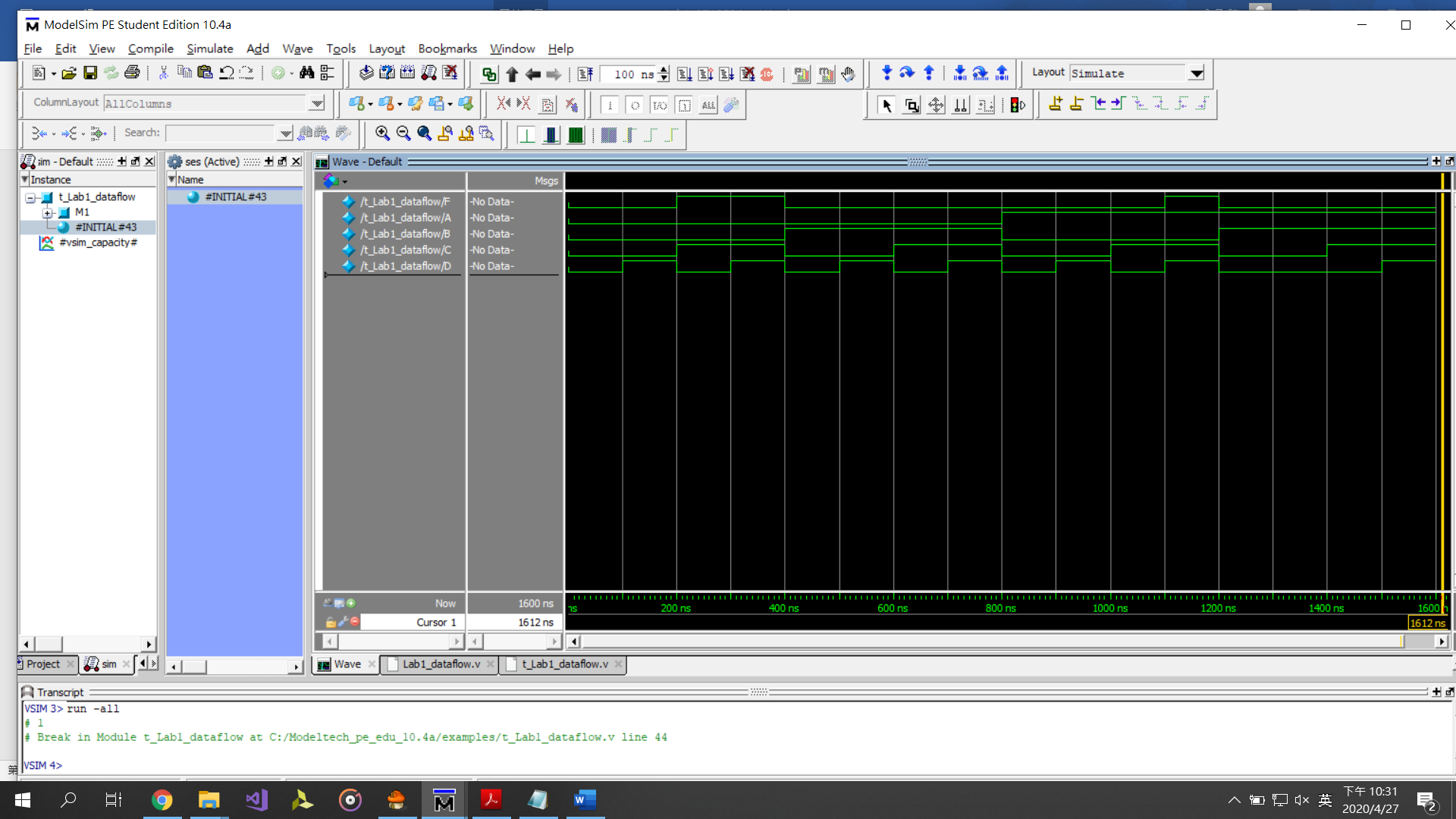
(3)2B(a)之gate-level modeling模擬結果波形圖，並說明是否正確。

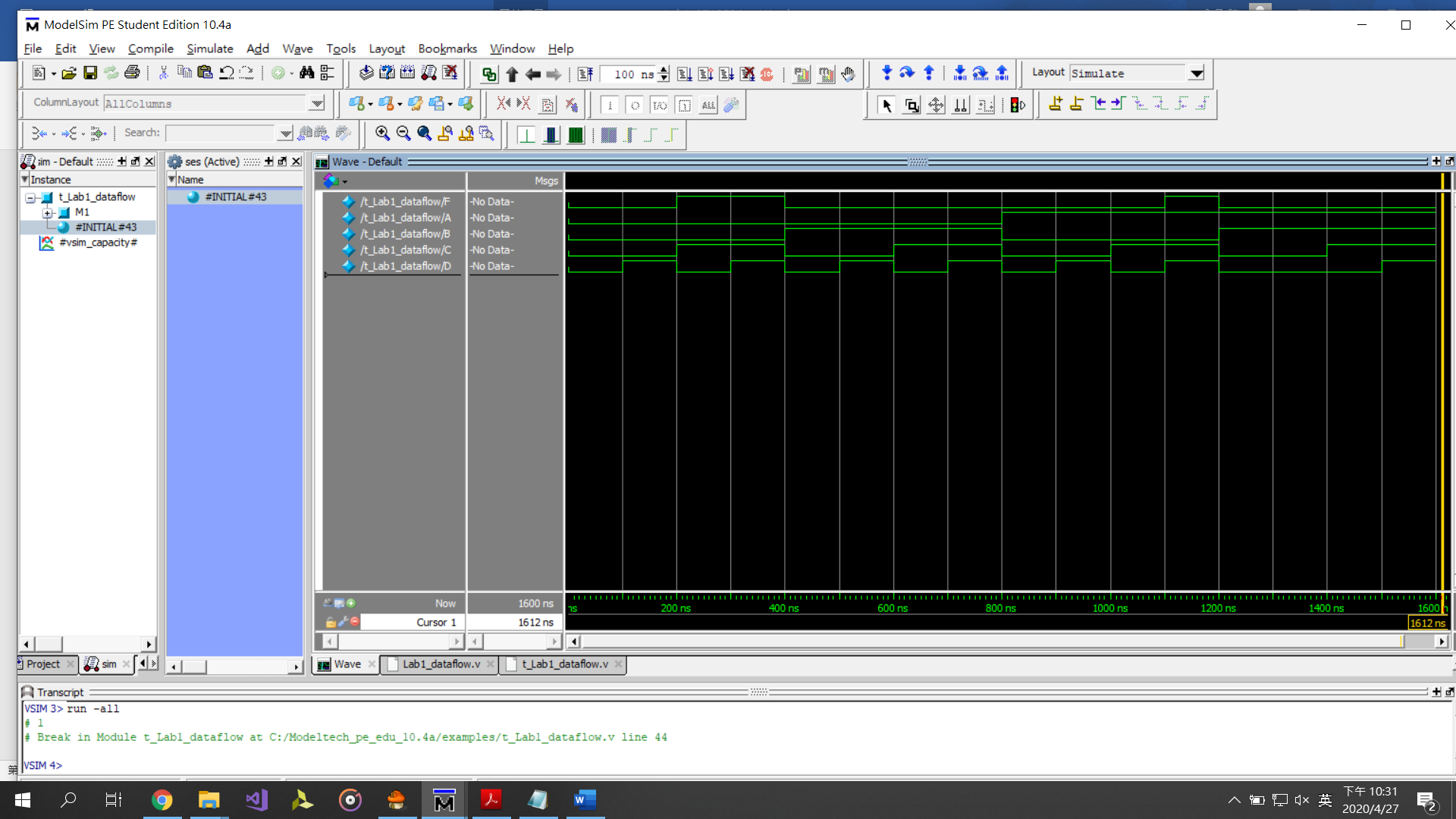




與真值表相同

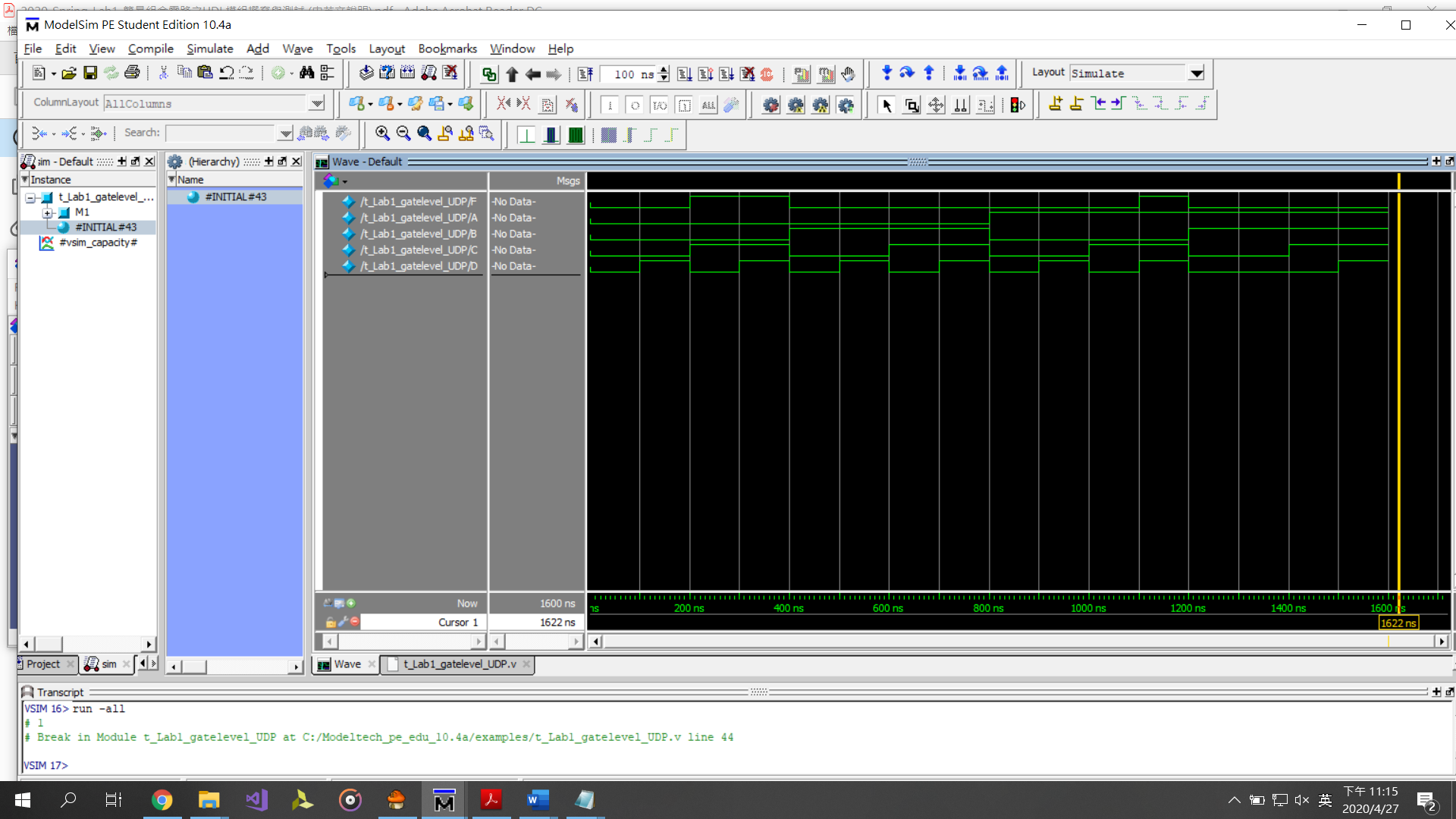
(4) 2B(b)之dataflow modeling模擬結果波形圖，並說明是否正確。





與真值表相同

(5) 2B(c)之電路模擬結果波形圖，並說明是否正確。



與真值表相同

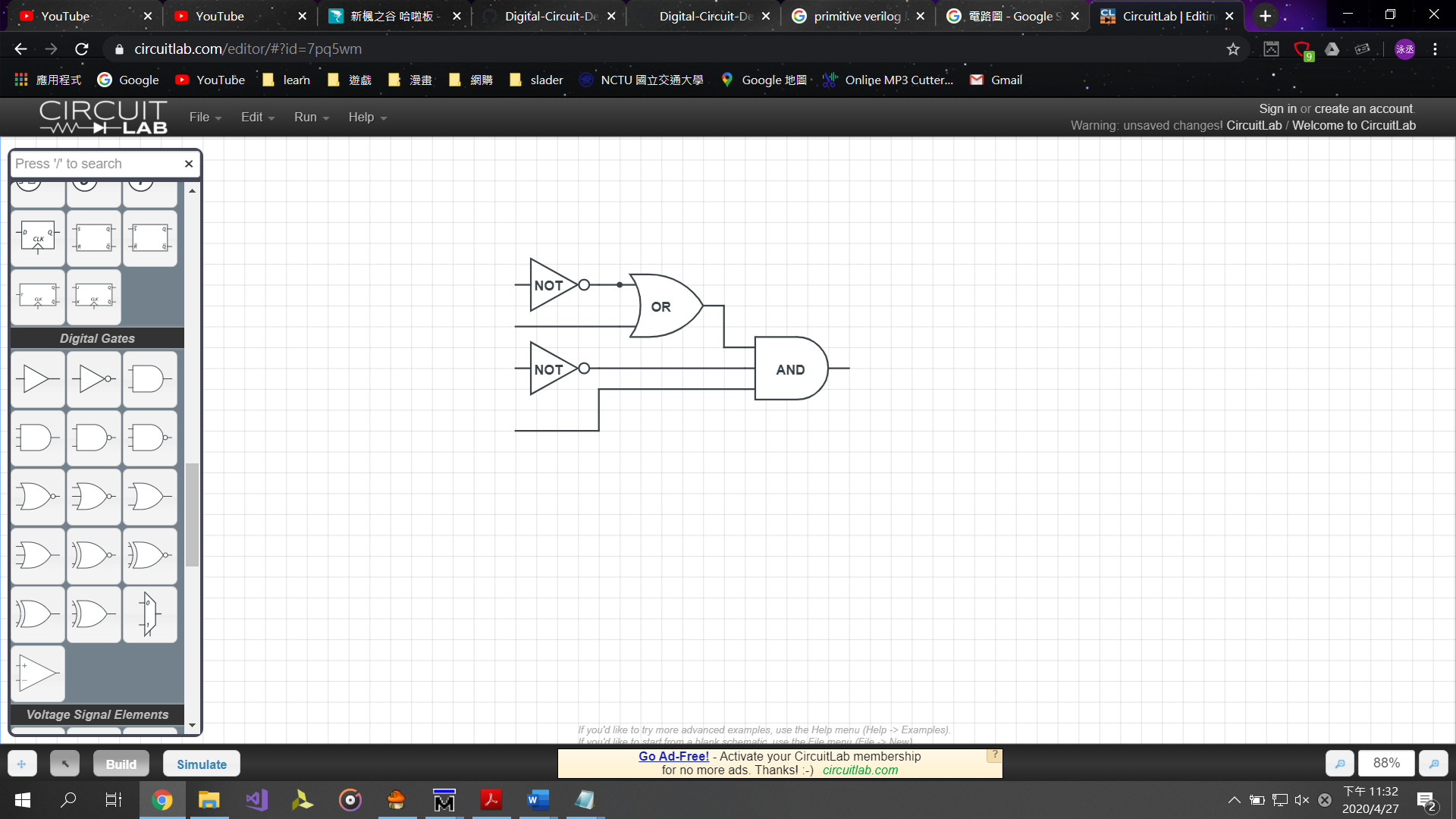
(6) 請判斷圖1之電路是否為該函式gate input counts最少之實作? 若是，請說明之；若否，則請推導出此函式gate input count最少的布林代數式，寫出gate input count數值，並以AND、OR、NOT邏輯閘畫出其電路圖。

圖1之電路並非為該函式gate input counts最少之實作，

最小實作為B’C(A’+D)

由真值表得F=Σm(2,3,11)=A’B’C+B’CD (by K-map)=B’C(A’+D)

gate input count=7



A

D

B

C

(7) 心得與感想、及遭遇到的問題或困難。

作業大致上相當順利，只有時常眼殘作出錯的電路，也可能是因為我是轉系的所以同時跟計算機組織一起修，所以在計算機組織的作業被電過了，相較之下對實作本次Lab愜意許多。