

Présentation finale de projet



PHELMA 2A MT
Projet de conception mixte : Zigbee

Sommaire.Global

01.

Management

Présentation de 20 minutes +
10 minutes de temps de
questions

02.

Analogique

Présentation de 1 heure + 20
minutes de temps de
questions

03.

Numérique

Présentation de 1 heure + 20
minutes de temps de
questions

04.

REX et Conclusion

Temps d'échange sur le
projet

8H15 - 8H45

8H45 - 10H05

10H20 - 11H40

11H40 - 12H00



01

Management

Sommaire.

.01

Structure

Identification, contexte et enjeux

.02

Planning

Gantt, PBS et prévision vs réalité

.03

Coûts

Budget humain et technique du projet

.04

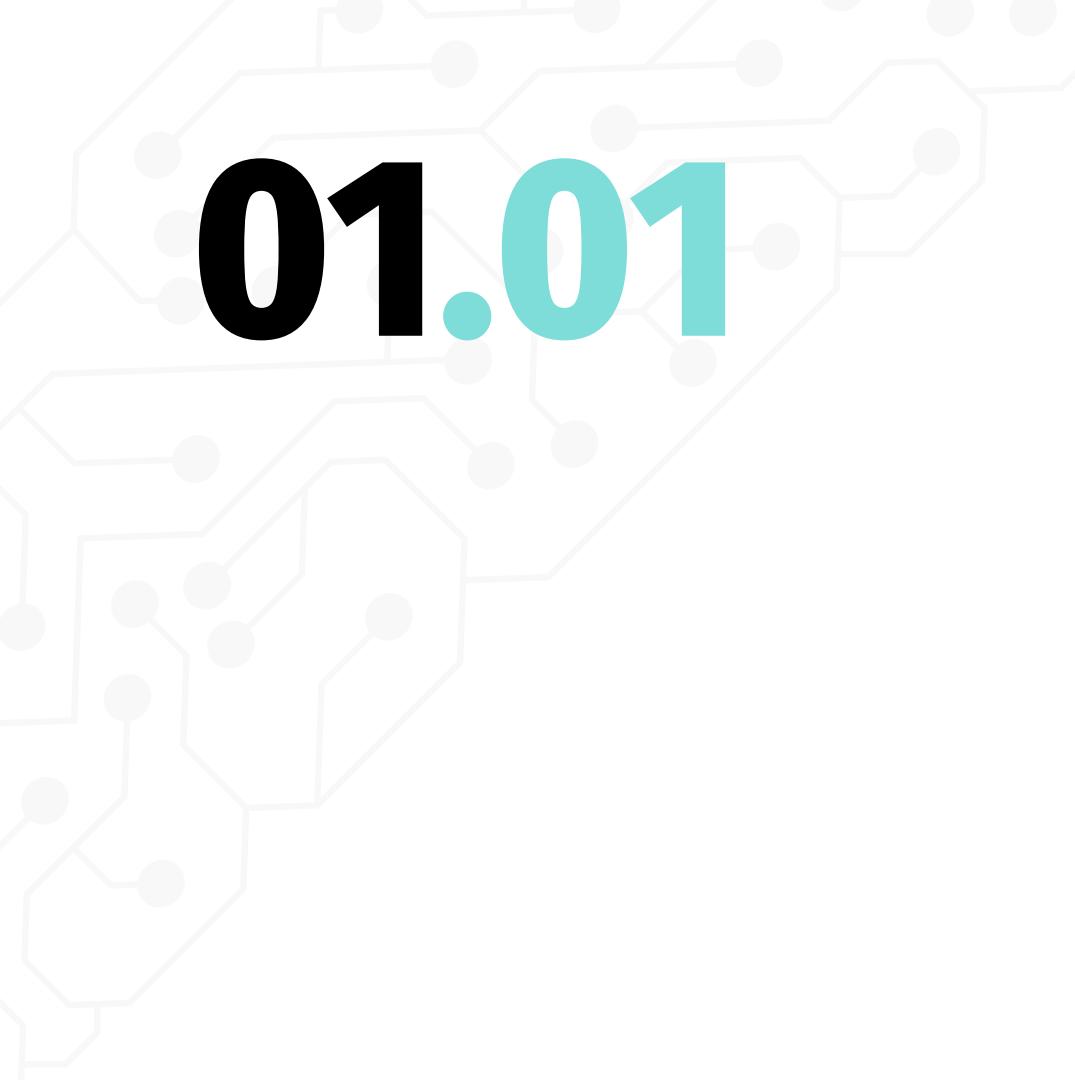
Risques

Risques rencontrés, prévision et impact

.05

Pilotage

Indicateurs de pilotage



01.01

Management

Structure

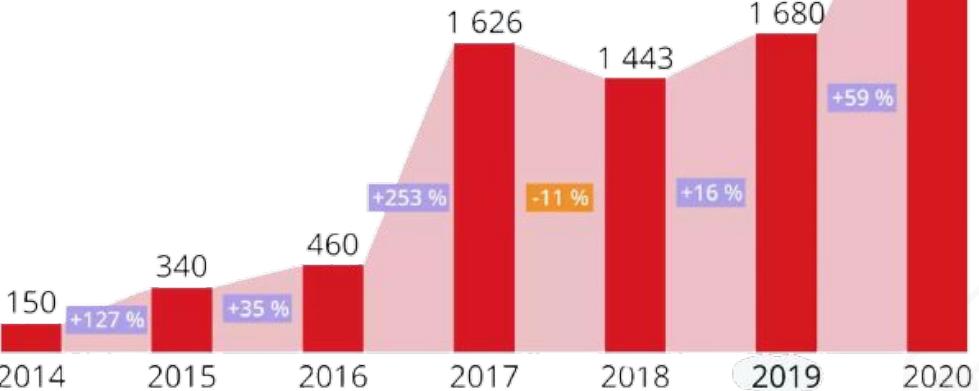
Structure



Raison d'être



CA en France (Millions)



Contexte



Identification



Indicateurs



Organisation



15.2 Milliards de CA en France (2022)

2 678



Logement



Transport



Autre



Smartgrid,
Manufacturing,
Supply Chain



Santé

Total :
15,2 milliards d'euros

Structure



Arguments



Technology	Power use per hour	Device	Comparison
Wi-Fi	2 kilo Joule	Laptop	
ZigBee	20 milli Joule	Set top box	1/100,000 compared to Wi-Fi
Green Power	200 micro Joule	Light switch	1/100 compared to ZigBee

**Consommation
Portée
Débit
Coût
Utilisation**

Contexte

Indentification

Indicateurs

Organisation

Structure

Exemple d'utilisation



Contexte



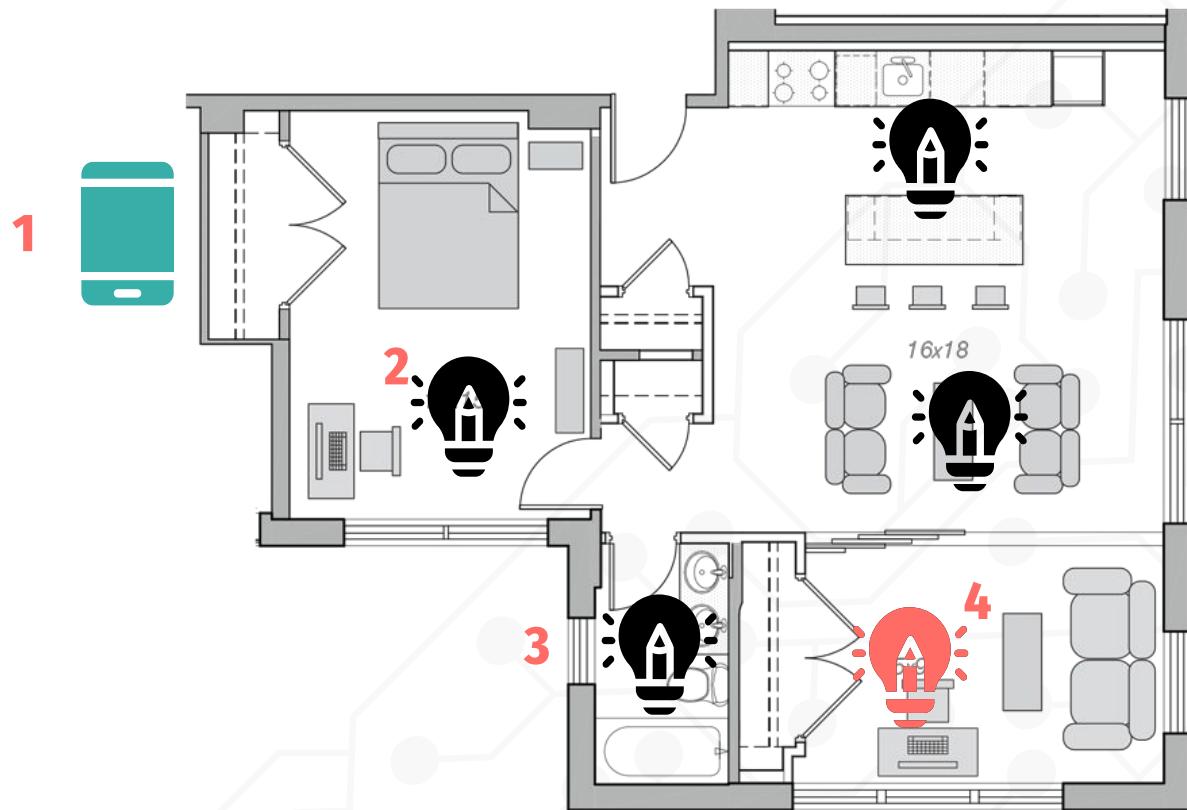
Identification



Indicateurs



Organisation



Structure



- **Coût (10 - 50€)**
- **Portée (20 - 80m)**
- **Fiabilité (1 erreur / 1 M - 1 Md)**
- **Consommation (2 - 100 mW)**
- **Facteur de forme (0.2 - 1 cm²)**



	MRF24 (Microchip)	XB24 (DIGI)	XB8 (DIGI)
Coût	12 €	45 €	20 €
Portée (Intérieur)	40 M	80 M	60 M
Fiabilité	< 1/1M	< 1/1M	< 1/1M
Consommation	42 mA	21 mA	34 mA
Surface	450 mm ²	650 mm ²	748 mm ²

Contexte

Indentification

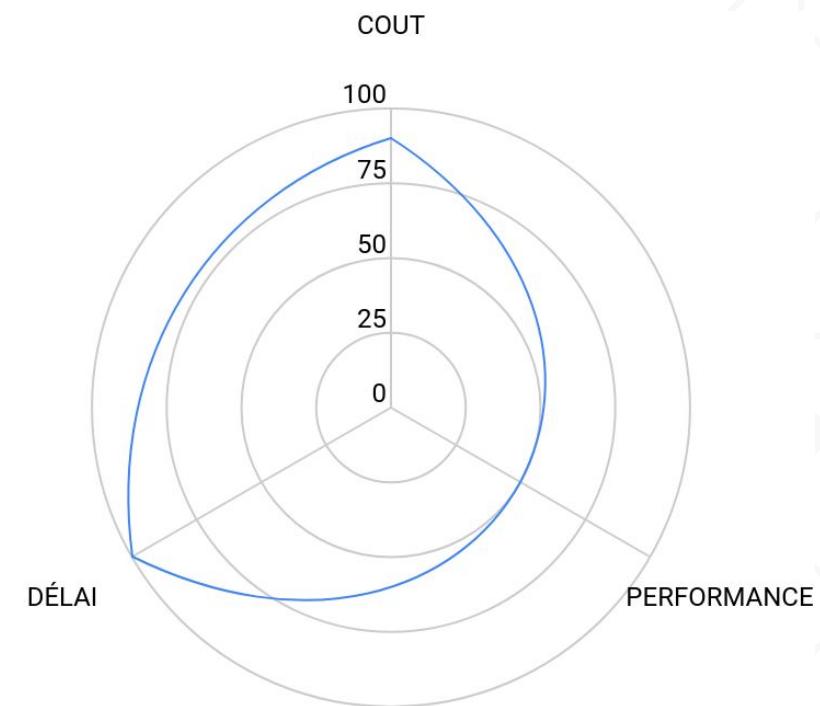
Indicateurs

Organisation

Structure

Quantification des indicateurs

- Coût (10mm² - 20mm²)
- Délai (14/06/2022)
- Consommation
- Portée (Quantification par la suite)
Portée min ± 2.5m | Portée max ± 15m
- Fiabilité (Quantification par la suite)
Aucune marge de manoeuvre



Contexte

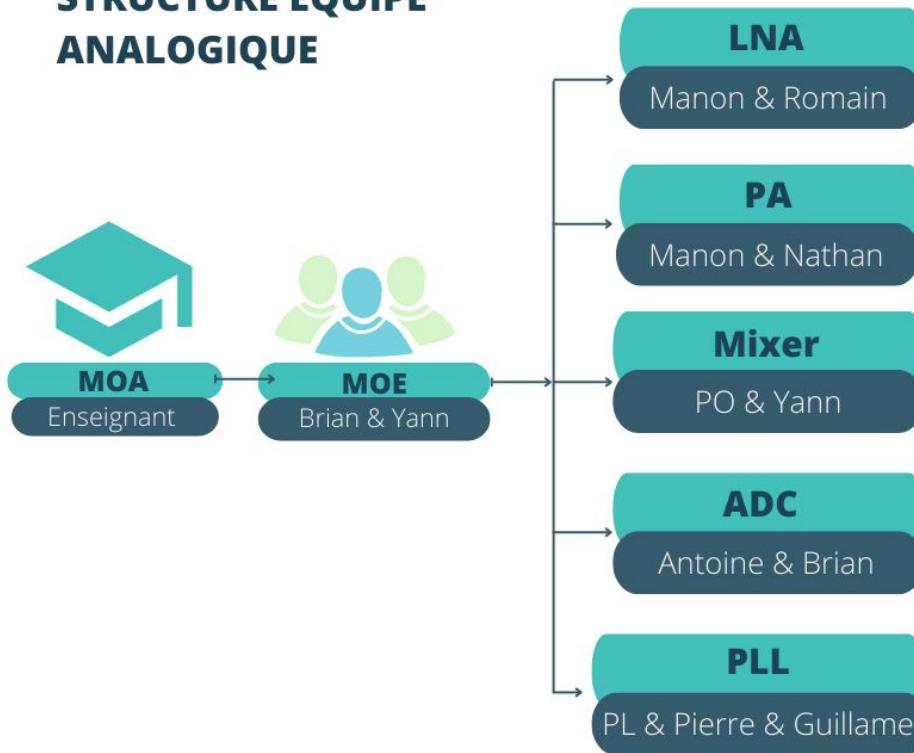
Indentification

Indicateurs

Organisation

Structure

STRUCTURE ÉQUIPE ANALOGIQUE



Contexte

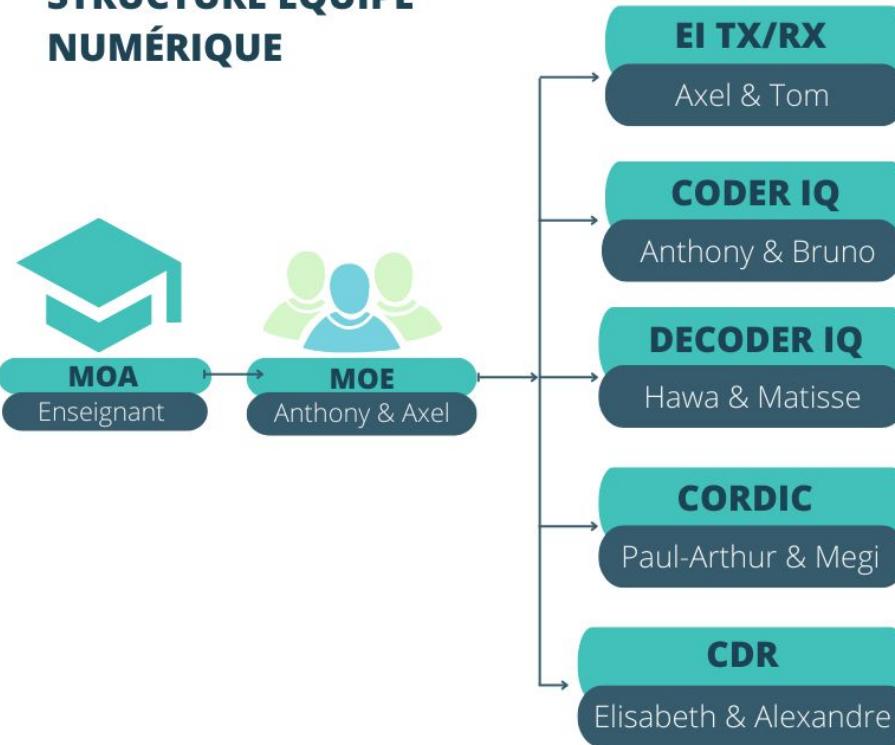
Identification

Indicateurs

Organisation

Structure

STRUCTURE ÉQUIPE NUMÉRIQUE

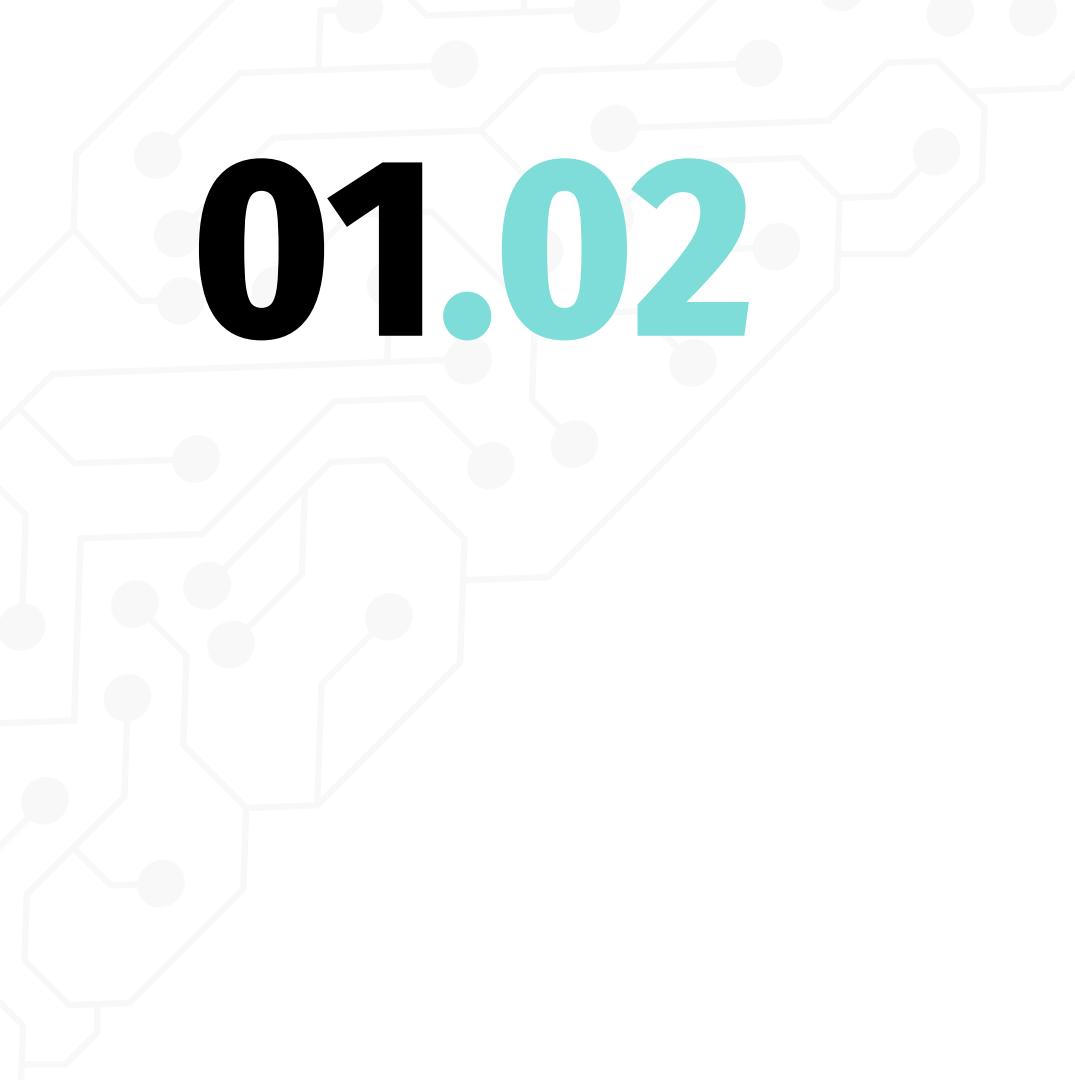


Contexte

Identification

Indicateurs

Organisation

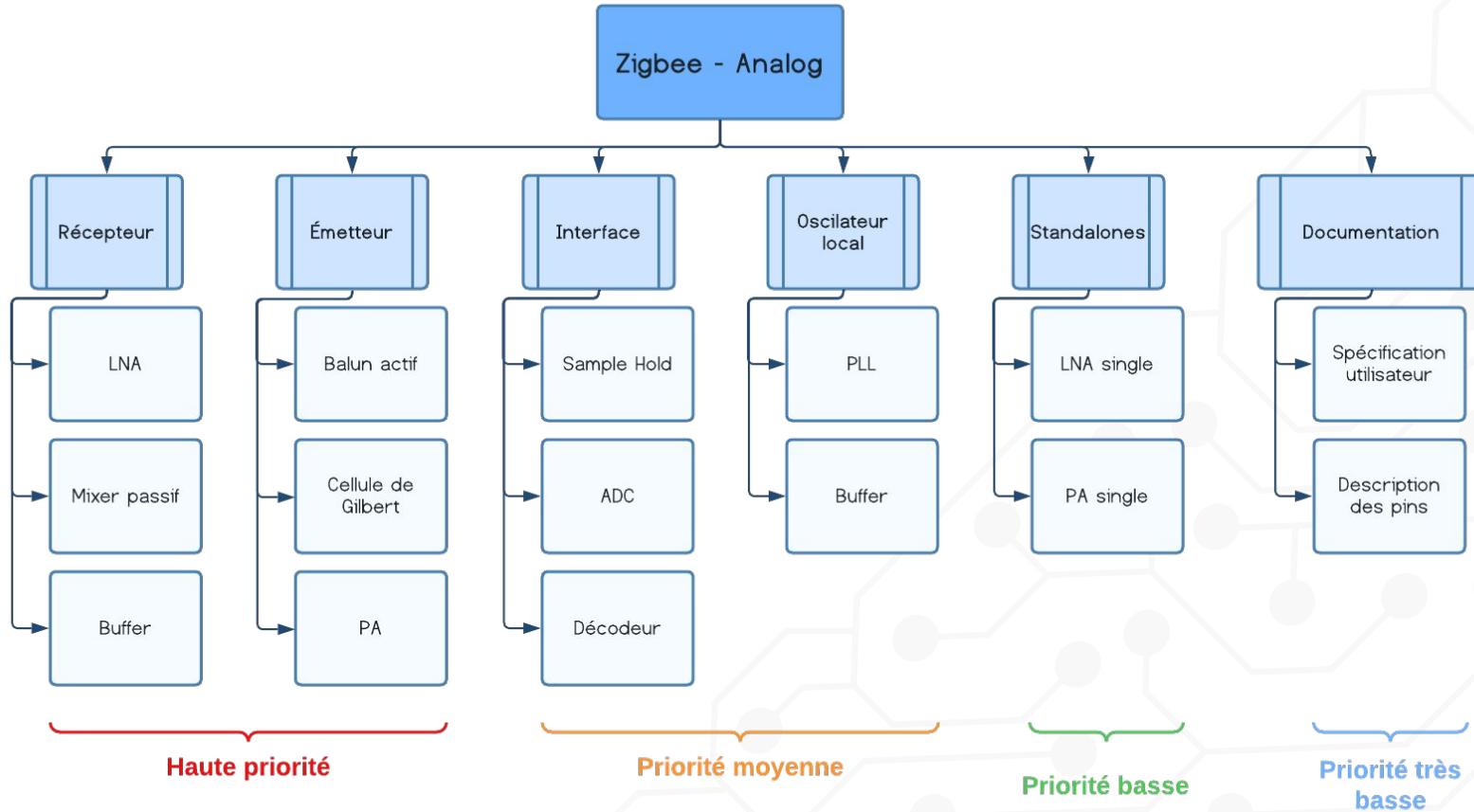


01.02

Management

Planning

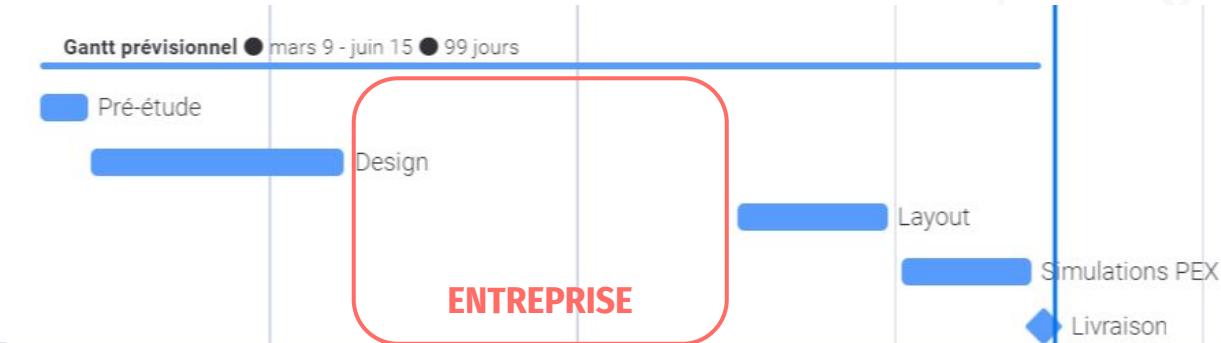
PBS. Product Breakdown Structure (Analogique)



Planning.Gantt (Analogique)

Gantt prévisionnel

Pré-étude	mars 9 - 14
Design	mars 14 - avr. 8
Layout	mai 16 - 31
Simulations PEX	juin 1 - 14
Livraison	juin 15

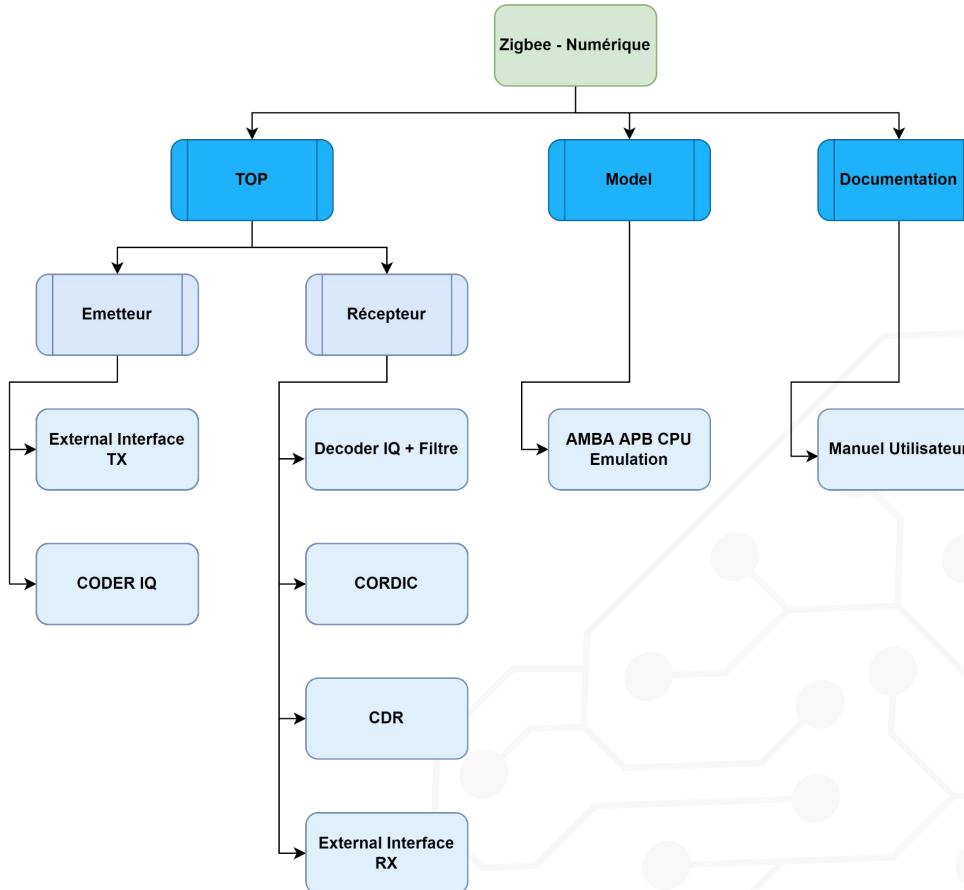


Gantt effectif

Pré étude	mars 9 - 14
Design	mars 10 - mai 20
Layout	mars 31 - juin 10
Simulations PEX	juin 1 - 15
Livraison	juin 16

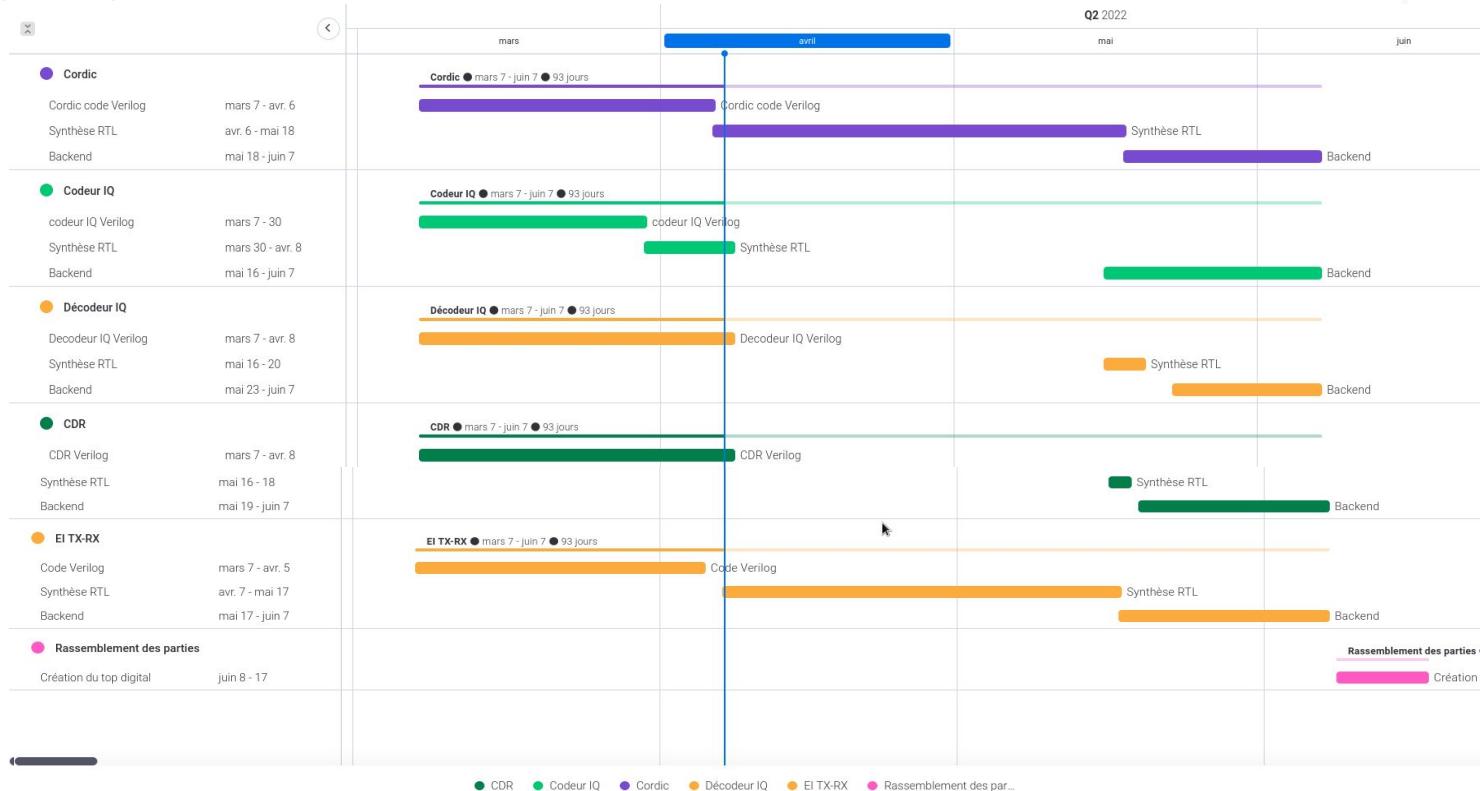


PBS. Product Breakdown Structure (Numérique)



Planning.Gantt (Numérique)

Planning original



Planning.Gantt (Numérique)

Changement de planning

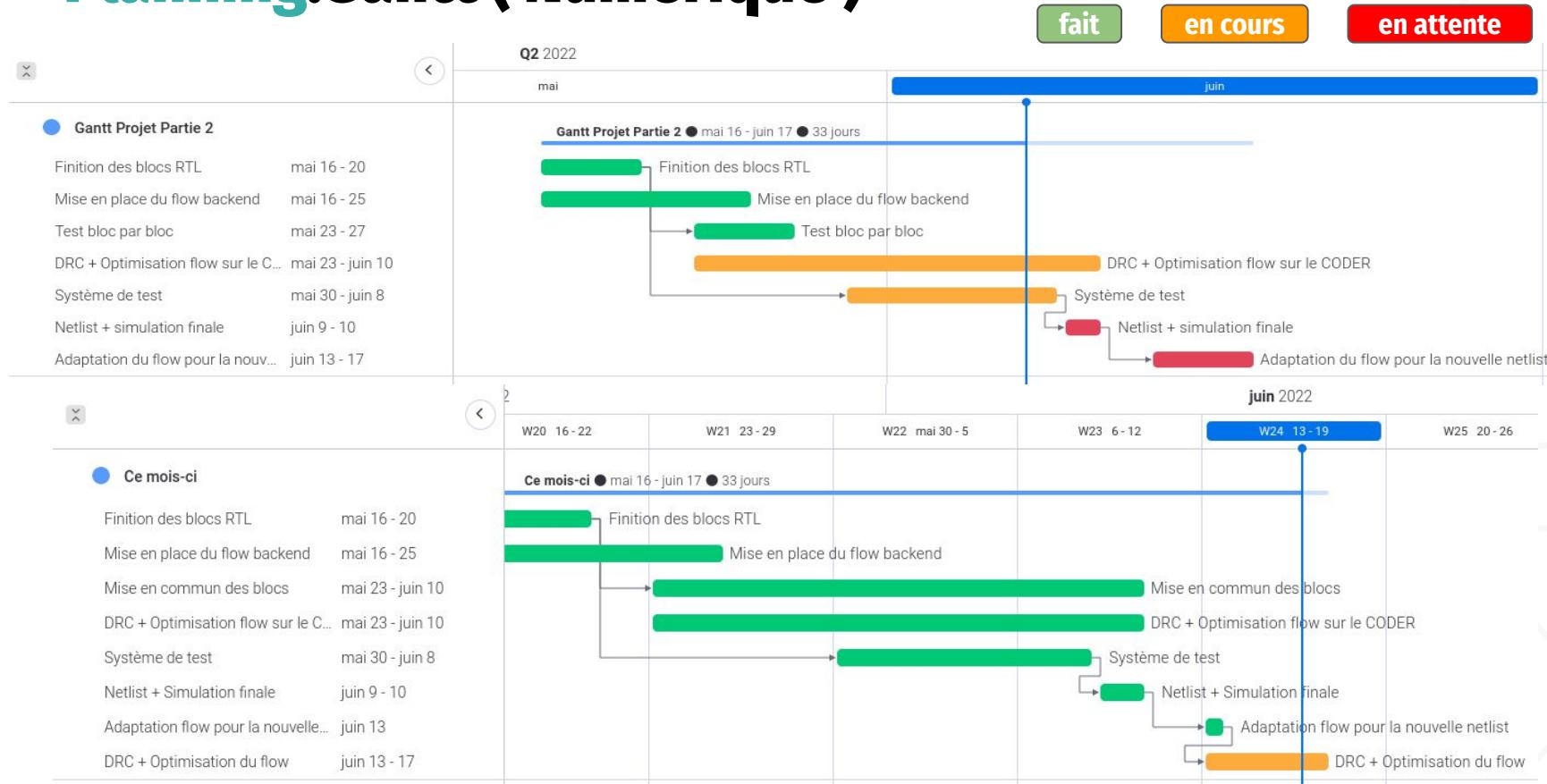
Raisons :

- Faire un place & route global
- Mise en commun des blocs plus long que prévu

Solution :

- Réorganisation des groupes de travail

Planning.Gantt (Numérique)





01.03

Management

Coûts

Coût. Estimation

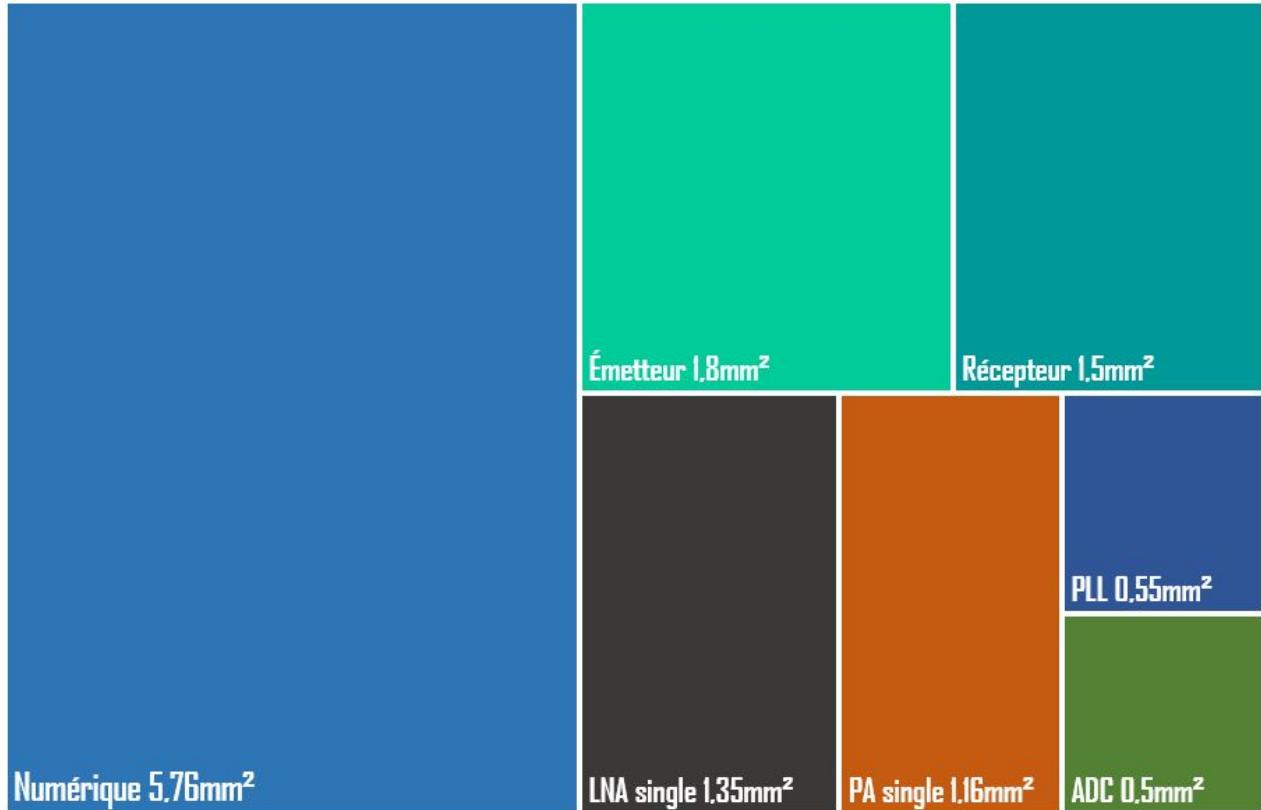


Coût de fabrication

- 800 € / mm²
- 12.62 mm²

TOTAL : 10 096 €

Surface validée



Coût. Estimation

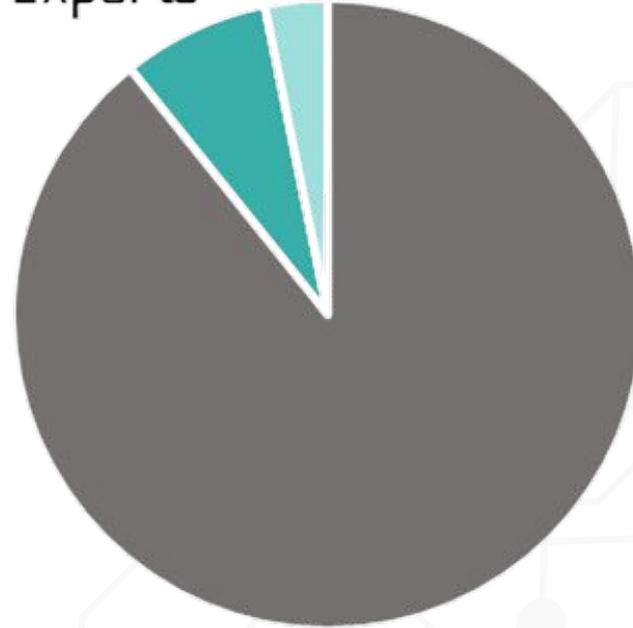
Jours Humain



- 10 numériciens et 11 analogiciens
 - 15 + 10 jours de travail
 - 525 jours Humain (450 €)
-
- 2 experts
 - 10 jours
 - 20 jours Humain (1000 €)

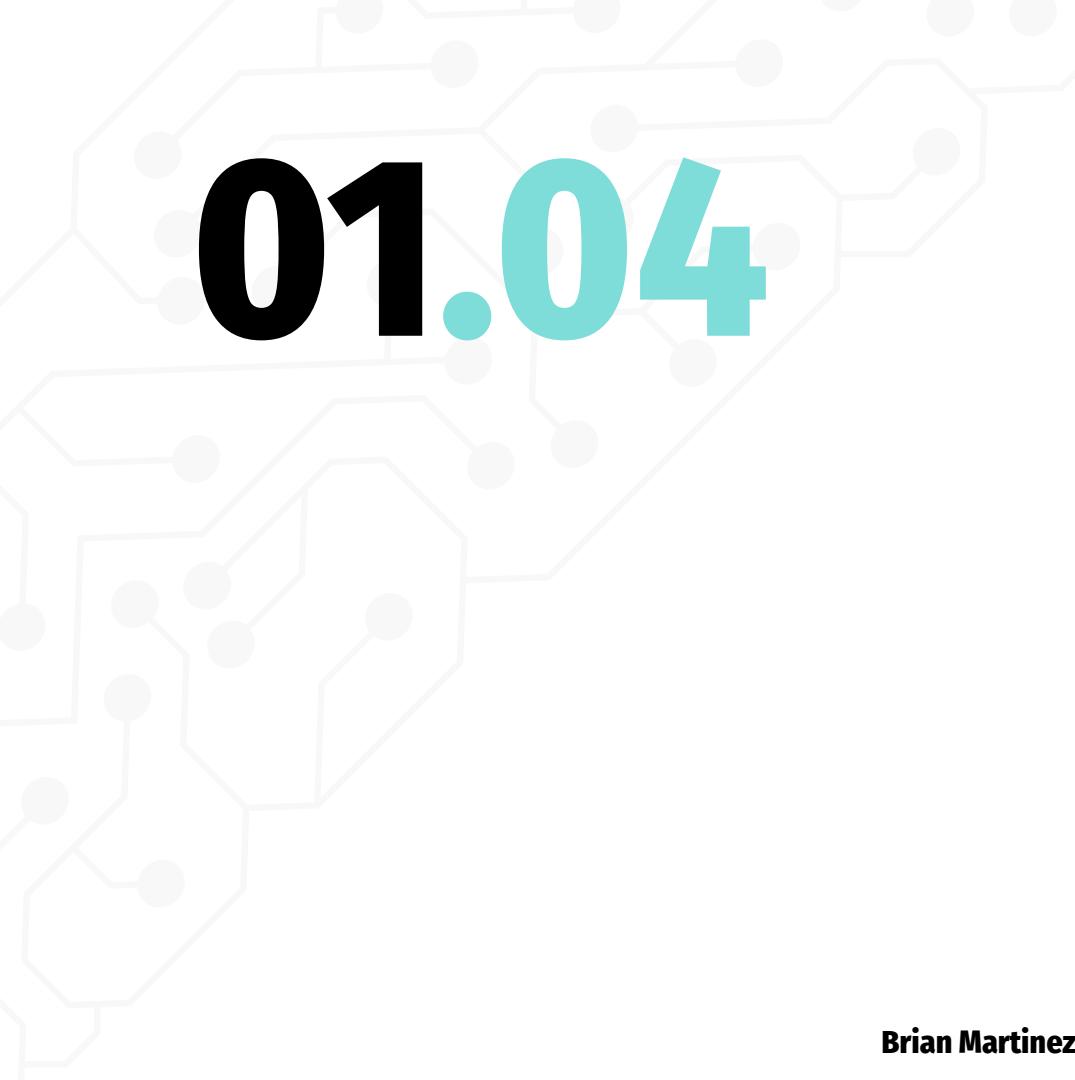
TOTAL : 256 250 €

Experts
Silicium



Étudiants

	Étudiants	Exerts	Silicium
%	88	7.5	4.5



01.04

Management

Risques

Risques. Communication

Manque de communication

Impact



Prévention

Weekly



Aide

Proximité



Risques. Qualité

Qualité cédée

Manque de temps pour terminer les corrections



Impact :
Spécifications légèrement plus basses pour certains blocs

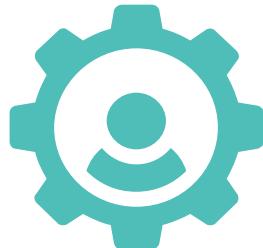


Action :

Accorder du temps supplémentaire



Perte de données



Causes:

- Mauvaise manipulation
- Incidents technique

Conséquences:

- Refaire le travail
- Perte de temps

Prévention:

- Data management (git)
- Sauvegarde des données (drive, clé USB, session...)

Risques. Régression



Causes:

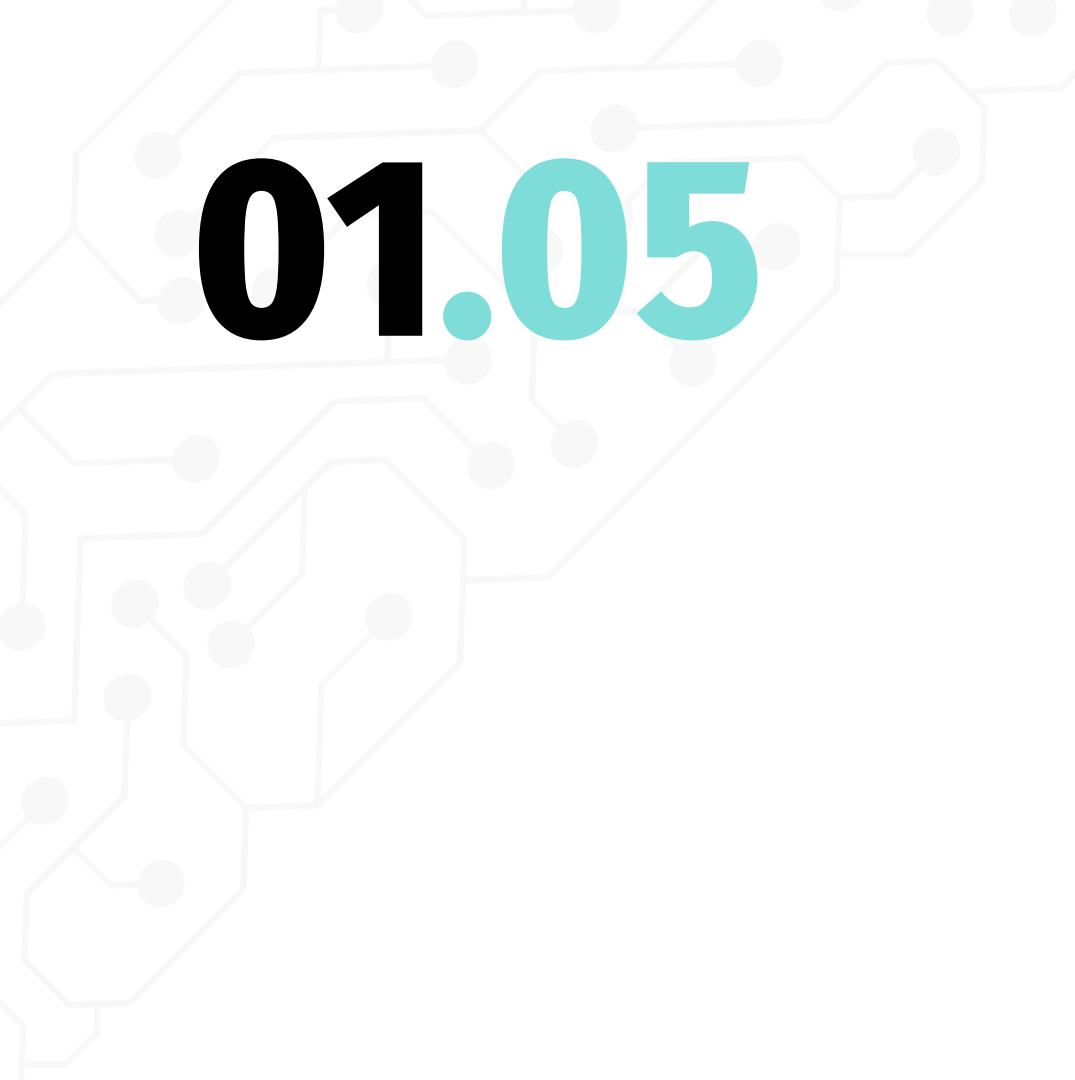
- Mauvaise modification
- Oubli d'une dépendance

Conséquences:

- Perte de temps
- Temps de débug

Prévention:

- Batterie de tests automatisés
- Vérification systématique après chaque modification



01.05

Management

Pilotage

Evolution du moral (*partie analogique*)

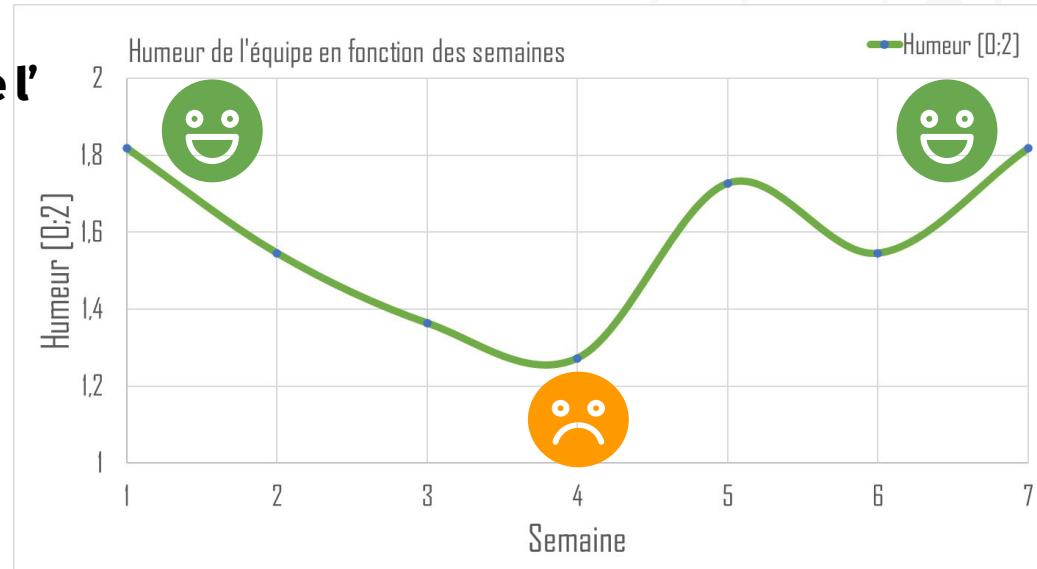
● Globalement satisfait

• Causes de la baisse de moral :

- Premières simulations, pertinence de l'étude théorique ?
- Problèmes liés à l'environnement
- Aspect dynamique de groupe

• Conséquences de la baisse de moral :

- Baisse de productivité
- Perte d'intérêt dans le projet
- Permet l'amélioration



Evolution du moral (partie numérique)

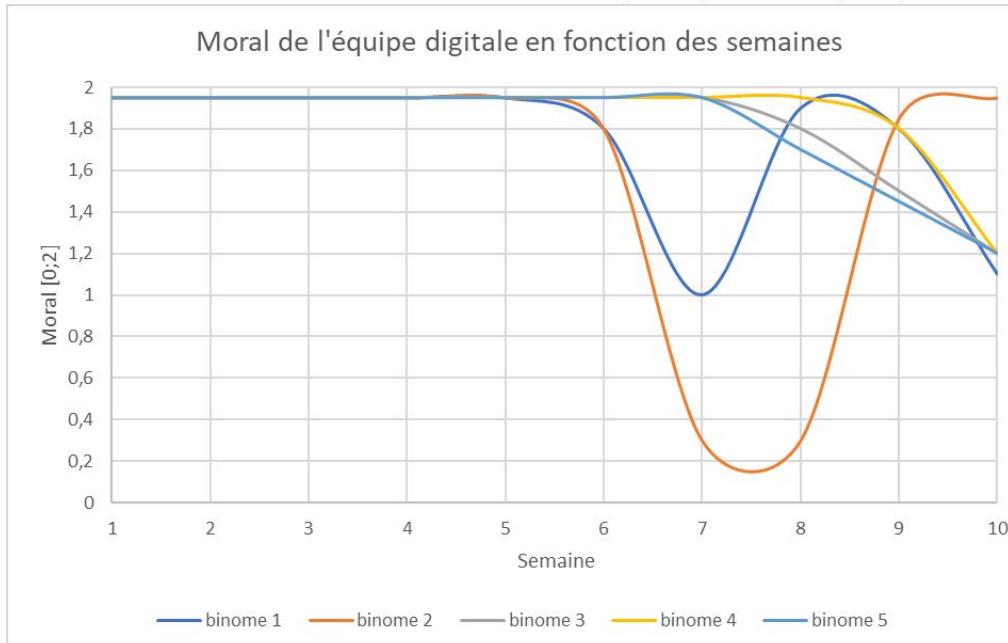
● Globalement satisfait

. Causes de la baisse de moral :

- Remise en cause de l'implémentation
- Incompétence dans un domaine

. Conséquences de la baisse de moral :

- Agacement
- Baisse de productivité
- Perte d'intérêt dans le projet



02

Analogique

Réalisation de solutions analogiques d'émission,
de réception et d'interfaçage

Sommaire.

00.

ÉTUDE SYSTÈME

Pierre Louis

(Partie 1 et 2 en introduction
Partie 3 en conclusion)

04.

RÉCEPTEUR

Manon Tabardel

Yann Zyzelewicz

01.

PA

Manon Crevel

05.

PLL

Guillaume Monti
Pierre Bordère
Pierre-Louis Hellier

02.

ÉMETTEUR

Pierre-Olivier Guessard

Nathan Loisy

03.

LNA

Romain Huc

08.

Conclusion

Brian Martinez

Yann Zyzelewicz

07.

ADC

Antoine Leone
Brian Martinez

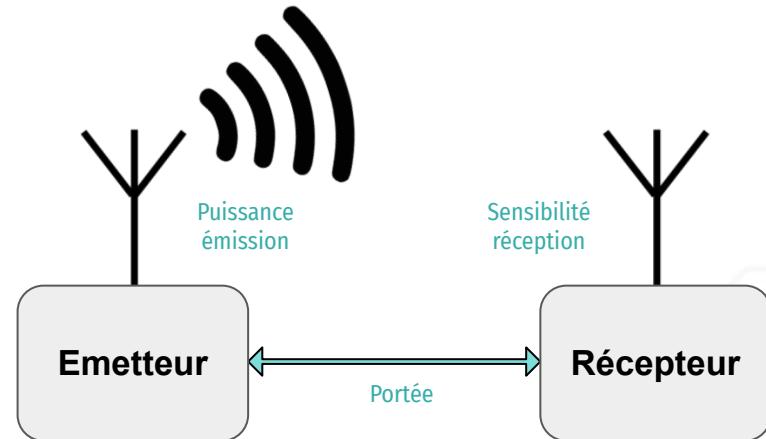
Analogique. Etude système (partie 1)

Cahier des charges

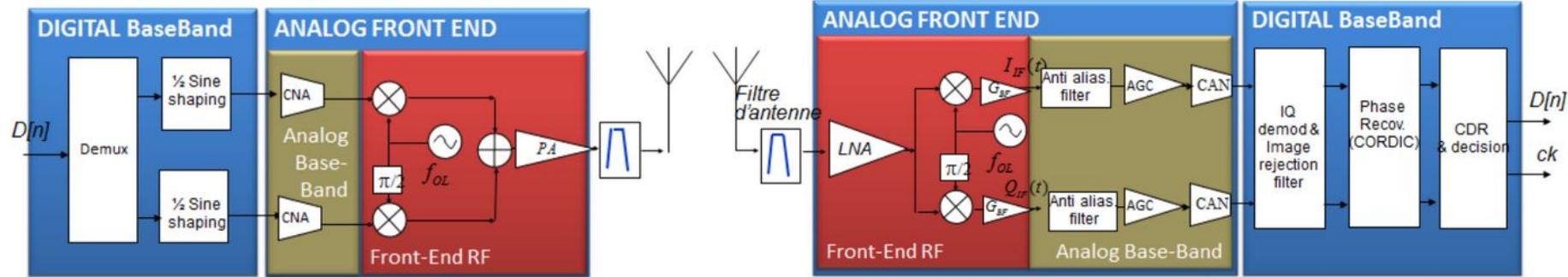
- Puissance d'émission maximale : 20 dBm
- Sensibilité en réception maximale : -85 dBm

Spécification générale (objectif)

- Puissance émission : 14 dBm
- Sensibilité récepteur : -92 dBm
- Portée théorique : 44 m



Analogique. Etude système (partie 2)



Architecture émetteur

Architecture récepteur

Critères d'appréciation

- > portée de transmission
- > taux d'erreur binaire



02.01

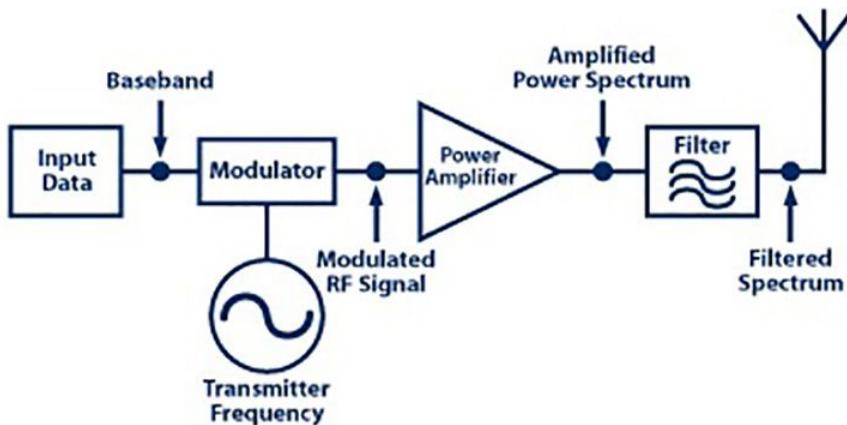
Analogique

PA

Analogique. PA

Choix de conception

Contexte



Spectrian Multi-Carrier Pre-Amplifier
MCPS-PREAMP-800
Product Specifications

Electrical Specifications

Frequency Range	869-894 MHz
RF Gain	0 to 20 dB (Adjustable)
RF Gain Flatness	± .03 dB
Output Power	10 mW
Input / Output Return Loss	15 dB
Intermodulation Distortion (IMD)	-70 dBc @ 10 mW
Carrier Spacing (Amps/TDMA)	60 kHz min., 25 MHz max.
Output Protection	15 dB Isolated
DC Voltage Range	24 to 28V
DC Current @ 27 V _{DC}	1 Amp
Noise Figure	TBD

Supplemental Characteristics

Operating Temperature	0° - 60°C
Storage Temperature	-40° - +85°C
Operating Humidity	5 to 85% (Non-condensing)
Storage Humidity	5 to 85% (Non-condensing)
Connector	1. RF Input(s): SMA (F) 2. RF Output: SMA (F) 3. DC Inputs/Ground: 9 Pin D-Sub
Size (L x W x H)	17 x 19 x 3.5 inches (431.8 x 482.6 x 88.9mm)
Weight	18 lbs (8.0 kg)

Specifications are subject to change without notice.

Spectrian Corporation, 1999

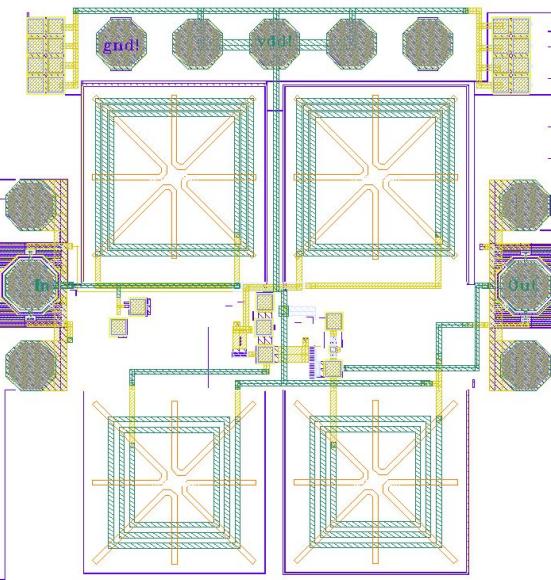
Analogique. PA

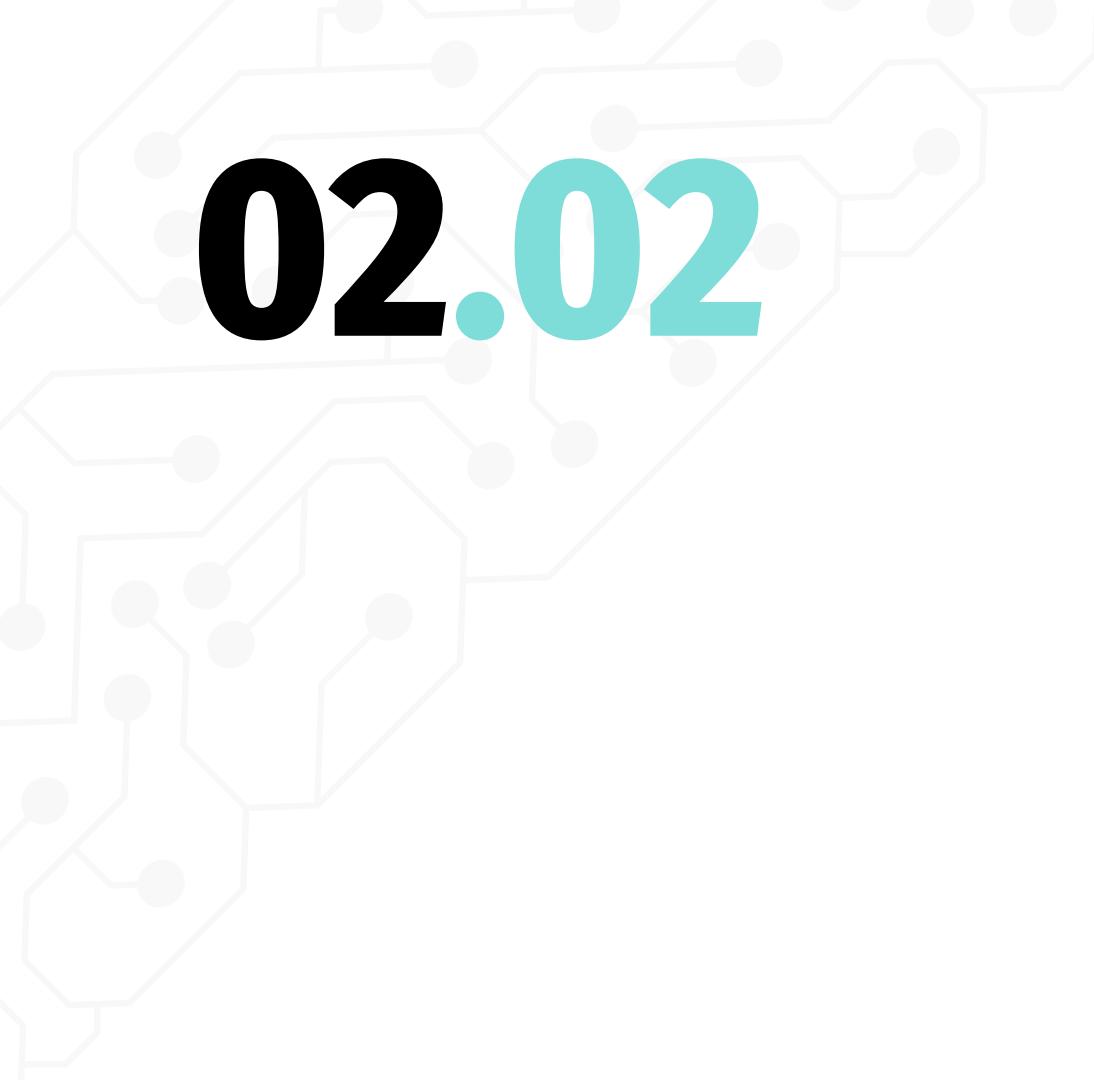
Performances PA single

	Cahier des charges	Post Design	Post Layout
GAIN [dB]	15	16.8	14.8
OCP1dB [dBm]	10	11.1	8.1
Psat[dBm]	11	15.5	12
Consommation [mW]	/	201.0 (67mA/3V)	209.7 (70mA/3V)
Zin [Ω]	50	50	46

Compromis

- Adaptation en entrée
- Surface occupée
- Couplage des inductances





02.02

Analogique

Émetteur

Analogique. Mixer Actif

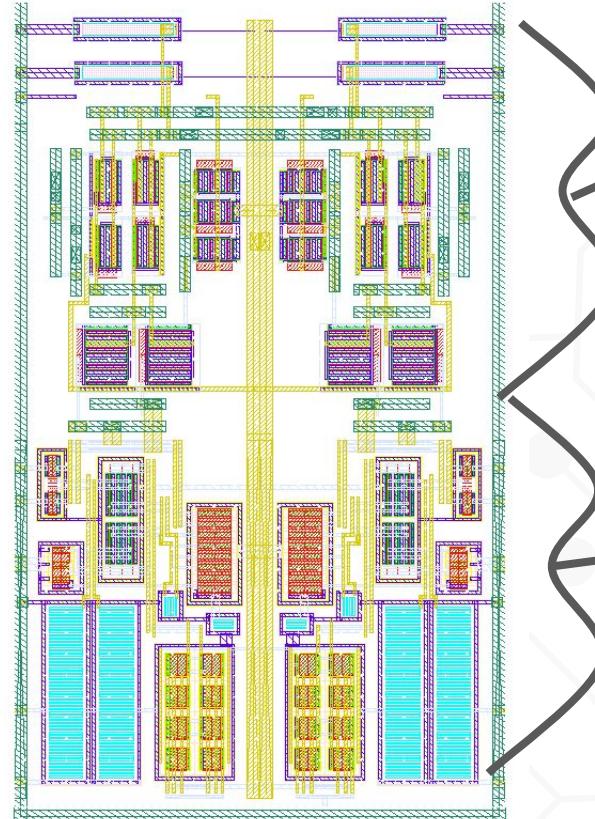
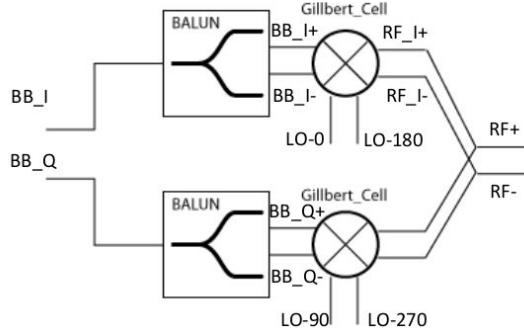
Contexte

Pourquoi un Mixer Actif ?

- Un maximum de gain
- Atteindre la sensibilité du récepteur

Mais ...

- Plus bruyant qu'un mixer passif
- Consomme plus
- Moins tolérant à la surcharge.



Cellule de Gilbert

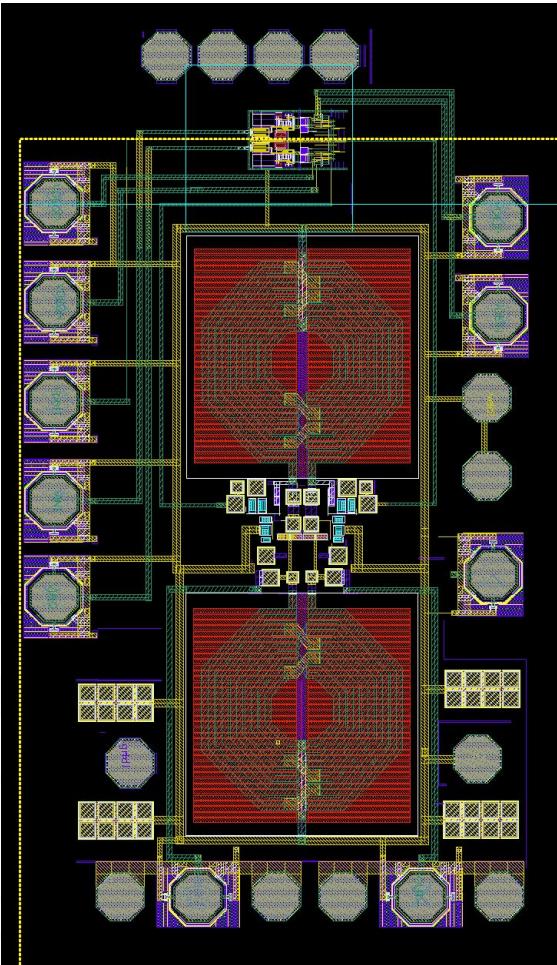
Balun Actif

Analogique. Émetteur

Performances PA diff / Chaîne TX

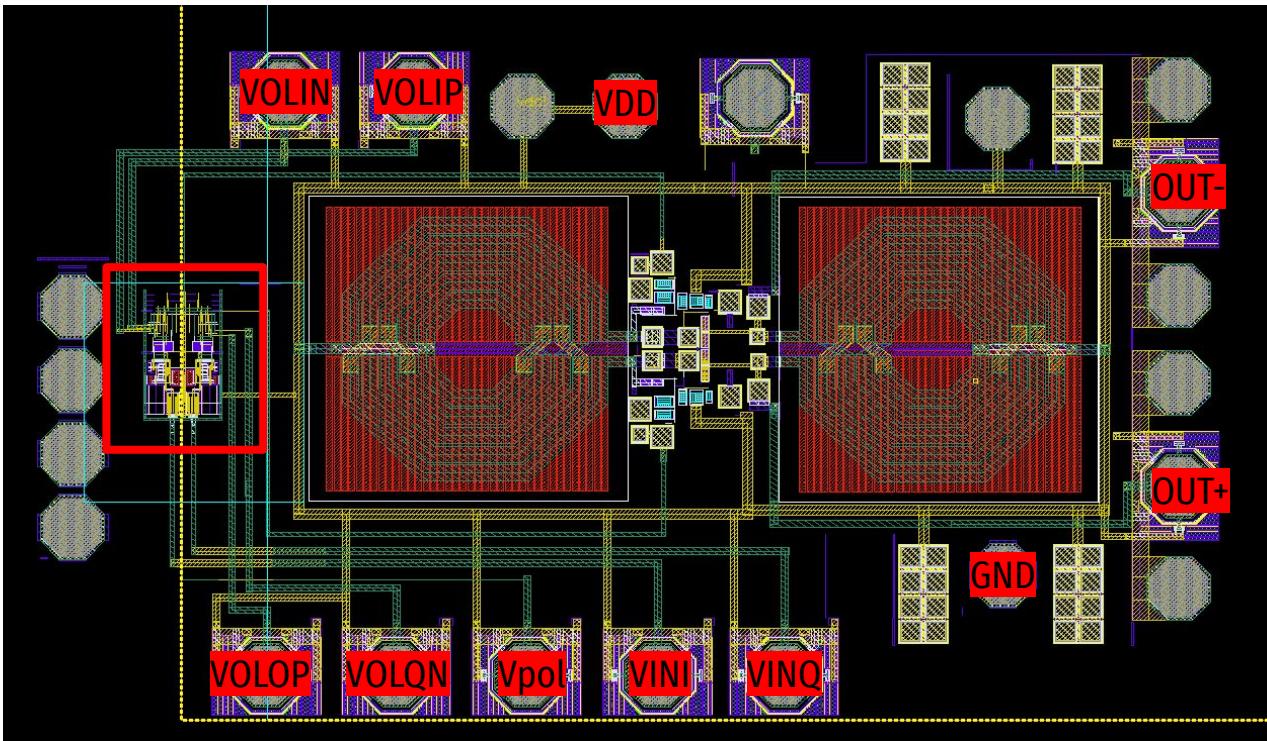
PA	Schematic + wirebound	PLS + wirebound
Conso (mA)	94,85mA	85,45
OCP1 (dBm)	15,8	14,25
Gain (dB)	22,17	20,47
Psat (dBm)	18,25	17,25

TX	Schematic	PLS
Conso (mA)	105	127
OCP1 (dBm)	14	10.20
Psat (dBm)	16.01	12.5



Analogique. Émetteur

Choix de conception



Compromis

- Piste (capa/res)
- Adaptation PA/MIXER
- Taille (symétrie)

02.03

Analogique

LNA

Analogique. LNA

QORVO
DEVICES
BEYOND WHAT'S POSSIBLE™

QORVO

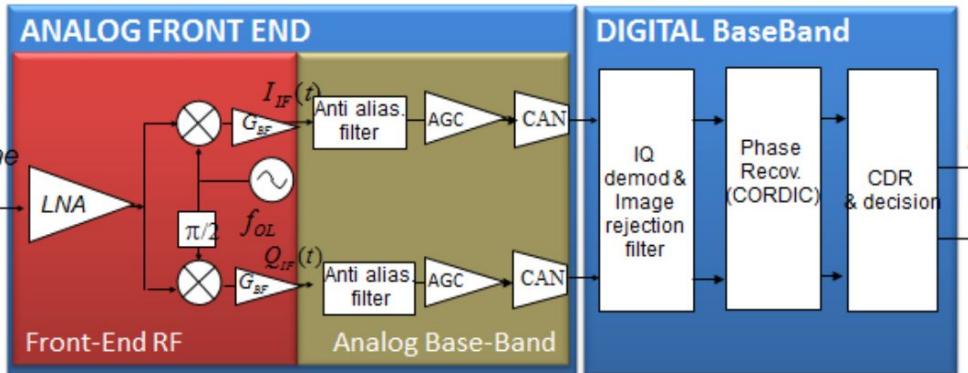


Contexte

Pourquoi un LNA et non un amplificateur source commune ?

- Low Noise Amplifier
- En tête de la chaîne de réception

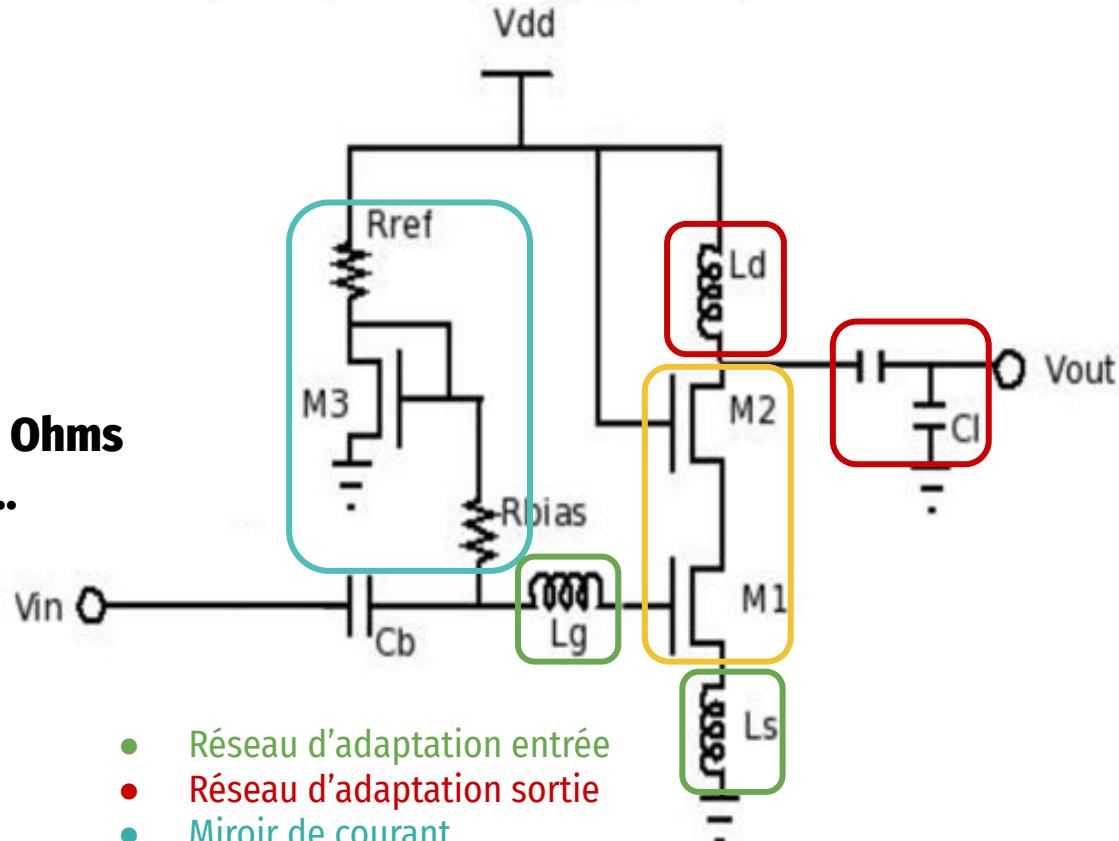
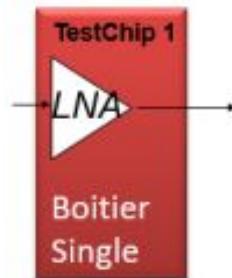
	ADL5542	TQP3M9037
Frequency	20,0MHz - 6,0GHz	0,7 - 6,0 GHz
Gain	20 dB	20 dB
Noise Figure	3,2 dB	0,4 dB
Output IP3	46 dBm	35 dBm
OCP 1dB	20,6 dB	19,5 dB



Analogique. LNA

Single

- LNA stand alone
- Comparaison avec le différentiel
- Adaptation continue du réseau à 50 Ohms
- Des composants idéaux à la réalité...



- Réseau d'adaptation entrée
- Réseau d'adaptation sortie
- Miroir de courant
- Amplificateur

Analogique. LNA

Single

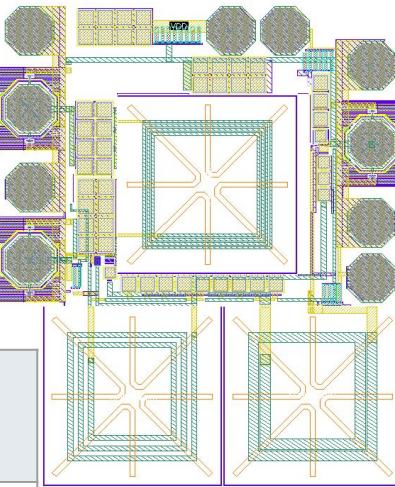
- Paramètres obtenus

	NF (dB)	Gain (dB)	Pc1dB (dBm)	Conso (mA)	IIP3 (dBm)
Cdc	3.5	17	-2	5	13
Résultat simulation	3.1	$4.95 = \sim 15.63$	-2.69	13	14.42
Résultat layout	3.7	$4.73 = \sim 15.2$	-5.95	13.25	12.93

- Layout

Amélioration du design

Prise en compte des parasites capacitifs et inductifs





02.04

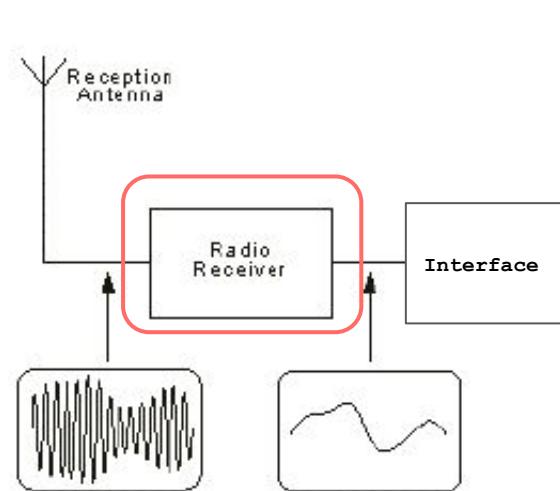
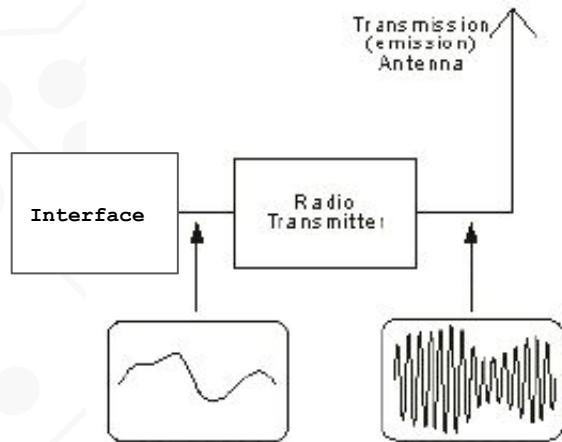
Analogique

Récepteur

Analogique. Récepteur

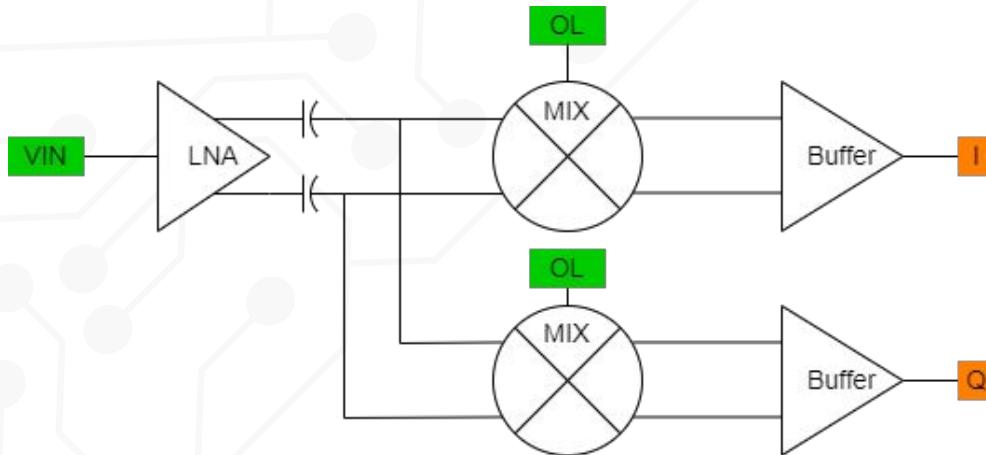
Contexte

→ Réception et première mise en forme du signal pour le traitement numérique



Analogique. Récepteur

Architecture



→ Les performances de la chaîne impactent la portée de la transmission

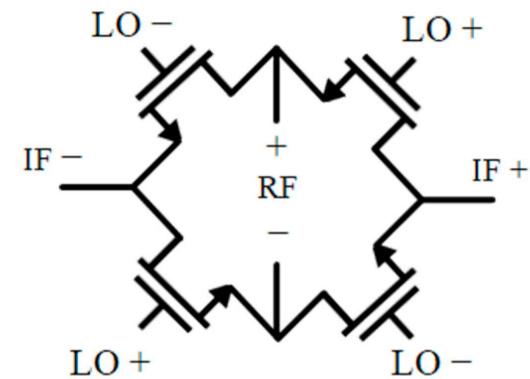
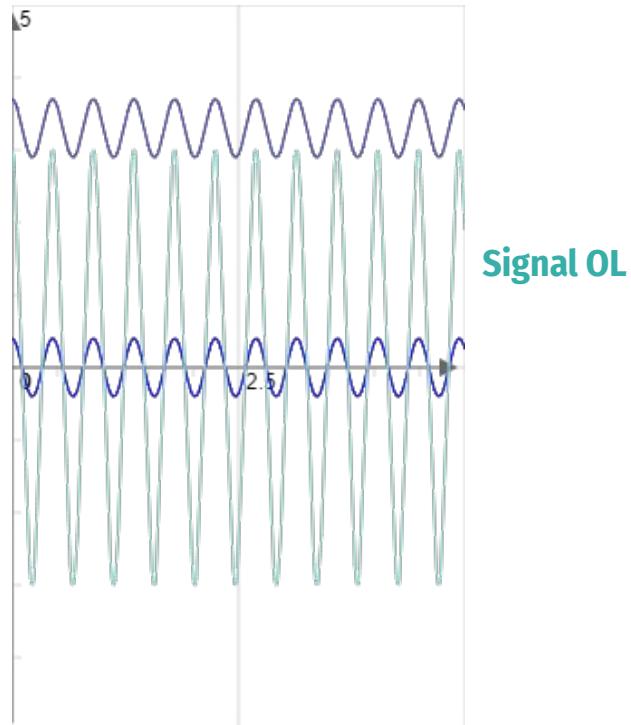
Performances clés :

- Gain du LNA
- Bruit du LNA et du Mixer
- Saturation de la chaîne (IIP3)

Analogique. Récepteur

Choix de conception: tension de mode commun

Signal RF en sortie du LNA
Capa de liaison
Signal en entrée du mixer



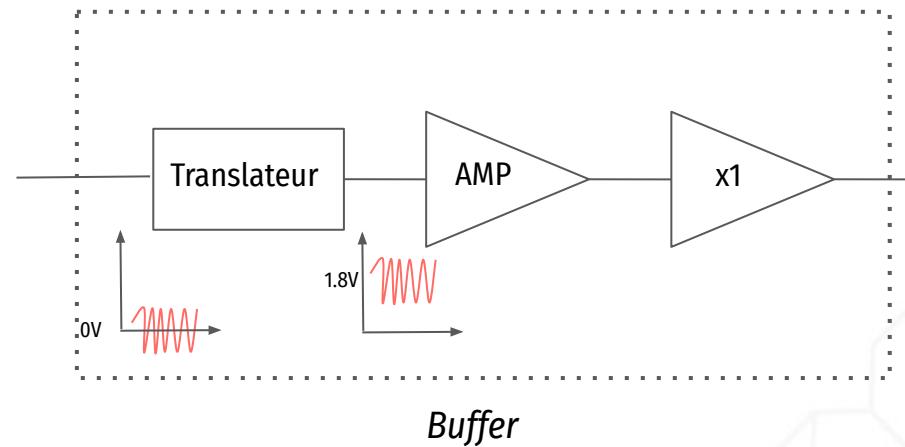
Analogique. Récepteur

Choix de conception: buffers de mesure

Objectif: Adapter l'impédance de sortie du récepteur pour la mesure

Impacts:

- Réhausse le gain de la chaîne
- Introduit de la distorsion
- Ajoute beaucoup de bruit

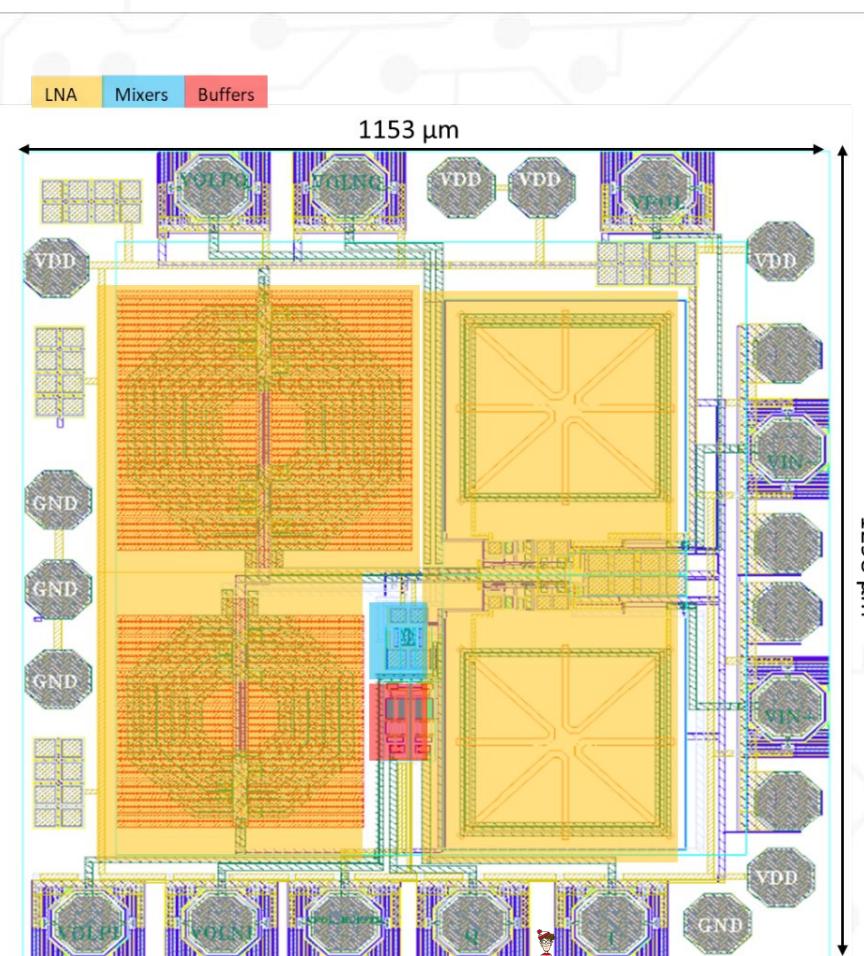


Analogique. Récepteur

Layout

Points à respecter :

- Règles de dessin
- Positionnement des plots
- Surface la plus réduite possible



Analogique. Récepteur

Performances obtenues

	Chaîne RX complète			
	Spec	Résultats	Post Layout	Avec buffers
Consommation	/	16.5	12.75	13.1
ICP (dBm)	-2	-2.6	-5.9	-14
IIP3 (dBm)	/	7.5	3.9	-0.2
Gain (dB)	16	14.3	12.2	15.8
NF (dB)	3.6	7.45	10.33	21.5
Sensibilité	-91.5	-87.7	-85.2	-74
Portée maximale	43 m	38.7 m	27.5 m	14.5m
Portée minimale	14 cm	8 cm	8 cm	21 cm



02.05

Analogique

Boucle à verrouillage de
phase (PLL)

Analogique. PLL

Contexte

Rôle de la PLL (boucle à verrouillage de phase) :

- Synthèse fréquence porteuse à **2.45 GHz**
- Utilisée à **l'émission** et à la **réception** (doit s'interfacer avec le mixer)
- Implémentation **Stand Alone** (analyseur de spectre)

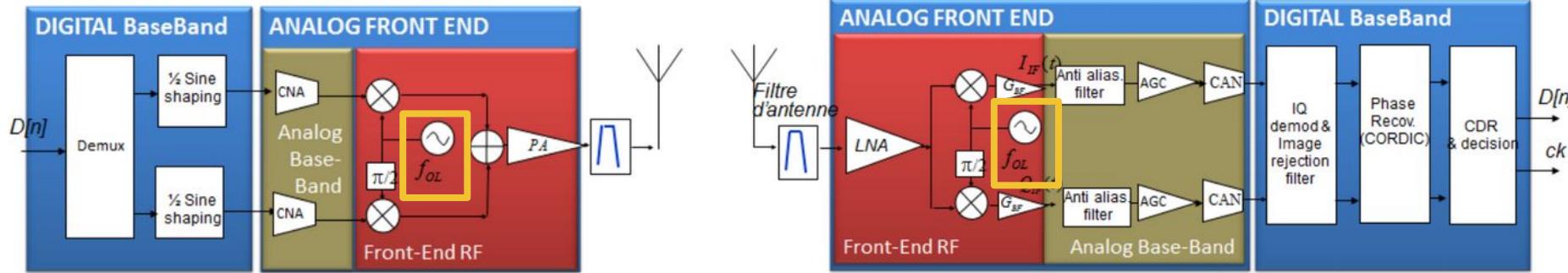
Cahier des charges

Spécification du bloc PLL :

Fréquence de sortie : **2,45 GHz.**

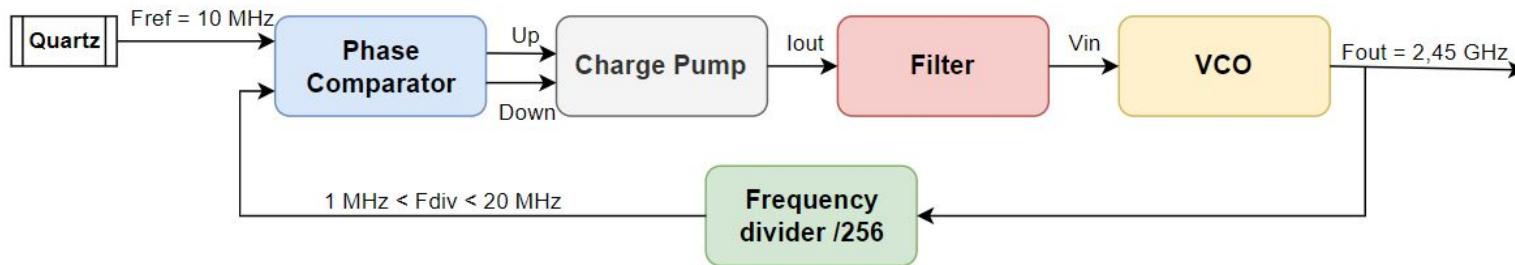
Design “stand-alone” : interface avec un analyseur 50Ω .

Sortie asymétrique.

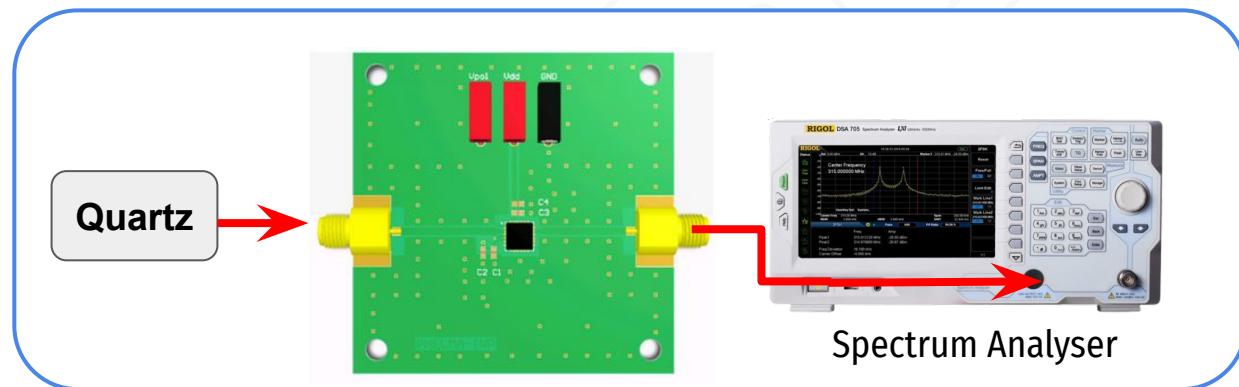


Analogique. PLL

Architecture “unitaire”



- Système contre-réactionné
- "Standalone"
- Ajout buffer sortie 50 ohms



Analogique. PLL

Choix de conception

Filtre de boucle

- Fréquence de coupure : $F_{REF}/20 = 500 \text{ kHz}$
- Courant : $10 \mu\text{A}$
- Marge de phase : 45°

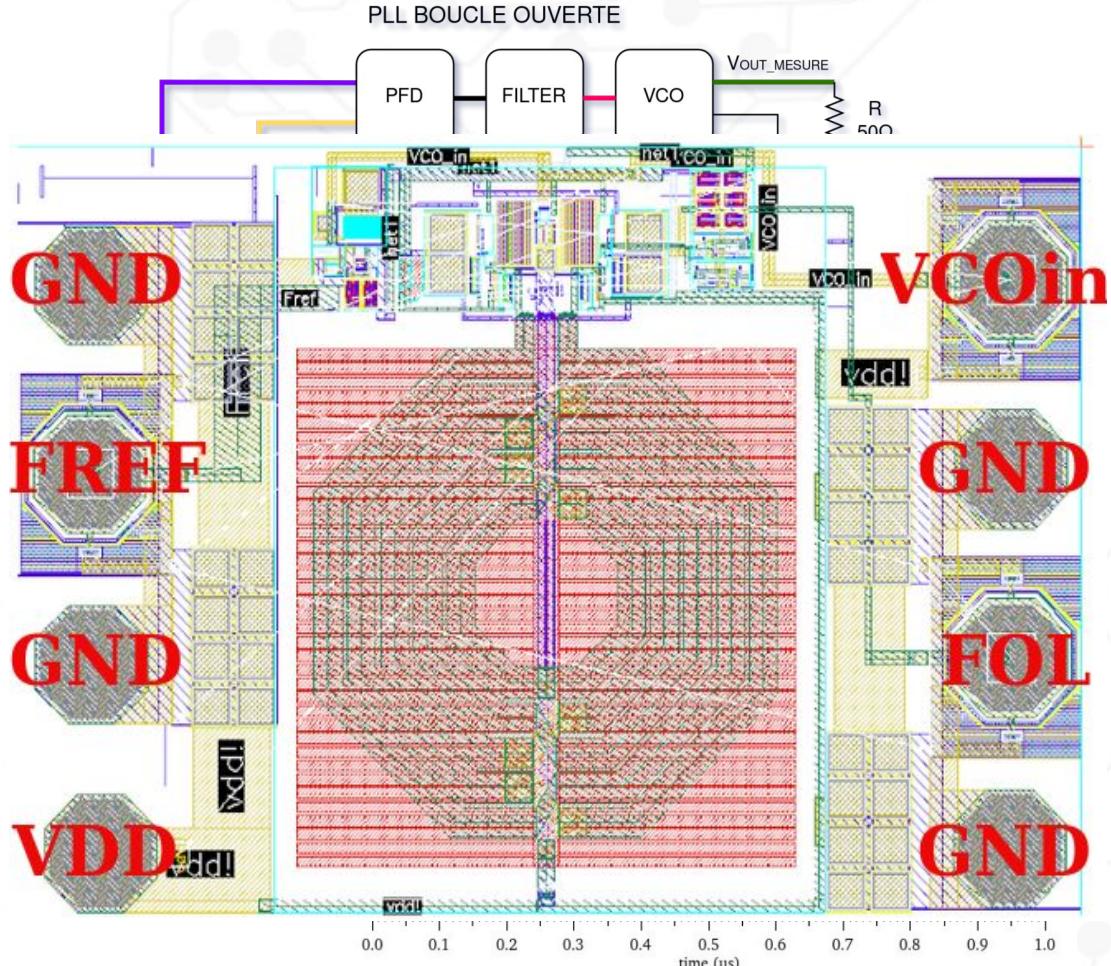
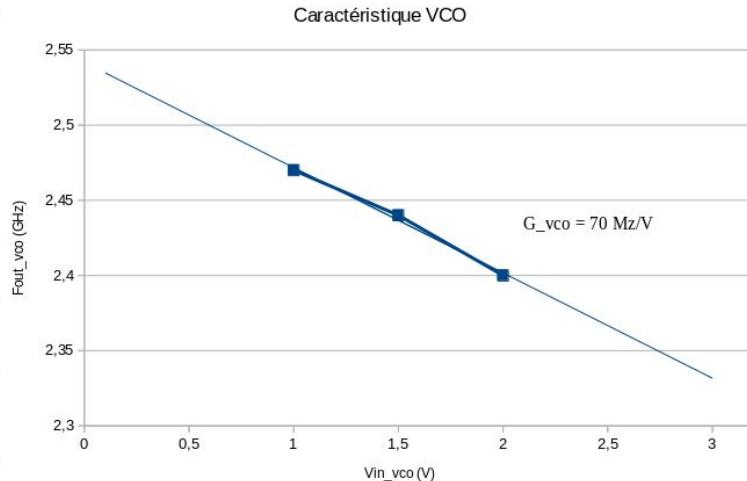
Compromis

- Vitesse d'accroche
- Bruit de phase
- Taille des composants

Analogique. PLL

Résultats

- Simulation boucle ouverte
- Caractéristiques VCO
- Consommation bloc : 70mA
- Taille circuit : 0,55 mm²



02.06

Analogique

ADC

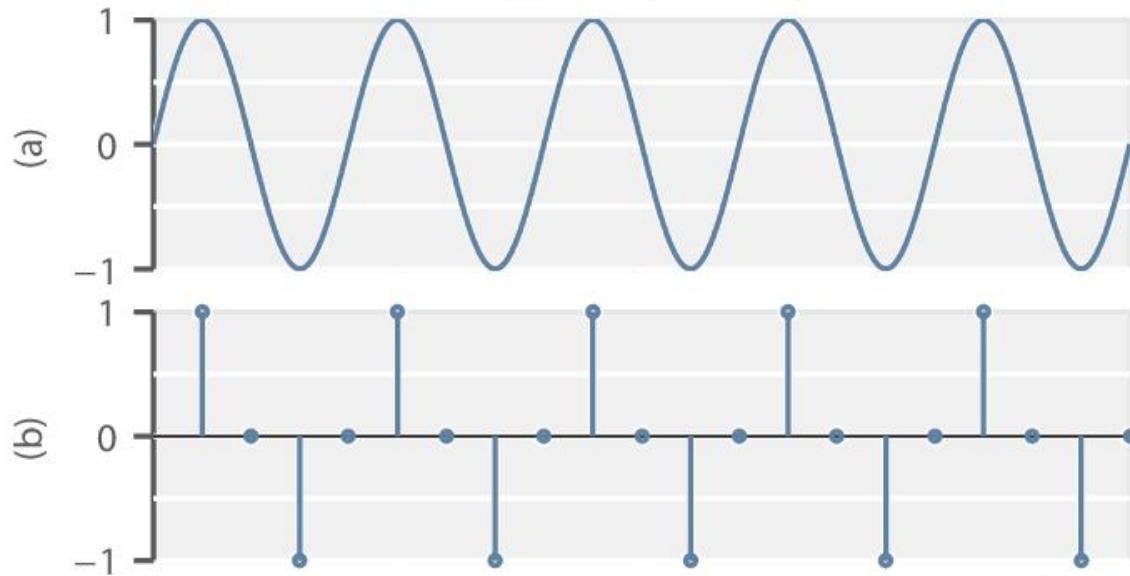
Analogique. ADC

Contexte



Spécification

- Fréquence <-
- Résolution (Bruit)
- Consommation
- Type
- Quantification



① $2 \times F_{max} = 6 \text{ MHz}$ ② 20 MHz ③ 10 MHz

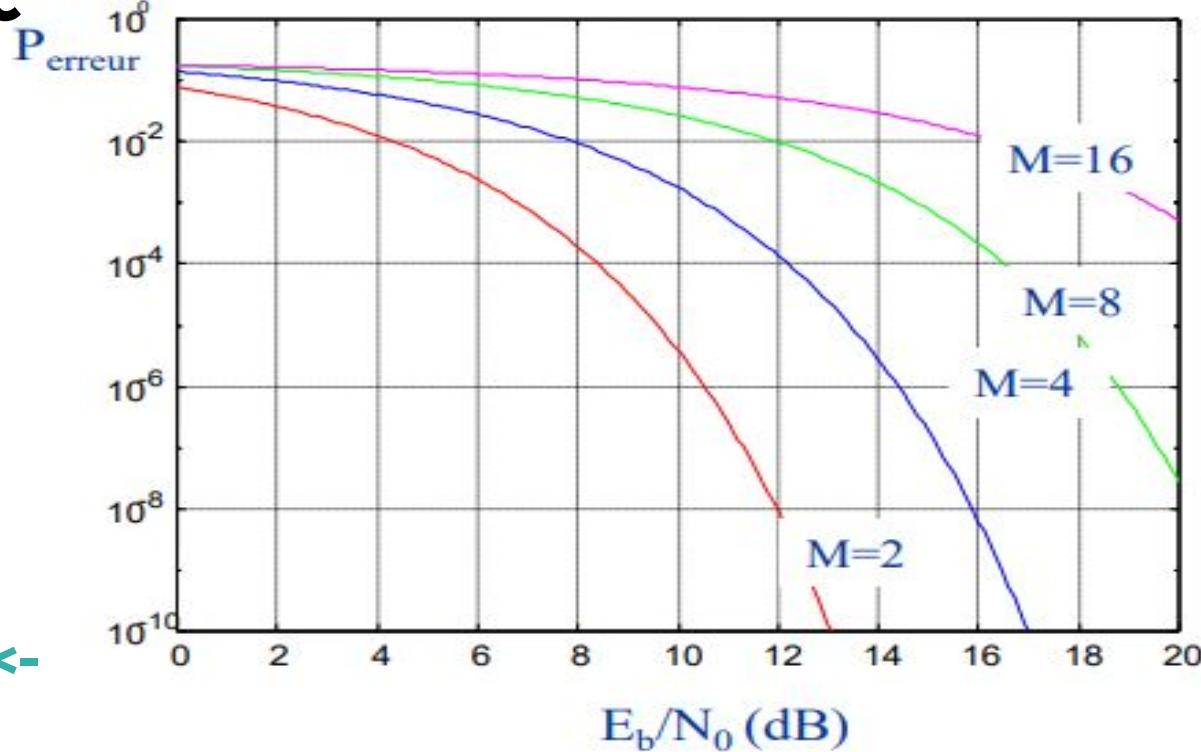
Analogique. ADC

Contexte



Spécification

- Fréquence
- Résolution (Bruit) 
- Consommation
- Type
- Quantification



① SNR (14dB) ② ENOB (2) ③ N (4)

$$\text{SNR} = \text{ENOB} \cdot 6.02 + 1.76$$

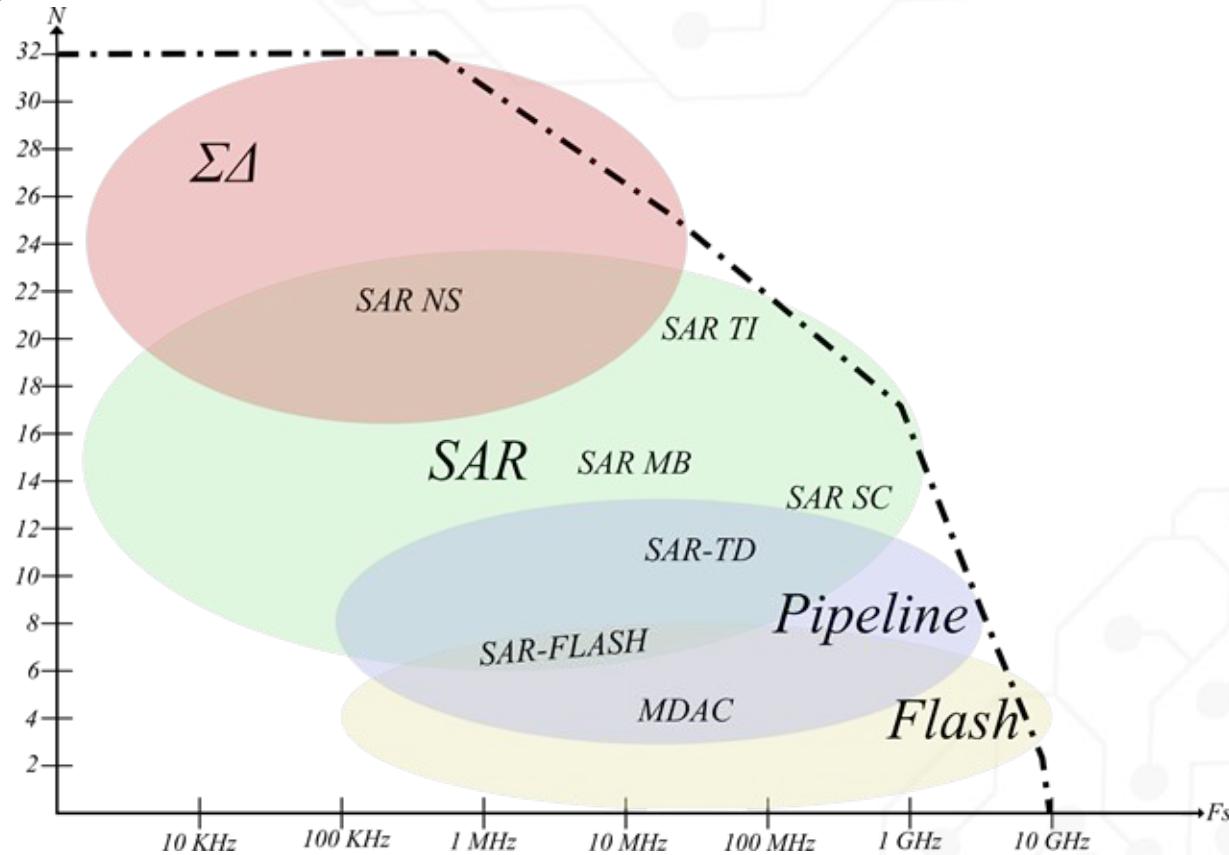
Analogique. ADC

Contexte



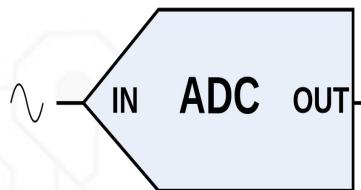
Spécification

- Fréquence
- Résolution (Bruit)
- Consommation <-
- Type <-
- Quantification



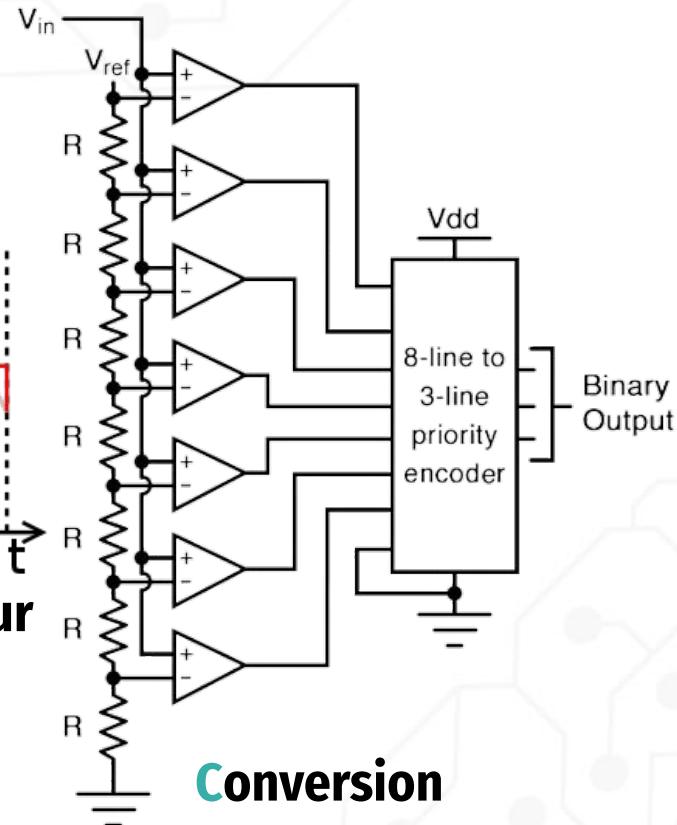
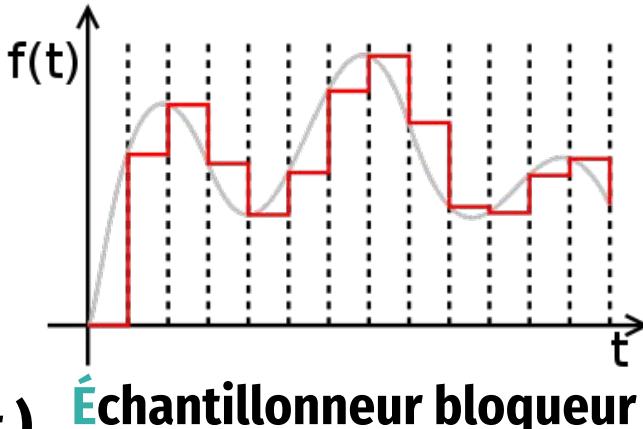
Analogique. ADC

Contexte



Spécification

- Fréquence
- Résolution (Bruit)
- Consommation
- Type ↪
- Quantification



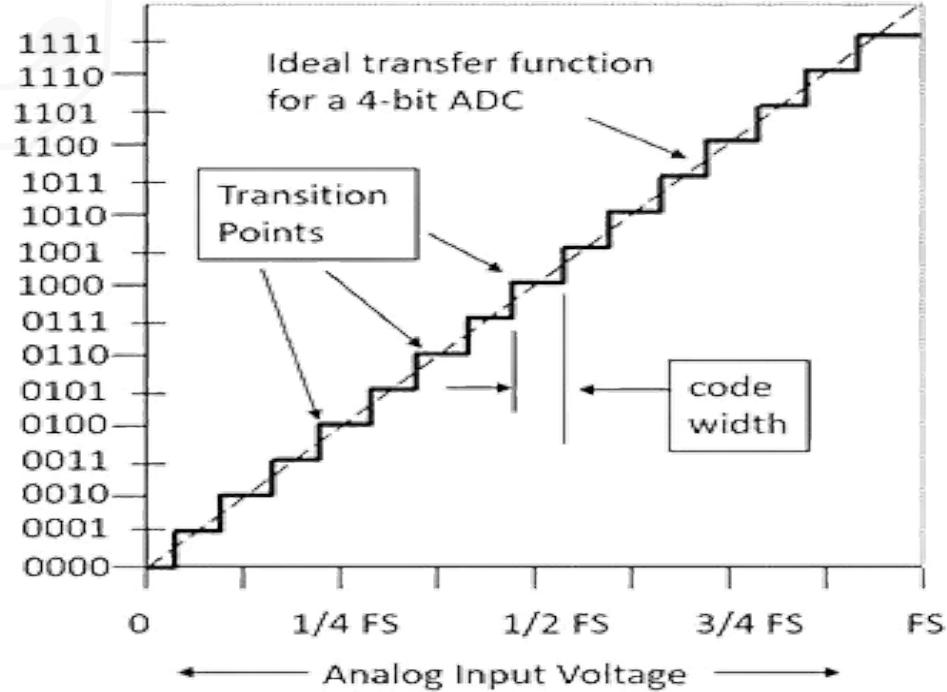
Conversion

Analogique. ADC

Contexte



Digital Output Code



Spécification

- Fréquence
- Résolution (Bruit)
- Consommation
- Type
- Quantification <-

$$FOM_2 = \frac{Power}{f_s \cdot 2^{ENOB}}$$

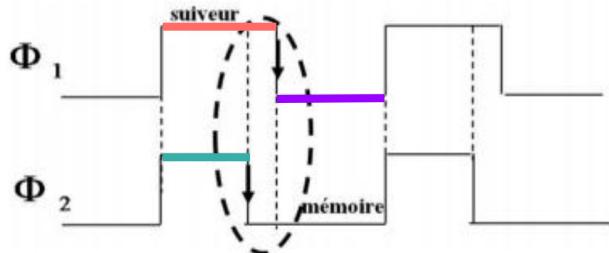
Analogique. ADC

Dimensionnement



Échantillonneur bloqueur

- Amplificateur
- Interrupteur



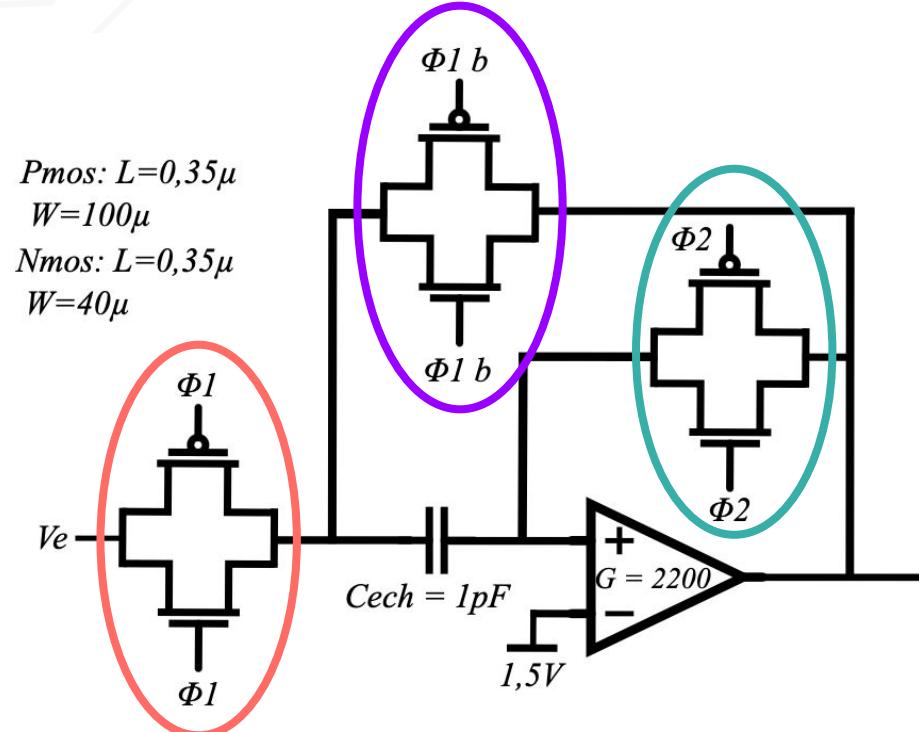
Contexte

Sample-Hold

Générateur
de phase

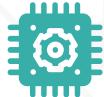
Quantification

Layout



Analogique. ADC

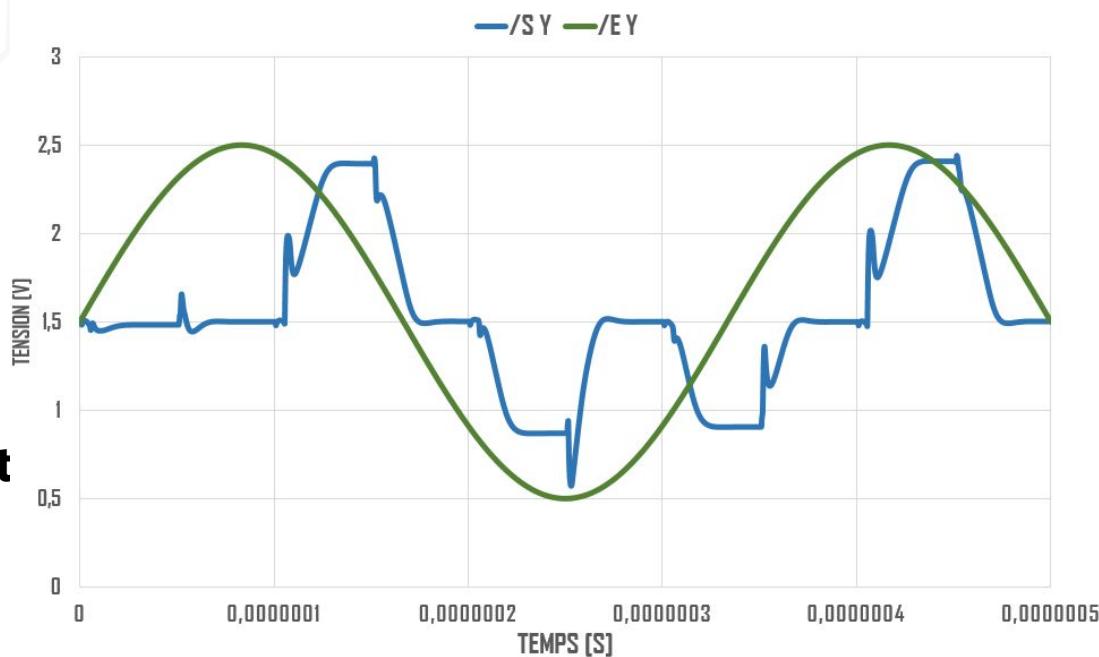
Résultat



Échantillonneur bloqueur

- Modification du layout des interrupteurs
- Simulation schématique et post layout très proches

TENSION DE SORTIE DU SAMPLE HOLD APRÈS LAYOUT



Contexte

Sample-Hold

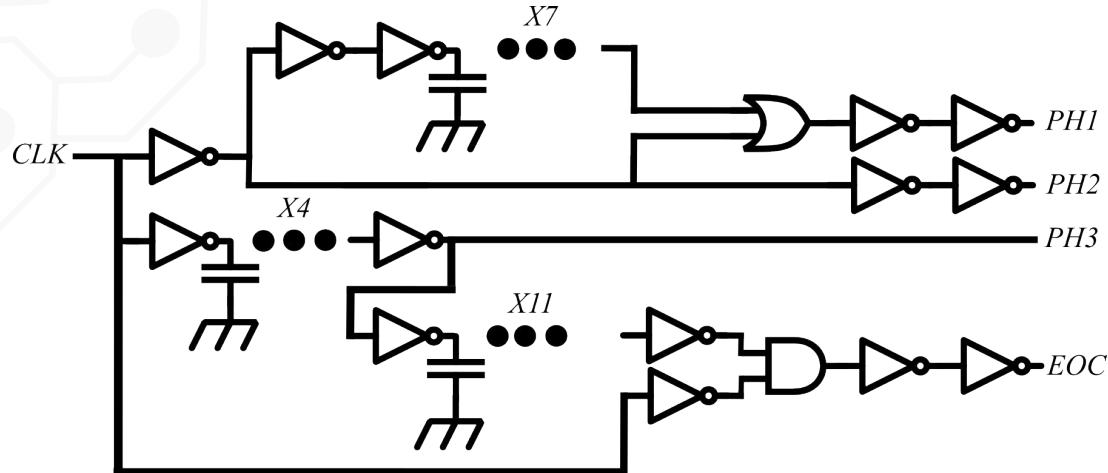
Générateur
de phase

Quantification

Layout

Analogique. ADC

Dimensionnement



- ① Système à base de cellules à retard et d'opérateurs logiques
- ② Fournir tous les signaux nécessaires à l'ADC avec une seule horloge
- ③ Partie supplémentaire qui limite les interconnexions

Contexte

Sample-Hold

Générateur
de phase

Quantification

Layout

Analogique. ADC

Dimensionnement



Quantification

- Tension de référence
- Comparateur synchrone (-10bits)
- Inverseur
- Capacité
- Décodeur

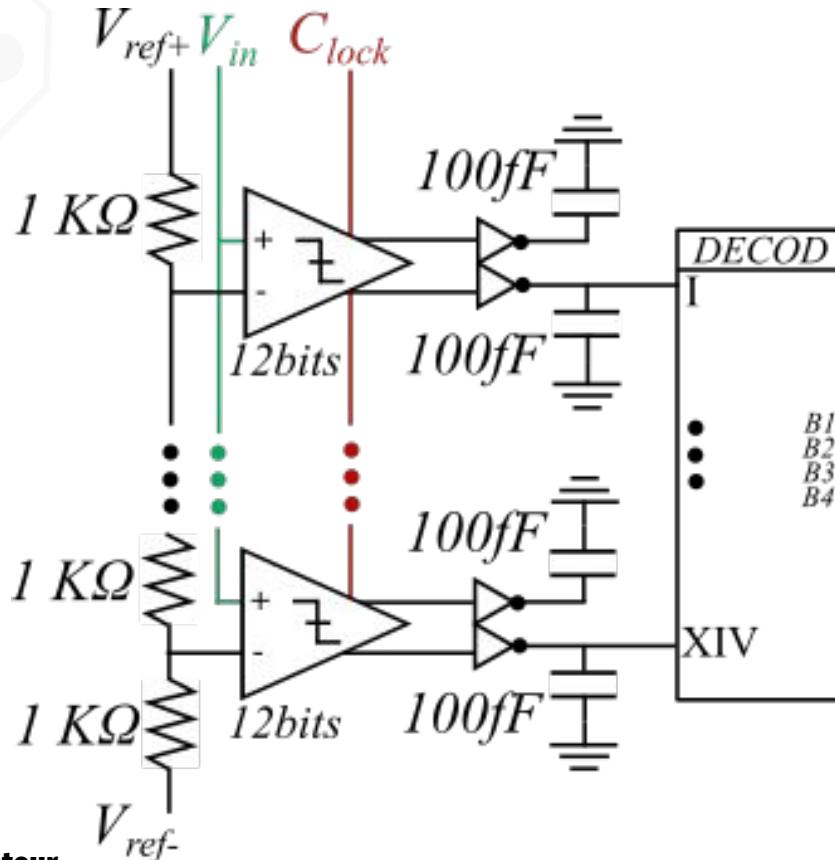
Contexte

Sample-Hold

Générateur
de phase

Quantification

Layout



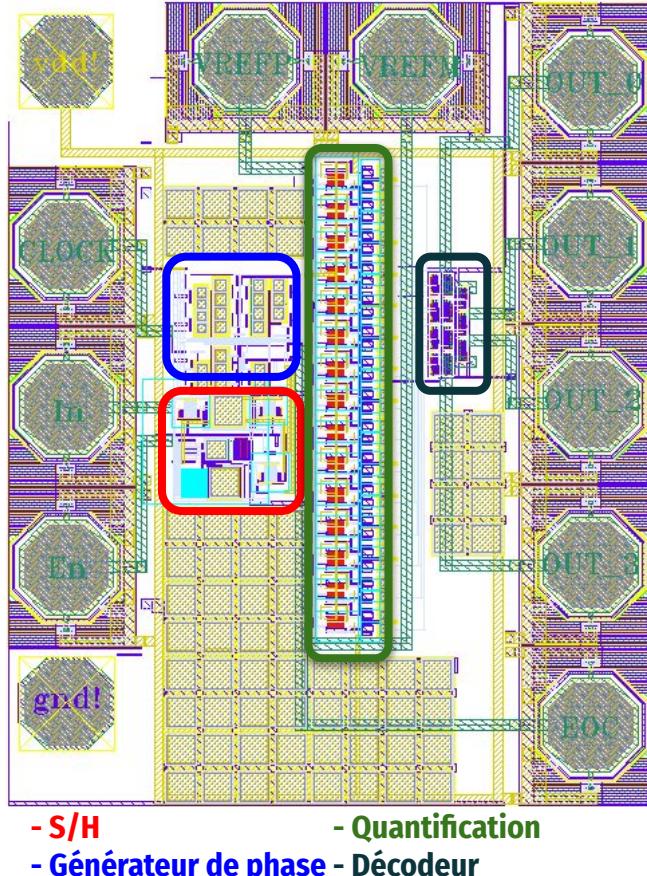
Analogique. ADC

Layout



- ① Réalisation de layout simple (inverseur , switch)
- ② Layout de bloc intermédiaires plus complexe (Générateur de phase, Comparateur...)
- ③ Assemblage final des layouts

→ Une surface réduite ($0,5 \text{ mm}^2$)
→ Taille imposée par les plots (pad limited)
→ Ajout de capacités de découplages pour combler le vide



Contexte

Sample-Hold

Générateur
de phase

Quantification

Layout

Analogique. Etude système (partie 3)

Résultats après layout

	Cahier des charges	Spécification	Schématique	Layout
Puissance d'émission (dBm)	<20	14	16	12,6
Sensibilité (dBm)	<-85	-92	-88	-85,5
Portée maximale (m)	/	44	39	28

Causes des écarts

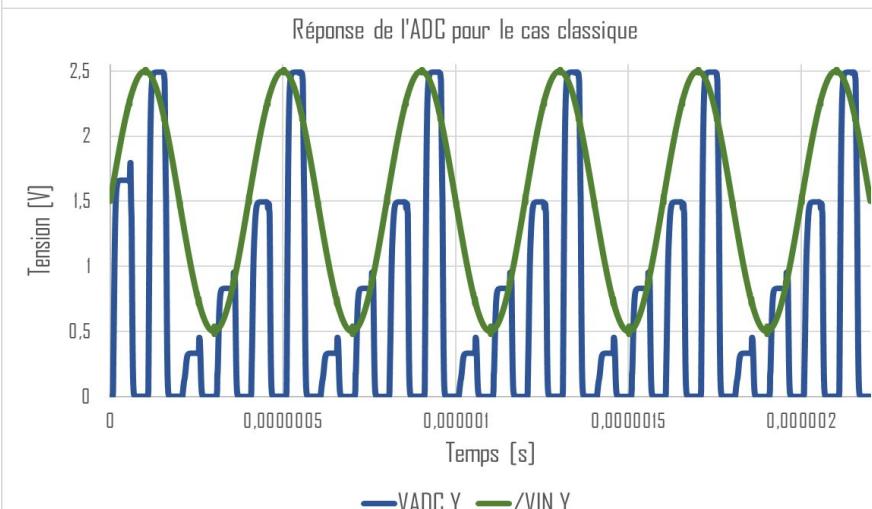
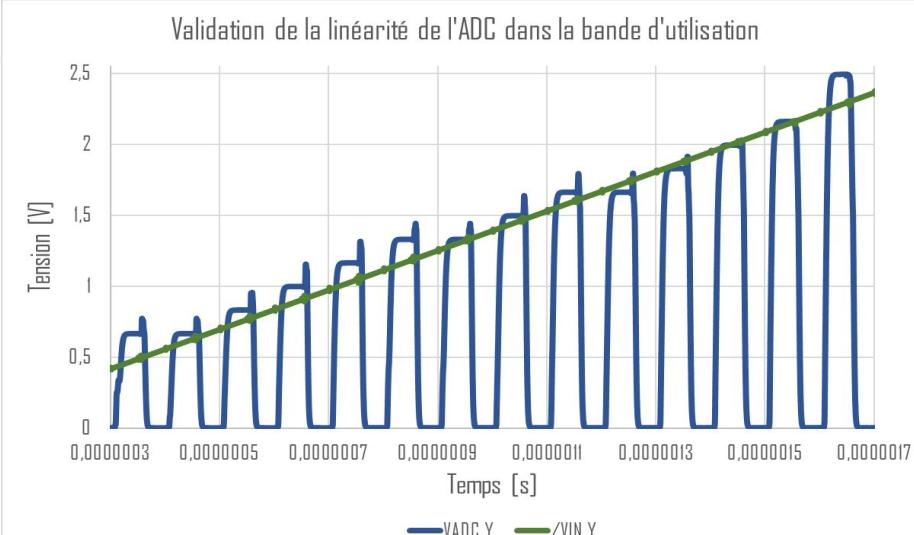
- > Effets des parasites liés au layout
- > Adaptation d'impédance

Analogique. ADC

Résultat

ADC

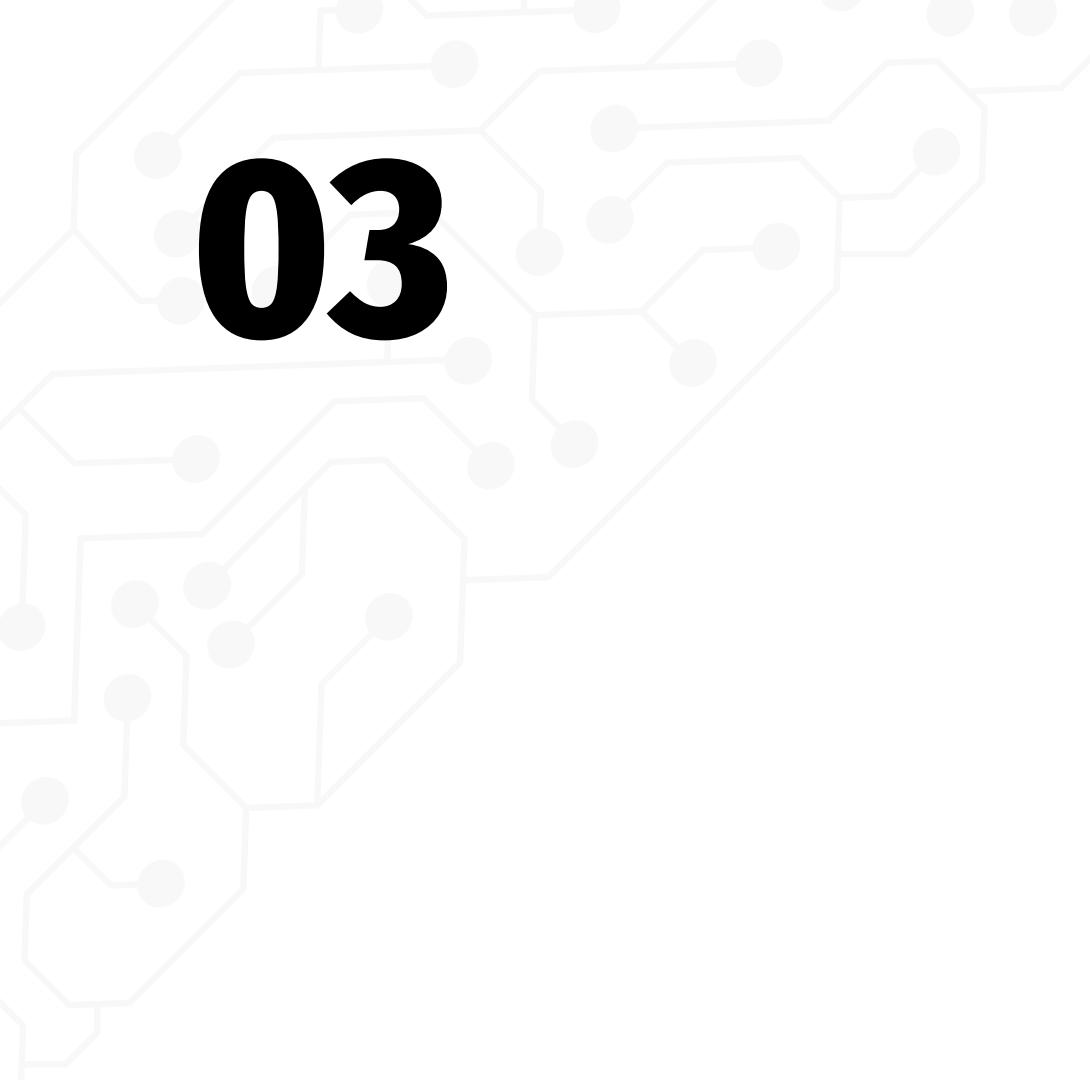
- Pas de code manquant [0.5 V - 2.5 V]
- SNR de 21.02dB \rightarrow ENOB de 3.19
- FH de 10MHz
- Consommation de 7.1 mA
- FOM de 32.5pJ/Conv (-5pJ)
- Surface de 0.5mm² vs 9.2mm²
- Générateur de phase
- Signal pour la fin de conversion



Analogique.Conclusion



- **Tous les blocs livrés**
- **Specs en accord avec le CDC**
- **Attente du CMP**
- **Retours de l'équipe positifs**



03

Numérique

Sommaire.

.01

EI TX/RX

Axel Baldacchino
Tom Désesquelle

.02

CODEUR IQ

Anthony Teissier
Bruno Baptiste

.03

DÉMODULATEUR IQ & FRI

Mamadou Hawa Diallo
Matisse Reboud

.04

CORDIC

Megi Myftaraj
Paul-Arthur Mehl

.05

CDR

Alexandre Scouarnec
Elisabeth Porret

.06

WRAPPERS

Bruno Baptiste
Mamadou Hawa Diallo

.07

STRUCTURE DE TEST PLACEMENT ROUTAGE

Tom Désesquelle

Anthony Teissier
Axel Baldacchino



03.01

Digital

EI TX/RX

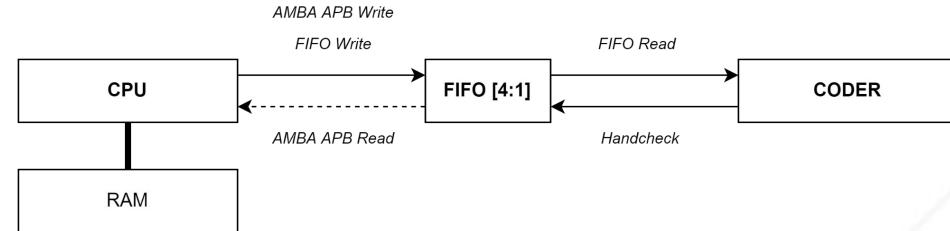
Contexte

CPU

- Protocole : ARM AMBA APB

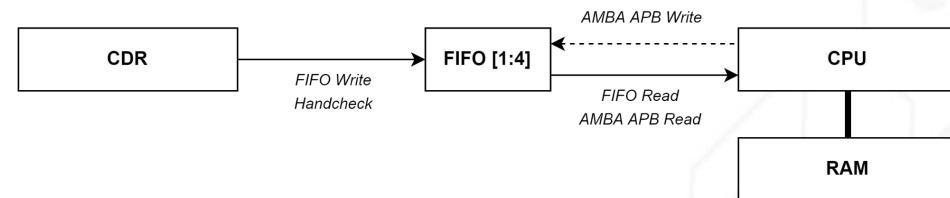
FIFO Tx

- Fréquence de fonctionnement : 50 MHz
- Taille des données en entrée : 4 bits
- Taille des données en sortie : 1 bit



FIFO Rx

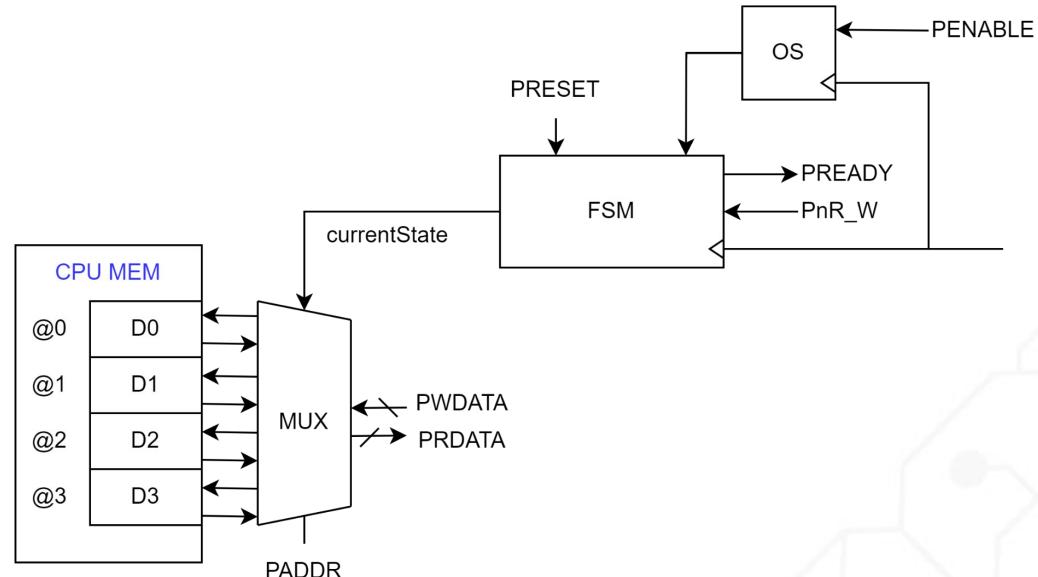
- Fréquence de fonctionnement : 50 MHz
- Taille des données en entrée : 1 bit
- Taille des données en sortie : 4 bits



Design

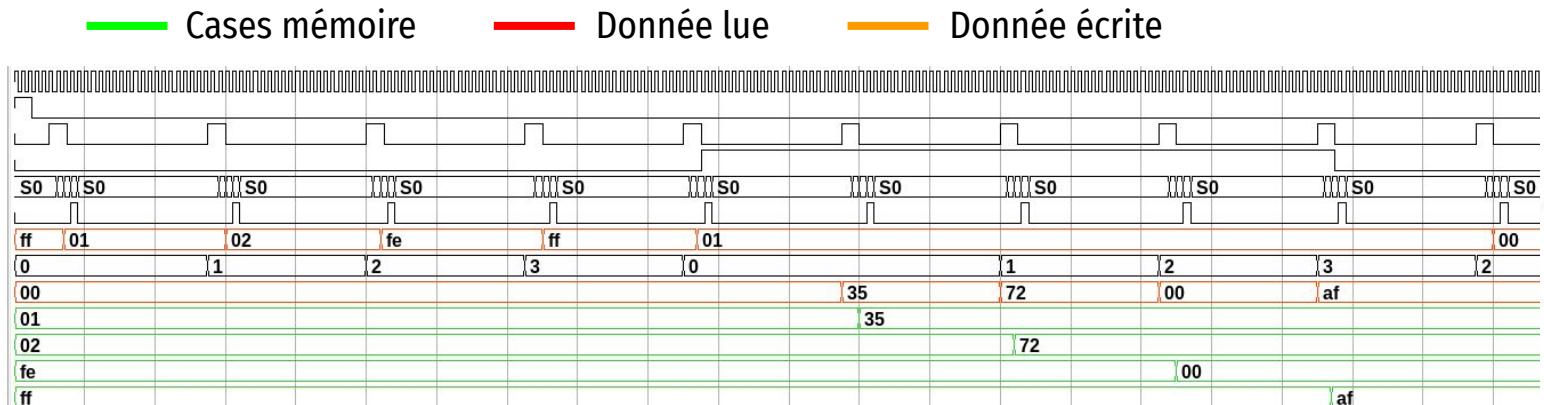
Architecture

- Système clocké
- Déclenchement sur front montant de PENABLE
- PnR_W gère l'écriture et la lecture de données
- Accès des données grâce à une @ spécifiée



Résultats

PCLK	1'h1
PRESET	1'h0
PENABLE	1'h1
PnR_W	1'h0
currentState	S0
PREADY	1'h0
PRDATA	8'haf
PADDR	2'h3
PWDATA	8'haf
internal_CPU_mem[0]	8'h35
internal_CPU_mem[1]	8'h72
internal_CPU_mem[2]	8'h00
internal_CPU_mem[3]	8'haf

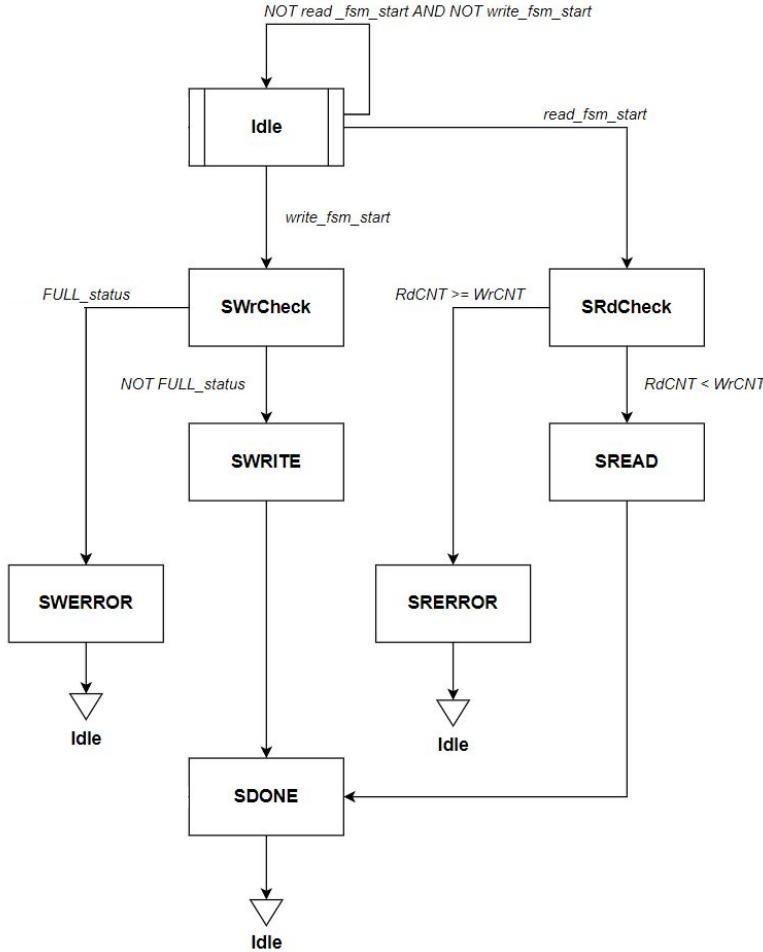


Emulation du CPU avec une RAM de 4 adresses de 4 bits

Design

Machine à états

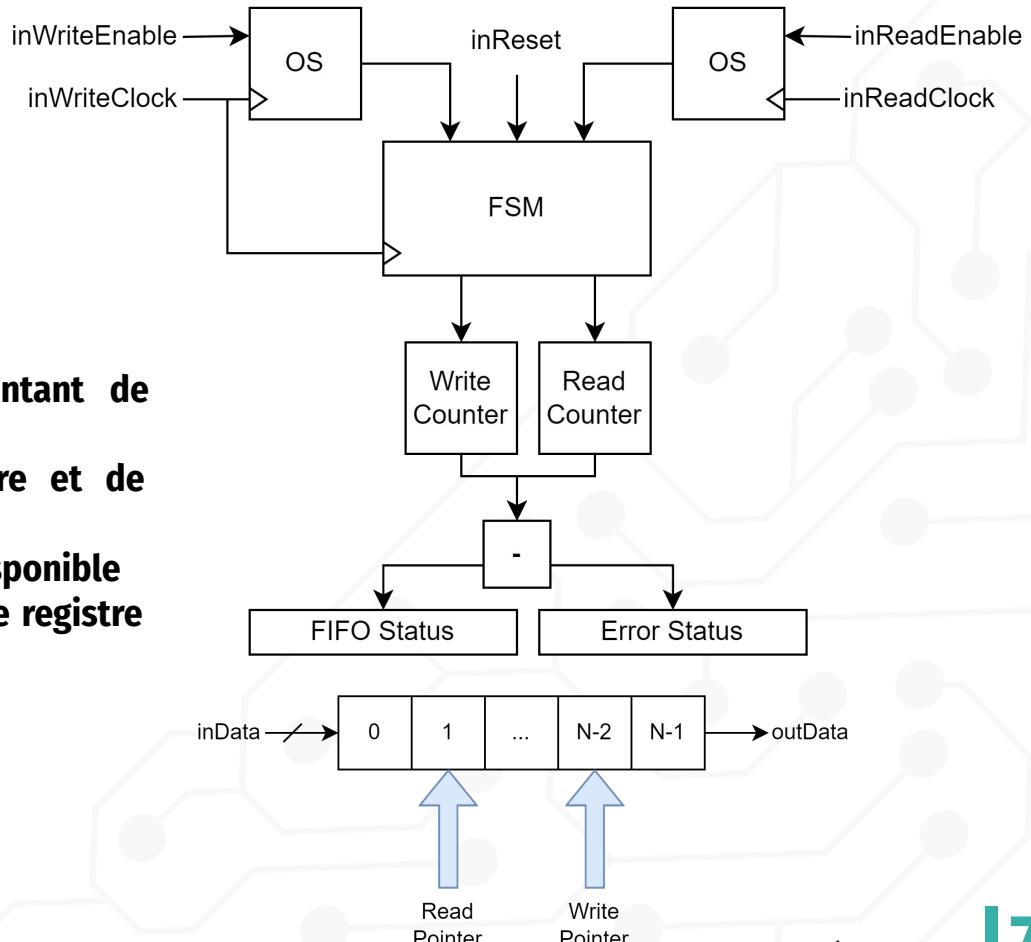
- Processus de lecture/écriture
- Gestion d'erreur
- Empilement/Dépilement de données



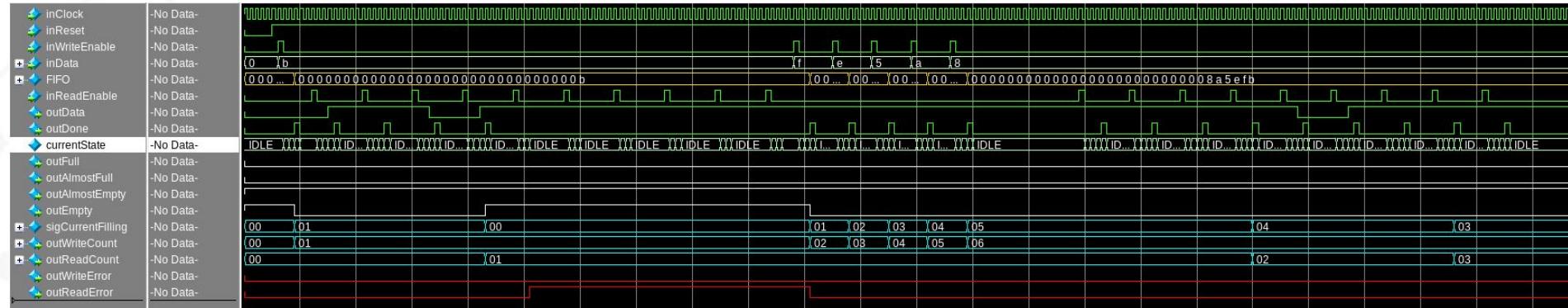
Design

Architecture

- Système *clocké*
- Déclenchement sur un front montant de *inWriteEnable* ou de *inReadEnable*
- FSM gère les compteurs d'écriture et de lecture
- Connaissance de l'espace utilisé/disponible
- FSM gère le registre de la FIFO et le registre d'erreurs



Simulation Post-Synthèse inFiFo



— Registre de statut FIFO

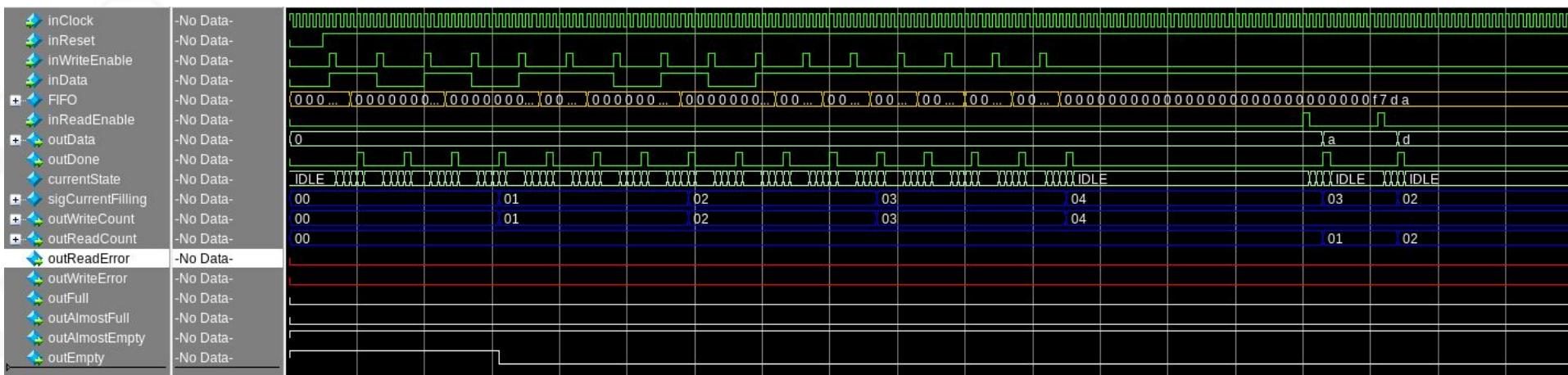
— Registre d'erreur

— Compteurs

— Write/Read

— FIFO

Simulation Post-Synthèse outFiFo



— Registre de statut FIFO — Registre d'erreur — Compteurs — Write/Read — FIFO

Digital.EI.outFIFO

Rapport de surface

Number of ports:	31
Number of nets:	1988
Number of cells:	1926
Number of combinational cells:	1368
Number of sequential cells:	558
Number of macros/black boxes:	0
Number of buf/inv:	300
Number of references:	23
Combinational area:	115206.000137
Buf/Inv area:	14760.199814
Noncombinational area:	182309.403351
Macro/Black Box area:	0.000000
Net Interconnect area:	48654.000000
Total cell area:	297515.403488
Total area:	346169.403488

Rapport de timing

Point	Incr	Path
clock inClock (rise edge)	0.00	0.00
clock network delay (ideal)	0.00	0.00
sigWRCOUNT_reg[0]/C (DFE1)	0.00	0.00 r
sigWRCOUNT_reg[0]/Q (DFE1)	0.91	0.91 f
U1761/Q (NOR21)	0.29	1.20 r
U1760/Q (INV3)	0.10	1.30 f
r98/U2_1/C0 (ADD32)	0.37	1.67 f
r98/U2_2/C0 (ADD32)	0.38	2.06 f
r98/U2_3/C0 (ADD32)	0.38	2.44 f
r98/U2_4/C0 (ADD32)	0.38	2.82 f
r98/U2_5/C0 (ADD32)	0.38	3.20 f
r98/U2_6/S (ADD32)	0.63	3.83 r
U1604/Q (NOR40)	0.43	4.26 f
U1602/Q (INV3)	0.16	4.42 r
U1600/Q (NOR40)	0.55	4.97 f
U16/Q (OAI222)	0.25	5.22 r
U1605/Q (AOI211)	0.20	5.42 f
U12/Q (OAI212)	0.20	5.62 r
currentState_reg[2]/D (DF3)	0.00	5.62 r
data arrival time		5.62
clock inClock (rise edge)	20.00	20.00
clock network delay (ideal)	0.00	20.00
currentState_reg[2]/C (DF3)	0.00	20.00 r
library setup time	-0.01	19.99
data required time		19.99
data required time		19.99
data arrival time		-5.62
slack (MET)	14.37	

Digital.EI.inFIFO

Rapport de surface

Number of ports:	31
Number of nets:	1398
Number of cells:	1335
Number of combinational cells:	780
Number of sequential cells:	555
Number of macros/black boxes:	0
Number of buf/inv:	169
Number of references:	24
Combinational area:	76075.999298
Buf/Inv area:	7498.400032
Noncombinational area:	181326.603333
Macro/Black Box area:	0.000000
Net Interconnect area:	35703.000000
Total cell area:	257402.602631
Total area:	293105.602631

Rapport de timing

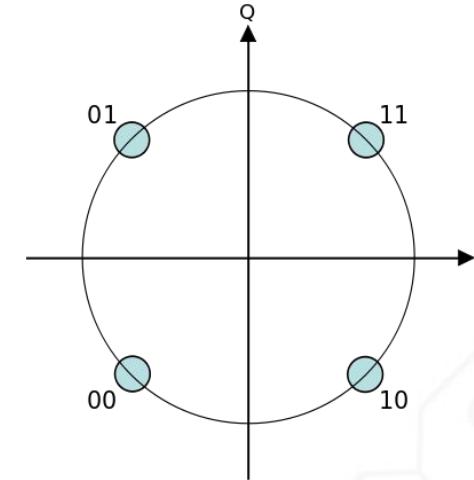
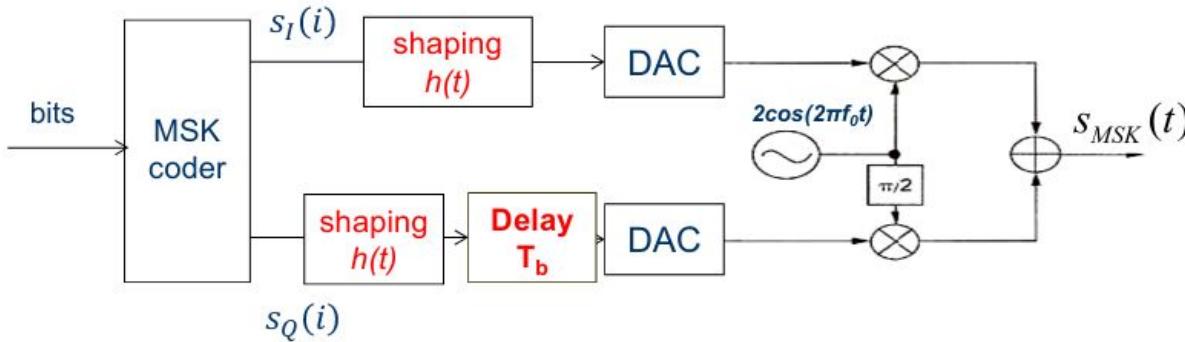
Point	Incr	Path
clock inClock (rise edge)	0.00	0.00
clock network delay (ideal)	0.00	0.00
i_FIFO_reg[1]/C (DFE1)	0.00	0.00 r
i_FIFO_reg[1]/Q (DFE1)	2.03	2.03 r
U1095/Q (BUF2)	1.08	3.11 r
U740/Q (BUF2)	1.15	4.27 r
U598/Q (IMUX40)	0.63	4.90 f
U484/Q (IMUX40)	0.40	5.29 r
U610/Q (IMUX40)	0.25	5.55 f
U491/Q (IMUX21)	0.24	5.78 r
U628/Q (MUX41)	0.36	6.15 r
U1104/Q (NAND22)	0.07	6.22 f
U1103/Q (INV3)	0.09	6.31 r
sigOutData_reg/D (DFE1)	0.00	6.31 r
data arrival time		6.31
clock inClock (rise edge)	20.00	20.00
clock network delay (ideal)	0.00	20.00
sigOutData_reg/C (DFE1)	0.00	20.00 r
library setup time	-0.12	19.88
data required time		19.88
data required time		19.88
data arrival time		-6.31
slack (MET)	13.58	

03.02

Digital

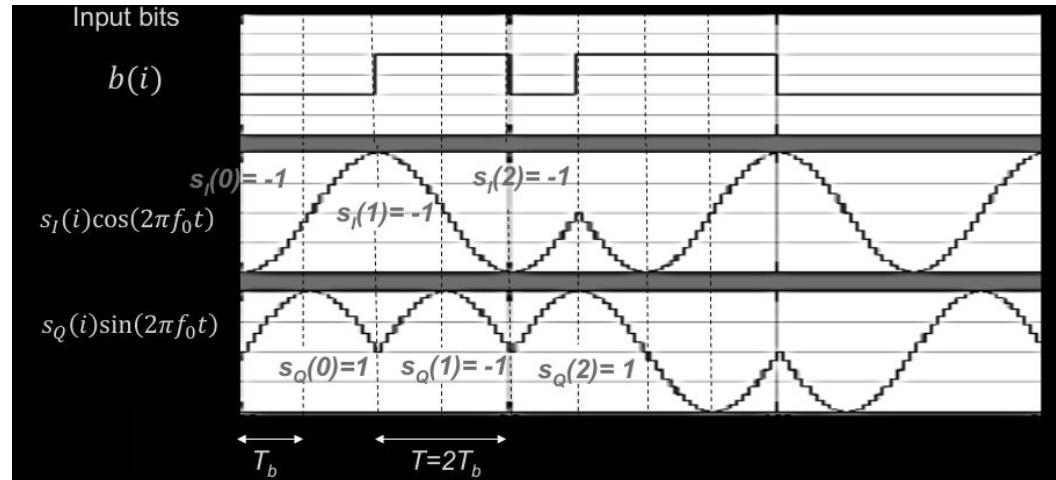
CODEUR IQ

Modulation MSK



- Phase continue
 - Enveloppe constante
- +
- +

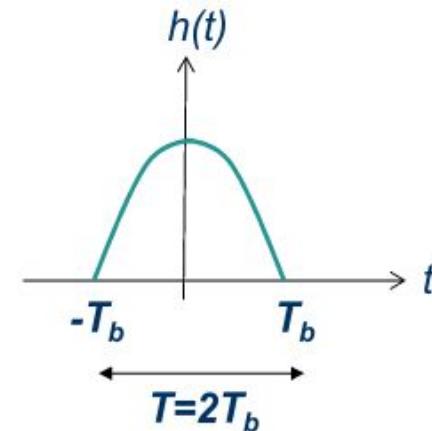
Modulation MSK



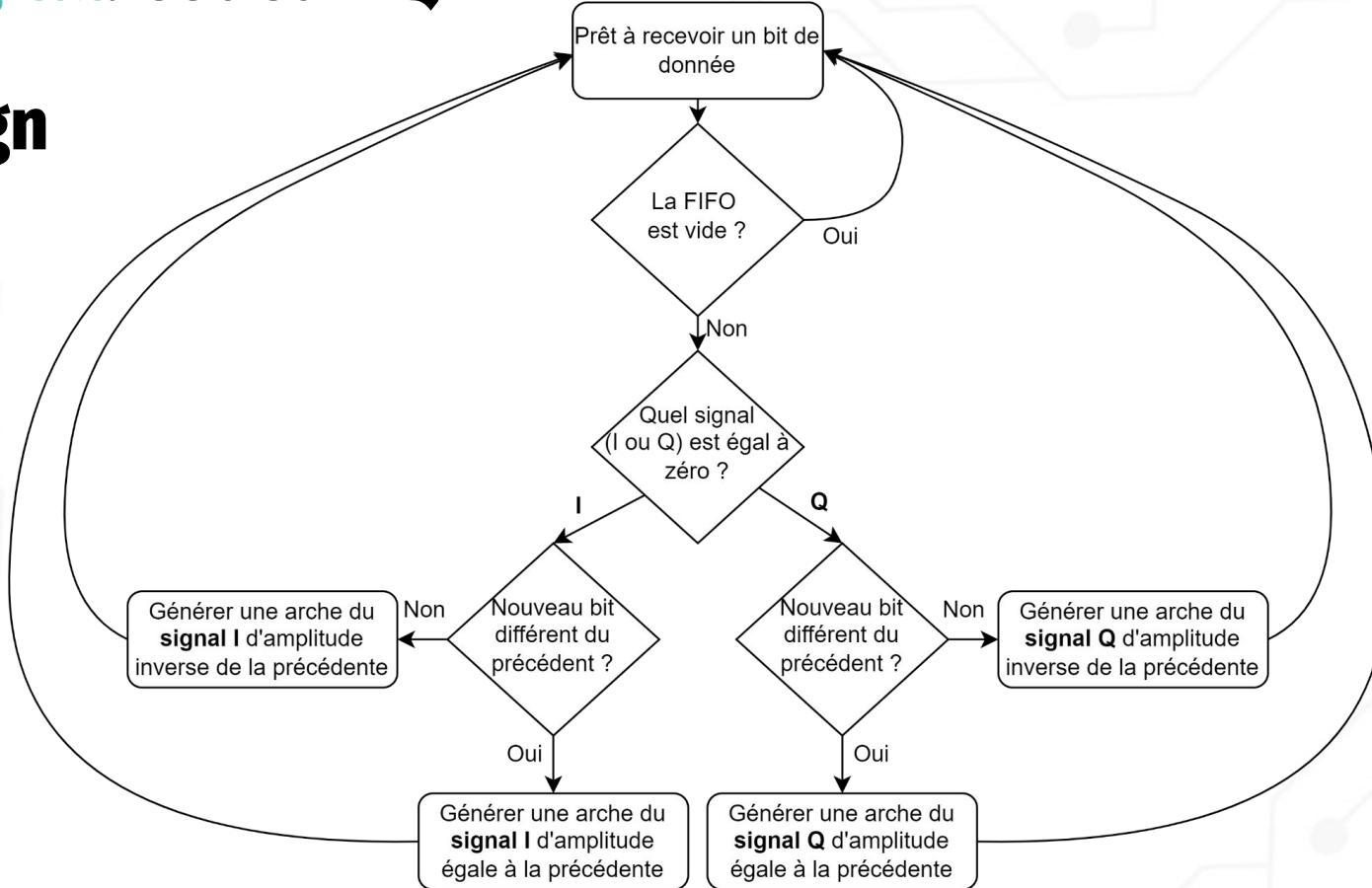
- Si $b(i) = 0 \Rightarrow S_I(i) \neq S_Q(i)$ et la phase diminue de $\pi/2$
- Si $b(i) = 1 \Rightarrow S_I(i) = S_Q(i)$ et la phase augmente de $\pi/2$

Design : spécifications

- Fréquence d'échantillonnage : 10 MHz
- Fréquence de fonctionnement : 50 MHz
- Débit binaire : 2 Mbs
- Génération d'une arche de sinus (demi-période) tous les $2T_b$
- Fréquence du sinus : $D_b/4 = 500 \text{ kHz}$

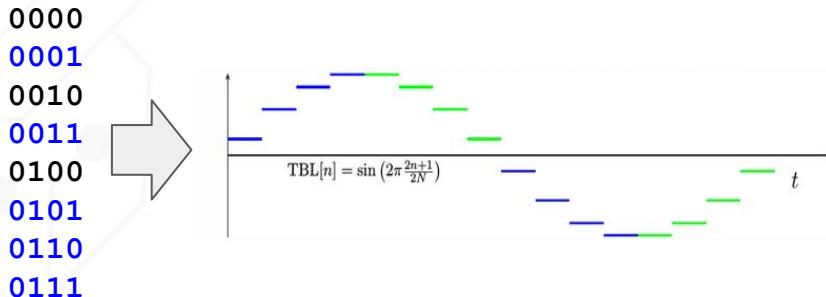


Design



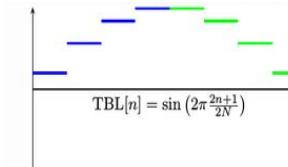
Design : Génération du sinus

4 bits pour 3 de valeur et 1 de signe, nous choisissons les valeurs suivantes :

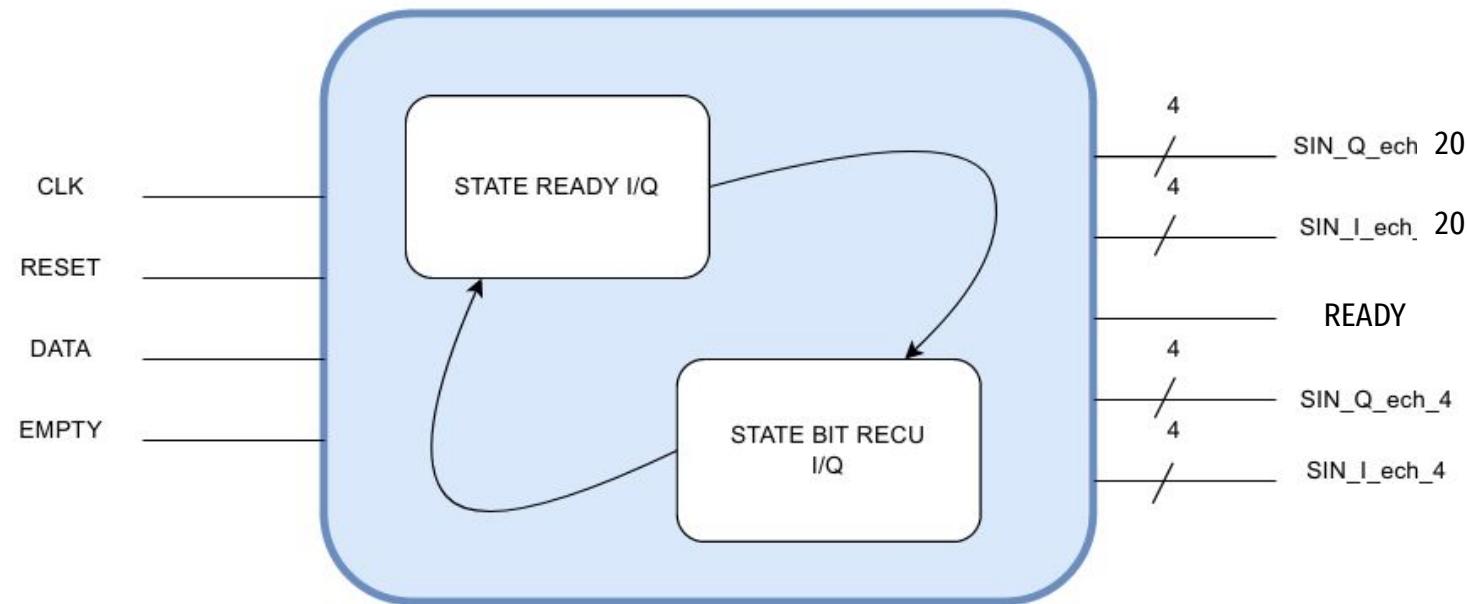


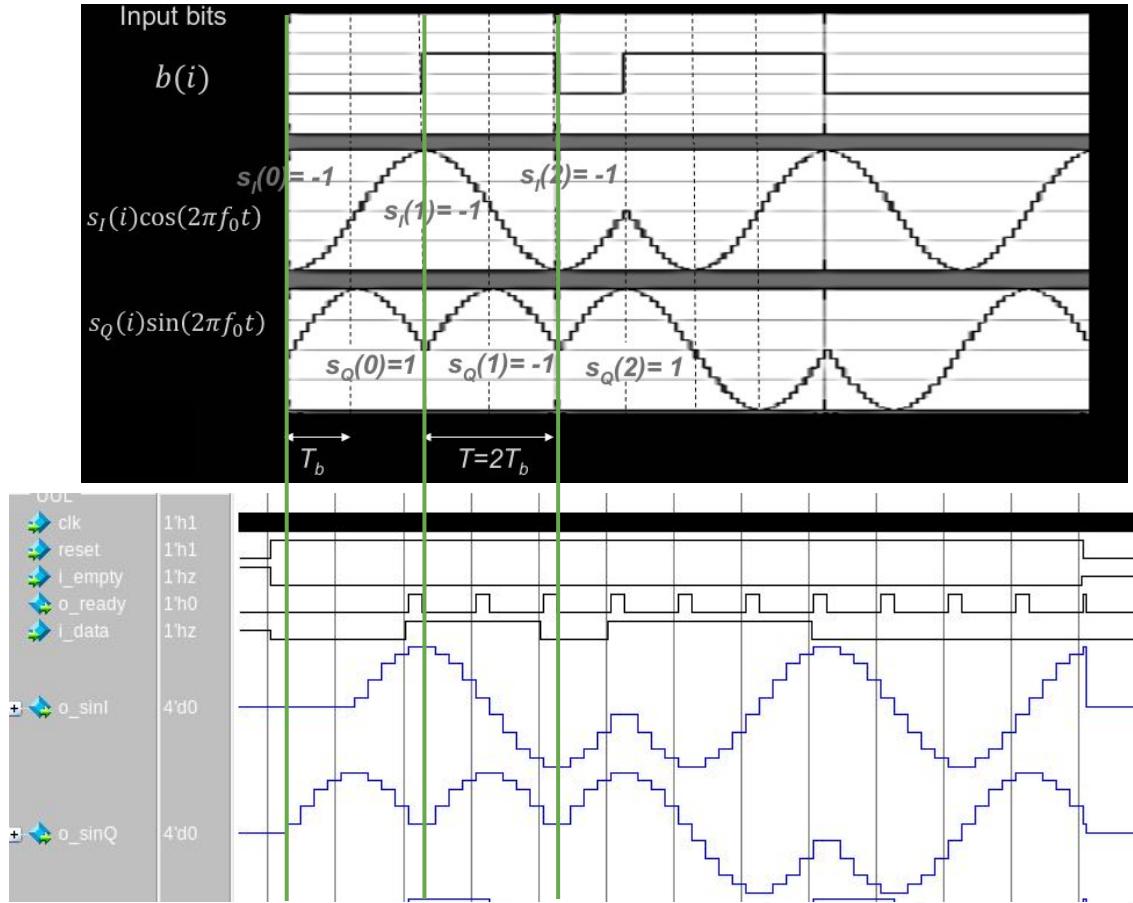
```
localparam [9:0][3:0] array_sin =
{
  4'd1,
  4'd3,
  4'd5,
  4'd6,
  4'd7,
  4'd7,
  4'd6,
  4'd5,
  4'd3,
  4'd1
};
```

```
localparam [9:0][3:0] array_sin_neg =
{
  -4'd1,
  -4'd3,
  -4'd5,
  -4'd6,
  -4'd7,
  -4'd7,
  -4'd6,
  -4'd5,
  -4'd3,
  -4'd1
};
```



Design : Structure du code





Synthèse : Reporting

Report area

```
*****
Report : area
Design : msk modulator 1
Version: J-2014.09-SP2
Date   : Thu Mar 31 09:37:11 2022
*****
***** Library(s) Used:
c35 CORELIB TYP (File: /softslin/AMS 410 ISR15/synopsys/c35 3.3V/c35 CORELIB TYP.db)
***** Number of ports: 13
Number of nets: 432
Number of cells: 355
Number of combinational cells: 270
Number of sequential cells: 82
Number of macros/black boxes: 0
Number of buf/inv: 92
Number of references: 22
***** Combinational area: 23332.400398
Buf/Inv area: 3476.200119
Noncombinational area: 25607.400360
Macro/Black Box area: 0.000000
Net Interconnect area: 8091.000000
***** Total cell area: 48939.800758
Total area: 57030.800758
***** End Of Report *****
```

msk modulator 1 10k c35 CORELIB TYP
msk modulator 1 DW01 inc 0 10k c35 CORELIB TYP
msk modulator 1 DW01 inc 1 10k c35 CORELIB TYP
msk modulator 1 DW01 inc 2 10k c35 CORELIB TYP

Global Operating Voltage = 3.3
Power-specific unit information :
Voltage Units = 1V
Capacitance Units = 1.000000pf
Time Units = 1ns
Dynamic Power Units = 1mW (derived from V,C,T units)
Leakage Power Units = 1pW

Cell Internal Power = 1.3789 mW (90%)
Net Switching Power = 152.8259 uW (10%)

Total Dynamic Power = 1.5317 mW (100%)
Cell Leakage Power = 426.7942 pW

Power Group	Internal Power	Switching Power	Leakage Power	Total Power (%)	Attrs
io pad	0.0000	0.0000	0.0000	0.0000 (0.00%)	
memory	0.0000	0.0000	0.0000	0.0000 (0.00%)	
black box	0.0000	0.0000	0.0000	0.0000 (0.00%)	
clock network	0.0000	0.0000	0.0000	0.0000 (0.00%)	
register	1.3104	2.7399e-02	233.7633	1.3378 (87.34%)	
sequential	0.0000	0.0000	0.0000	0.0000 (0.00%)	
combinational	6.8519e-02	0.1254	193.0309	0.1939 (12.66%)	
Total	1.3789 mW	0.1528 mW	426.7942 pW	1.5317 mW	

***** End Of Report *****

Report power

Digital. Codeur IQ

Synthèse : Report Timing

Worst conditions

clock clk (rise edge)	20.00	20.00
clock network delay (ideal)	0.00	20.00
j_reg[19]/C (DFE1)	0.00	20.00 r
library setup time	-0.20	19.80
data required time		19.80

data required time		19.80
data arrival time		-14.50

slack (MET)		5.30

Best conditions

clock clk (rise edge)	20.00	20.00
clock network delay (ideal)	0.00	20.00
j_reg[19]/C (DFE1)	0.00	20.00 r
library setup time	-0.15	19.85
data required time		19.85

data required time		19.85
data arrival time		-4.43

slack (MET)		15.42

Typical conditions

clock clk (rise edge)	20.00	20.00
clock network delay (ideal)	0.00	20.00
j_reg[19]/C (DFE1)	0.00	20.00 r
library setup time	-0.17	19.83
data required time		19.83

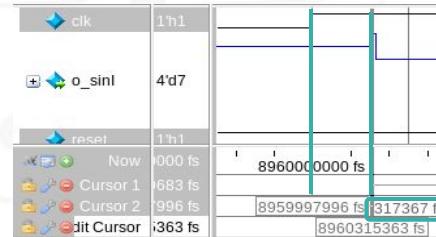
data required time		19.83
data arrival time		-8.23

slack (MET)		11.61

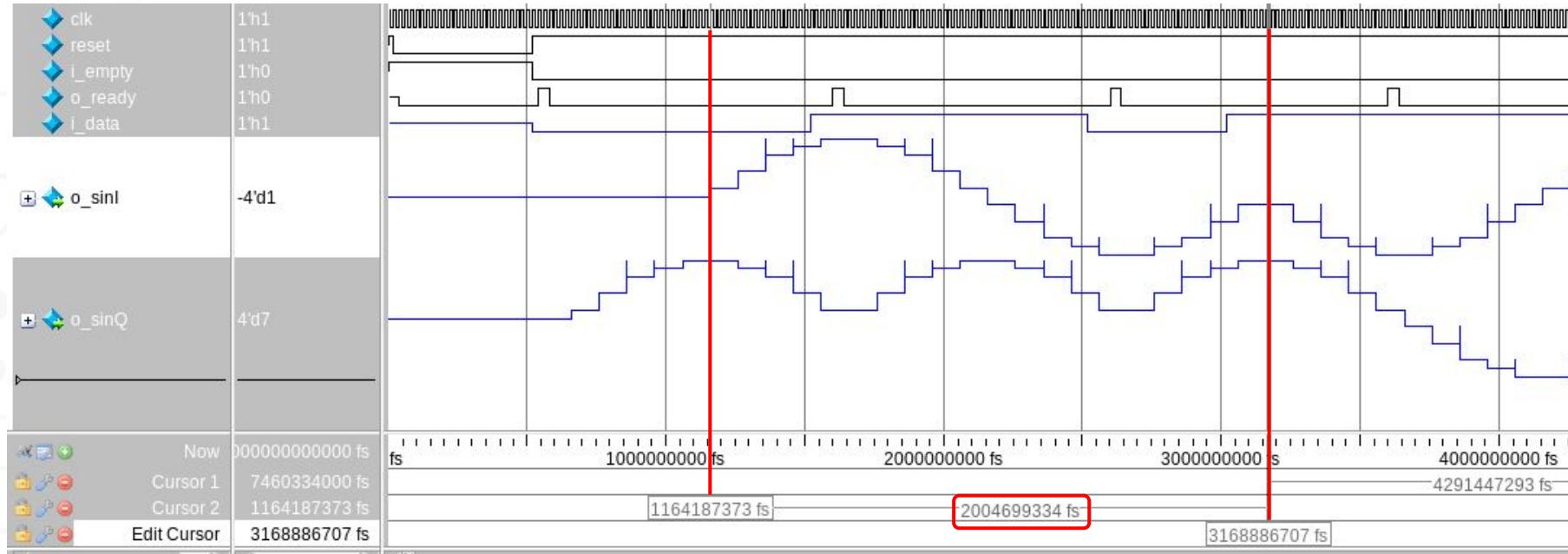
Digital. Codeur IQ

Simulation Post-Synthèse

Zoom :

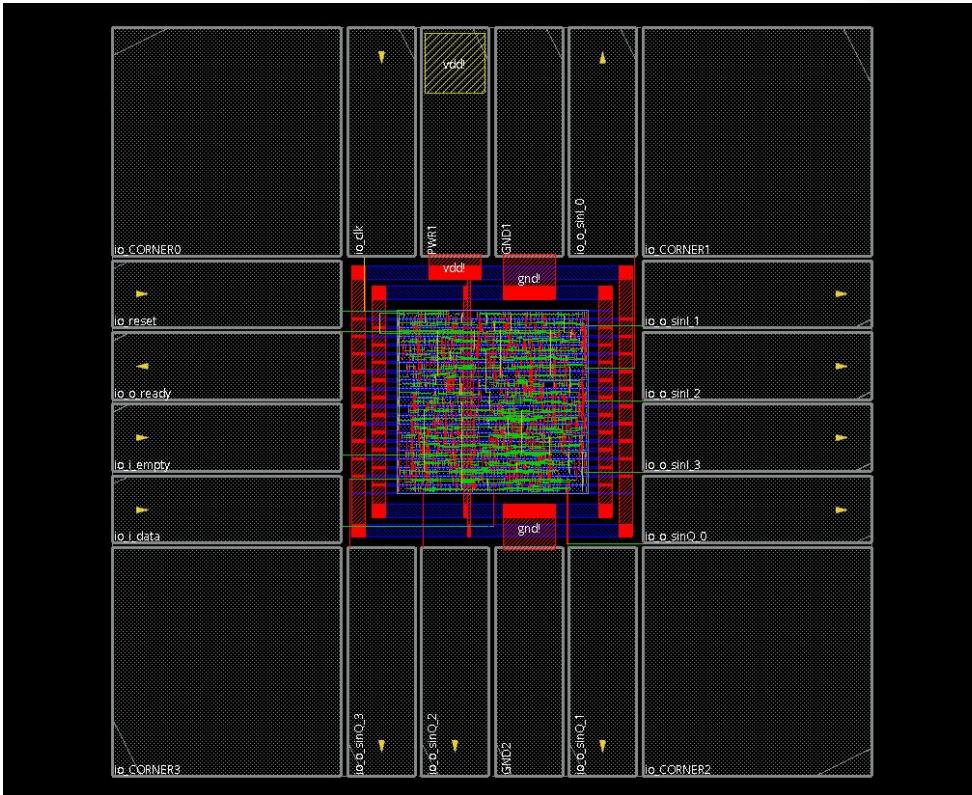


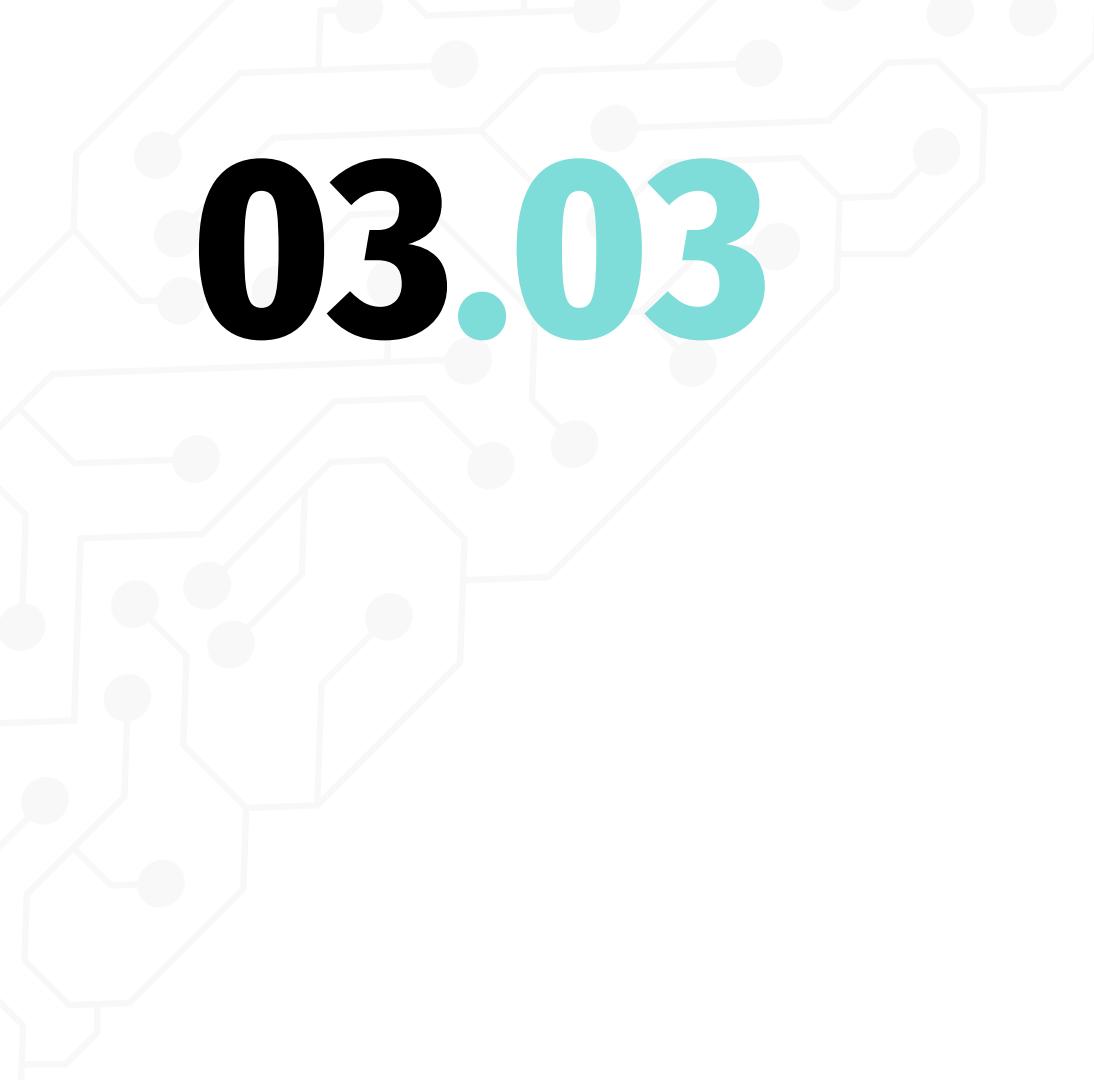
Fréquence du sinus à 500 kHz respectée ($1/2000000000 \text{ fs} = 500\text{kHz}$)



Digital. Codeur IQ

Place & Route





03.03

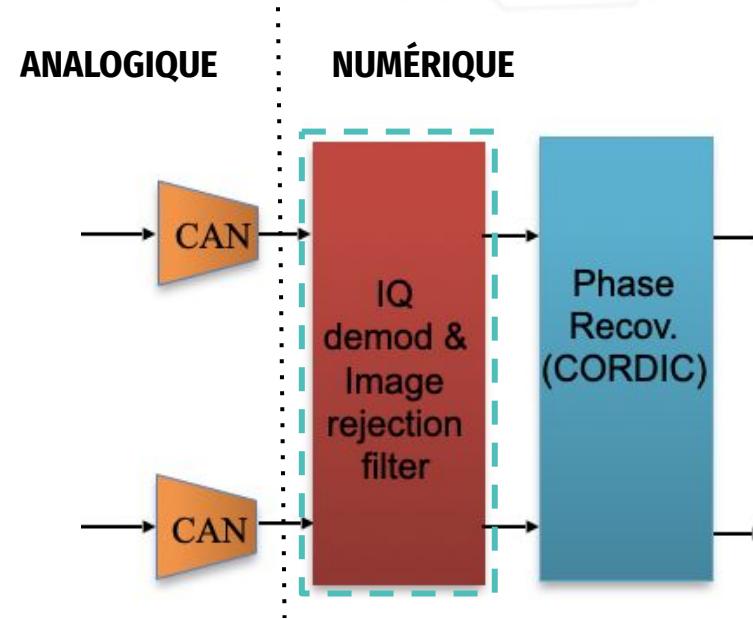
Digital

DÉMODULATEUR IQ & FRI

Digital. Démodulateur IQ & FRI

Contexte

RÉCEPTEUR ZIGBEE



Démodulation IQ, incluant la fonctionnalité de rejet de fréquence image

- Entrées : signaux IIF et QIF
- Sorties : signaux IBB et QBB restitués en bande de base

Digital. Démodulateur IQ & FRI

Contexte

$f_{IF} = 2.5 \text{ MHz}$

$f_{RF} = 2.4075 \text{ GHz} | f_{OL} = 2.405 \text{ GHz}$

Signaux IBB et QBB à 500 KHz

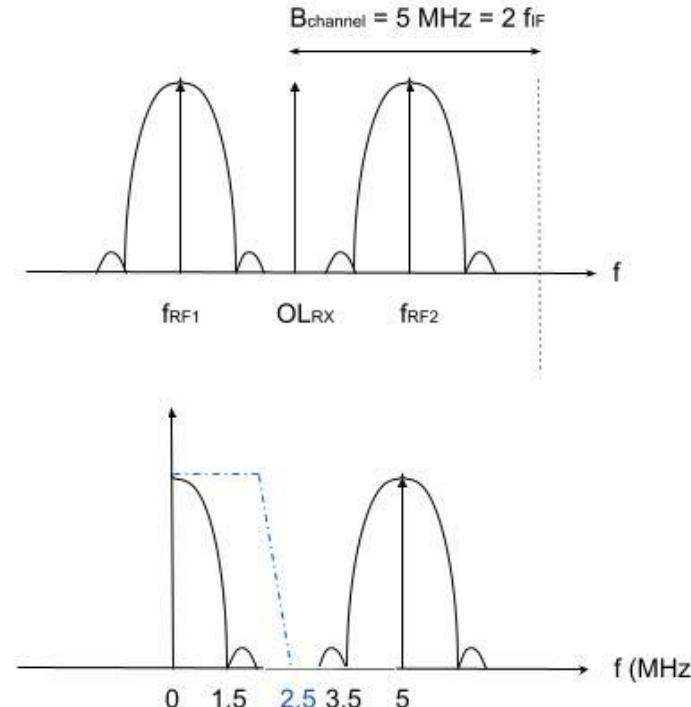
$f_{IM} = 5 \text{ MHz}$

→ Filtres

Résolution des ADC = 4 bits

Fréquence d'échantillonnage = 10 MHz

Fréquence de travail = 50 MHz



Digital. Démodulateur IQ & FRI

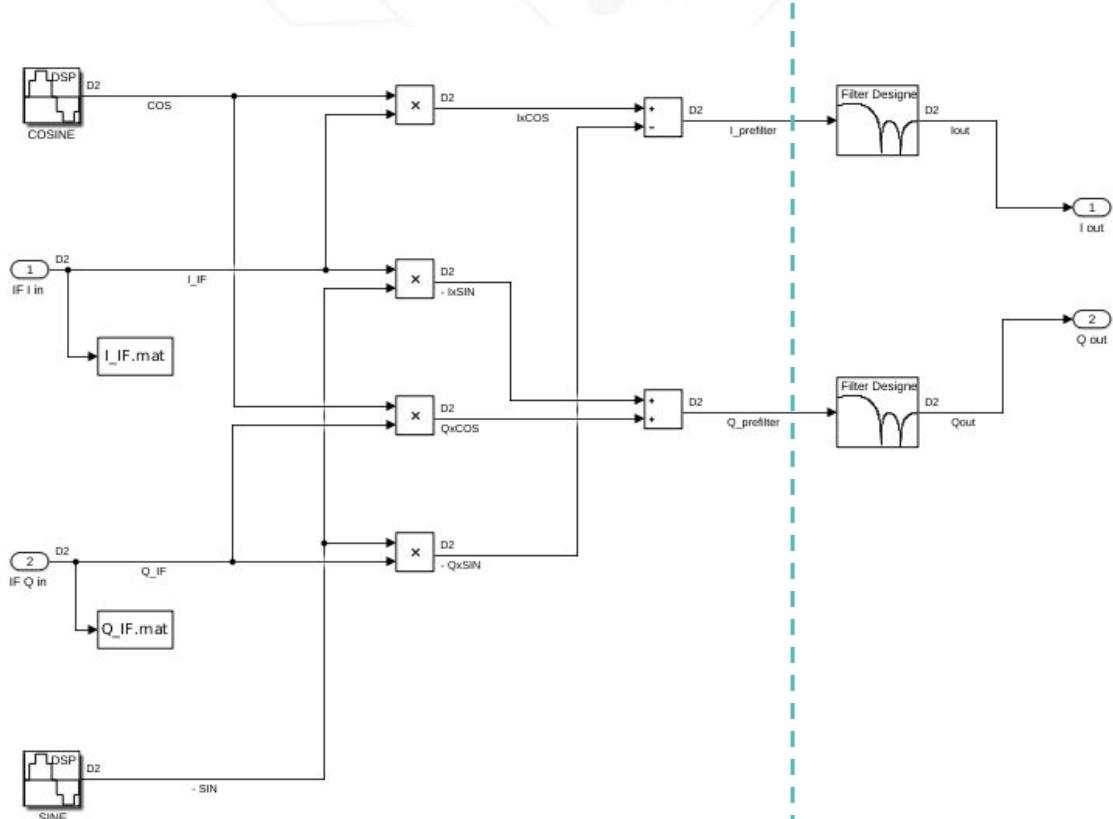
Contexte

Etude Système sur Matlab

- Architecture
- Expressions & formes des signaux à chaque étape
- Extraction des entrées I_{IF} et Q_{IF}
- Vérification des résultats

2 parties

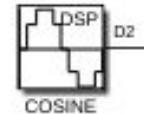
- Démodulateur IQ
- Filtres à réjection d'image



Digital. Démodulateur IQ & FRI

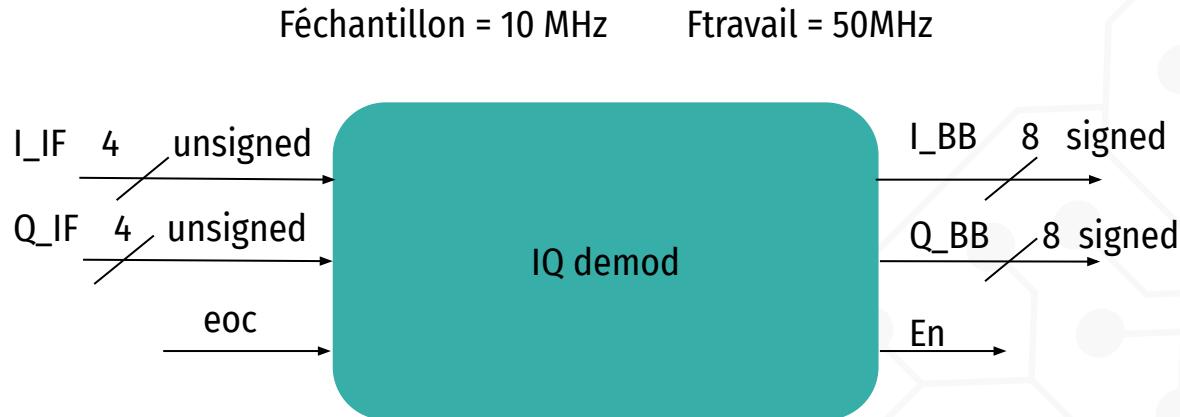
Design du démodulateur IQ

- Cos et sin de fréquence 2,5 MHz = F_{IF} à une fréquence d'échantillons de 10MHz = $F_{échantillonage}$
Génération des signaux à partir d'un tableau de 4 valeurs. Le déphasage entre cos et sin est primordial pour la démodulation.
- Nécessité de convertir en signés les valeurs reçues par l'ADC (centrage autour de 0) pour la chaîne de traitement numérique.
- Machine à états afin de piloter les différents registres d'entrée / sortie du démodulateur (récupérer l'échantillon sorti de l'ADC au bon moment, et mise à jour du signal de sortie lorsqu'un échantillon est traité)



Digital. Démodulateur IQ & FRI

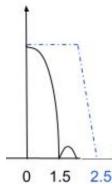
Design du démodulateur IQ



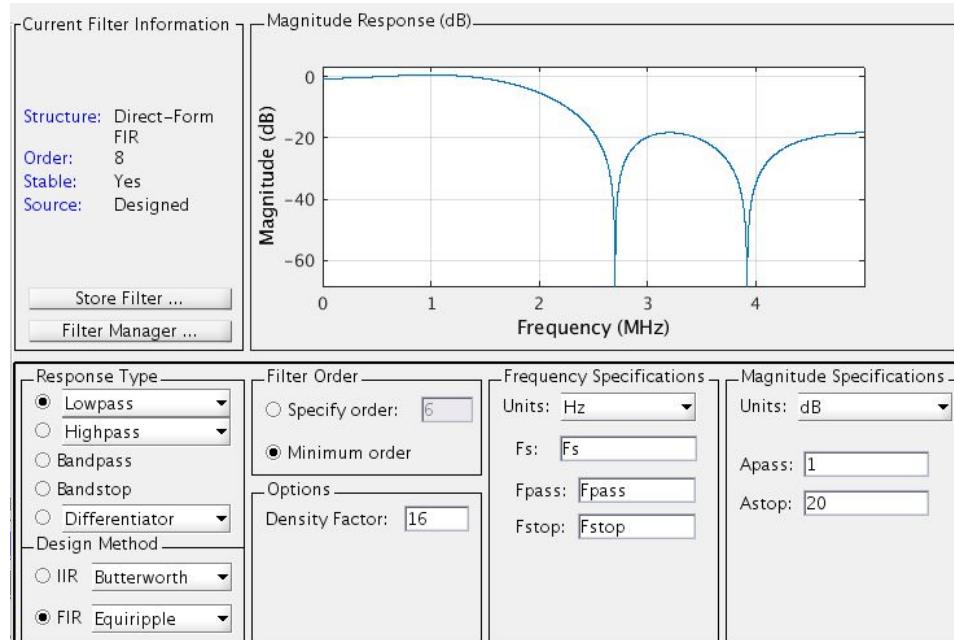
Digital. Démodulateur IQ & FRI

Design des FRI

- Type : Passe Bas
- Méthode de design : FIR “Equiripple”
- Fréquences :
 - Fpass = 1.5 MHz
 - Fstop = 2.5 MHz
- Atténuation = 20 dB
- Ordre = 8 | 9 Coefficients | 8 bits signés



Hexadécimal	Binaire	Valeur décimale arrondie	Valeur décimale
F5	11110101	-0,04365	-0,043650227900904
E9	11101001	-0,08884	-0,088841443666288
1A	00011010	0,10109	0,101093197982018
4B	01001011	0,29103	0,291027839630325
69	01101001	0,41092	0,410917357587676

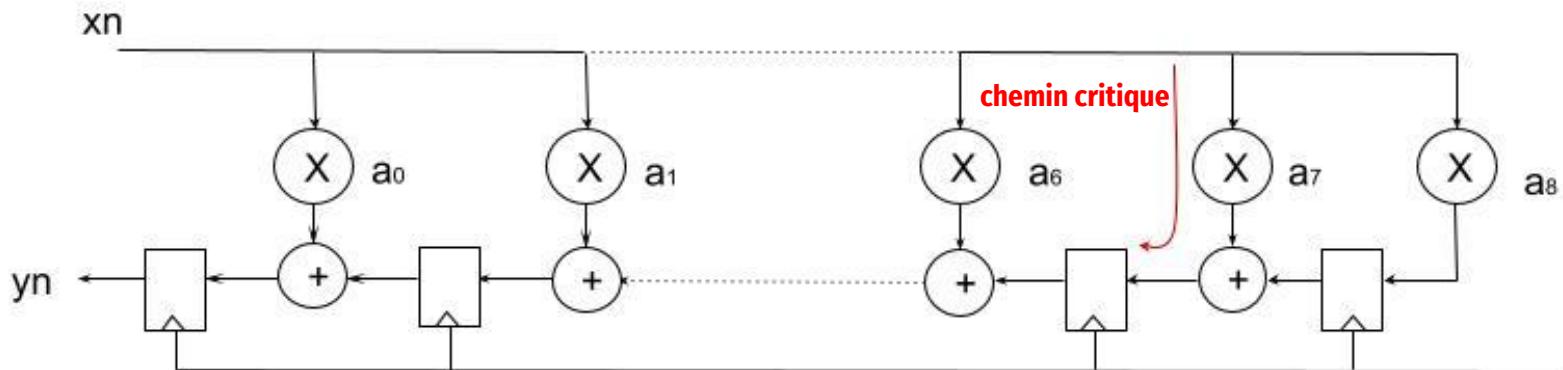


Digital. Démodulateur IQ & FRI

Design du FRI

$$y_n = \sum_{i=0}^{N-1} a_i x_{n-i}$$

- Architecture parallèle avec retiming

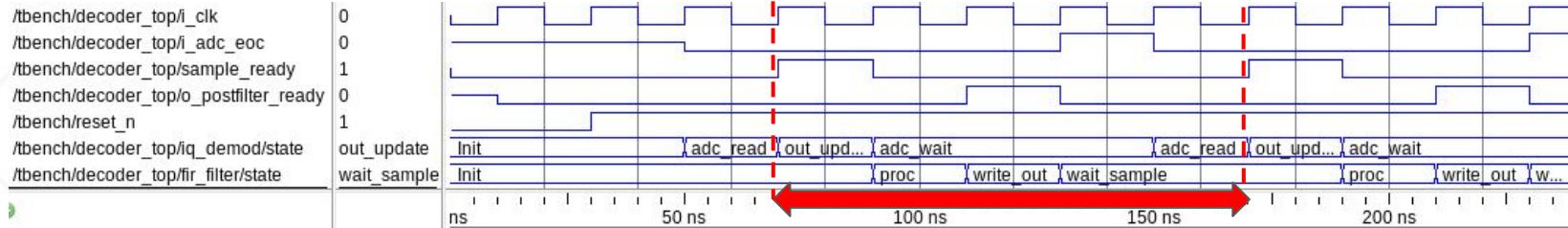


$$y_n = a_8x_{n-8} + a_7x_{n-7} + a_6x_{n-6} + \dots + a_1x_{n-1} + a_0x_n$$

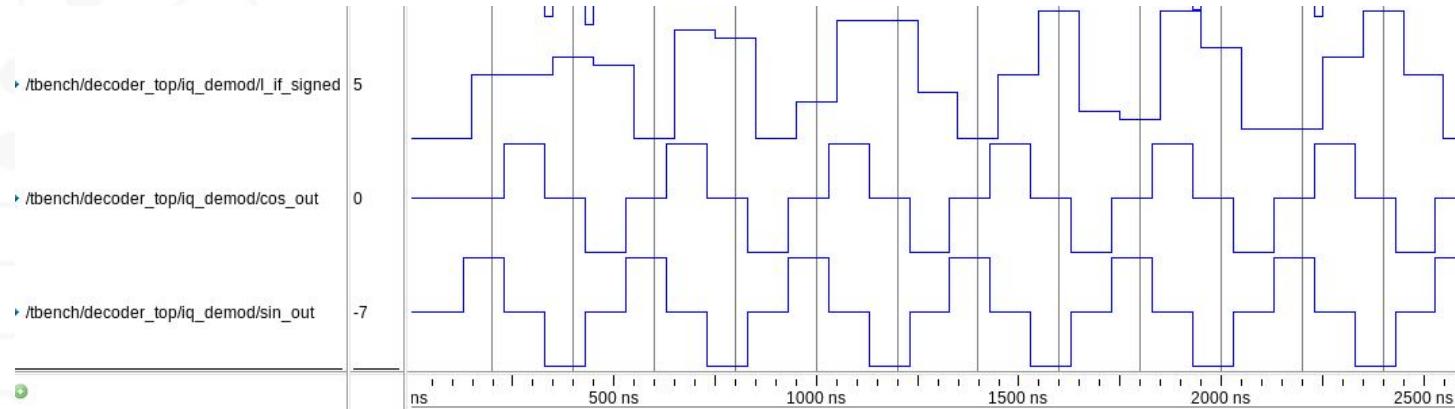
Digital. Démodulateur IQ & FRI

Résultats

Déroulement du traitement d'un échantillon



Entrée sans fréquence image : validation de la démodulation

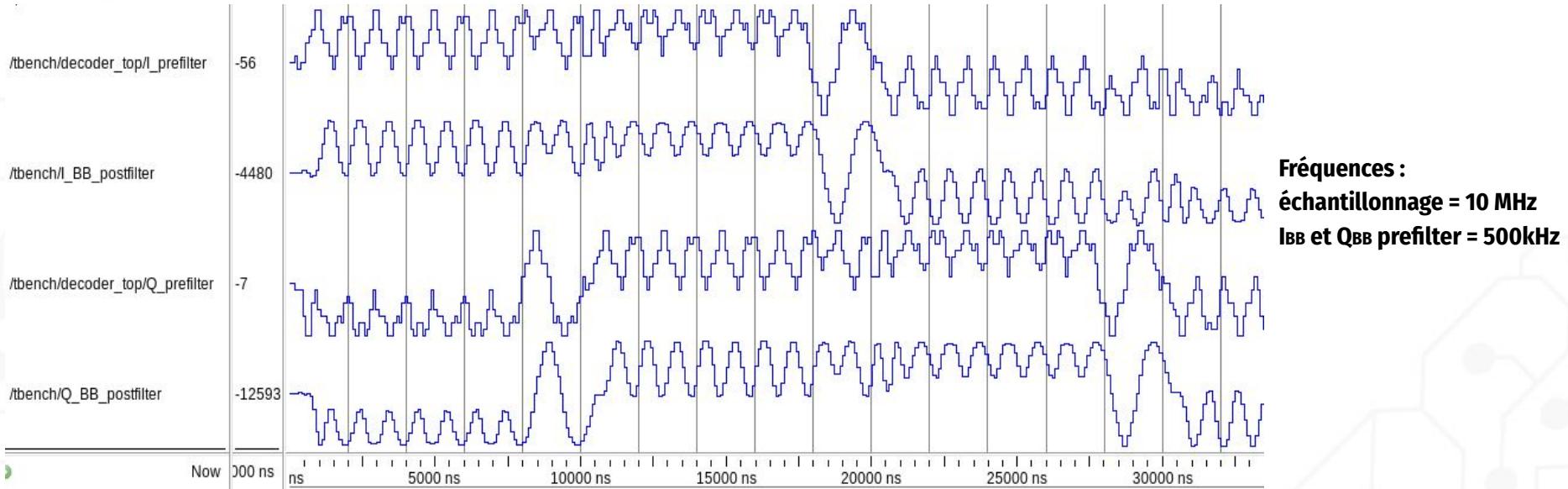


Fréquences :
fonctionnement = 50MHz
cos et sin générés = 2.5MHz

Digital. Démodulateur IQ & FRI

Résultats

Résultat du système complet (démodulateur + filtre) sans fim

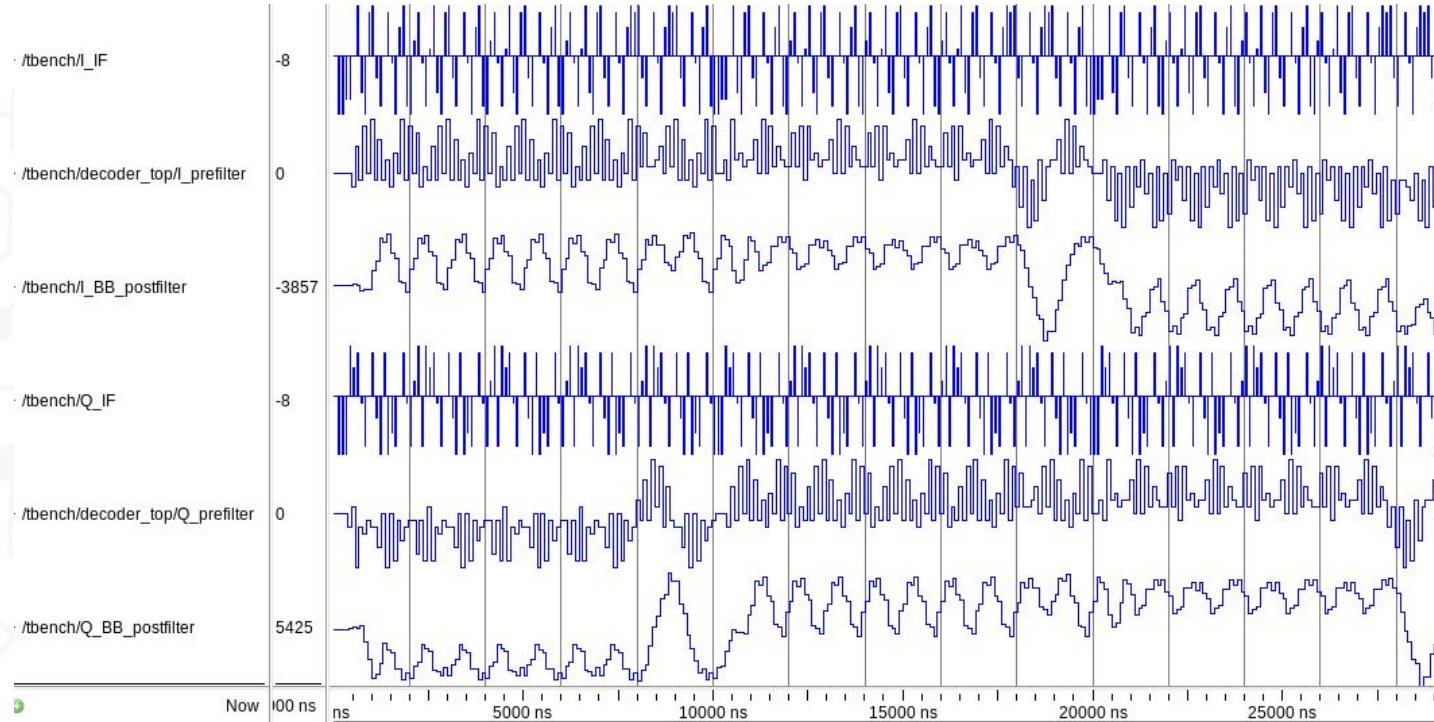


→quart de sinus plus lisse après le filtre

Digital. Démodulateur IQ & FRI

Résultats

Avec une fréquence image $f_{im} = 5 \text{ MHz}$



14 bits
→4 bits | CORDIC

Digital. Démodulateur IQ & FRI

Synthèse

Report Timing

Worst conditions

data required time	19.99
data arrival time	-14.64
slack (MET)	5.34

Typical conditions

data required time	20.00
data arrival time	-7.83
slack (MET)	12.17

Best conditions

data required time	20.00
data arrival time	-4.40
slack (MET)	15.60

Report area

Number of ports:	20
Number of nets:	3333
Number of cells:	2743
Number of combinational cells:	2179
Number of sequential cells:	564
Number of macros/black boxes:	0
Number of buf/inv:	577
Number of references:	25
Combinational area:	222076.400452
Buf/Inv area:	23132.200523
Noncombinational area:	154044.799988
Macro/Black Box area:	0.000000
Net Interconnect area:	59256.000000
Total cell area:	376121.200439
Total area:	435377.200439

Report power

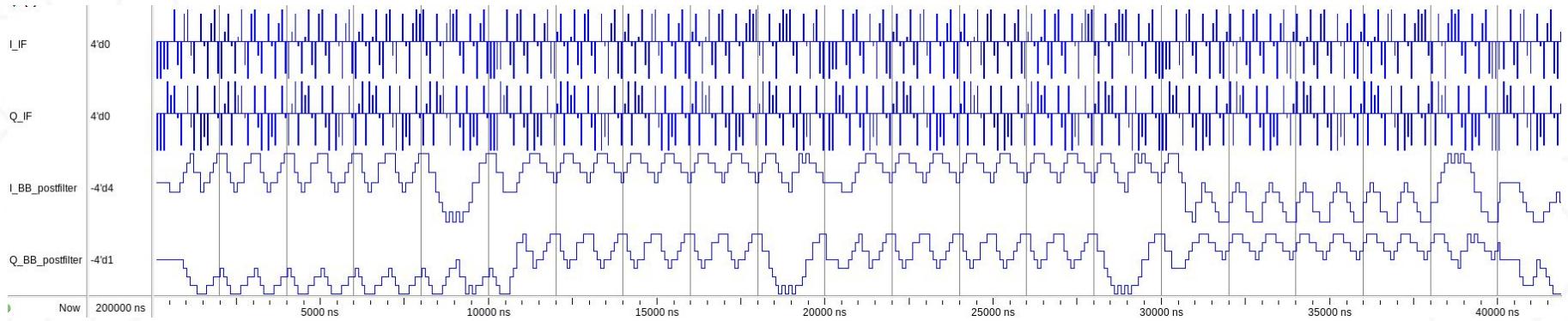
Cell Internal Power	= 11.2907 mW	(81%)
Net Switching Power	= 2.7213 mW	(19%)
-----	-----	-----
Total Dynamic Power	= 14.0120 mW	(100%)
Cell Leakage Power	= 3.3537 nW	

Power Group	Internal Power	Switching Power	Leakage Power	Total Power	(%)	Attrs
io pad	0.0000	0.0000	0.0000	0.0000	(0.00%)	
memory	0.0000	0.0000	0.0000	0.0000	(0.00%)	
black box	0.0000	0.0000	0.0000	0.0000	(0.00%)	
clock network	0.0000	0.0000	0.0000	0.0000	(0.00%)	
register	10.0229	0.5385	1.5708e+03	10.5614	(75.37%)	
sequential	0.0000	0.0000	0.0000	0.0000	(0.00%)	
combinational	1.2678	2.1828	1.7830e+03	3.4506	(24.63%)	
Total	11.2907 mW	2.7213 mW	3.3537e+03 pW	14.0120 mW		

Digital. Démodulateur IQ & FRI

Simulation Post-Synthèse

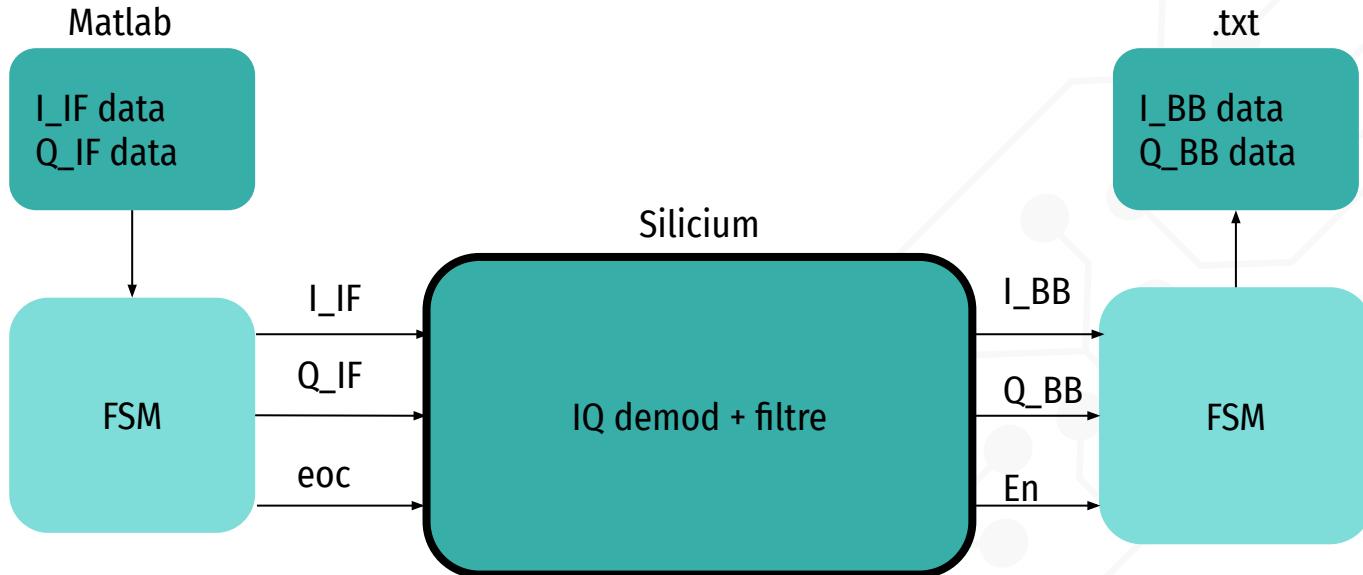
Avec une fréquence image $f_{im} = 5 \text{ MHz}$

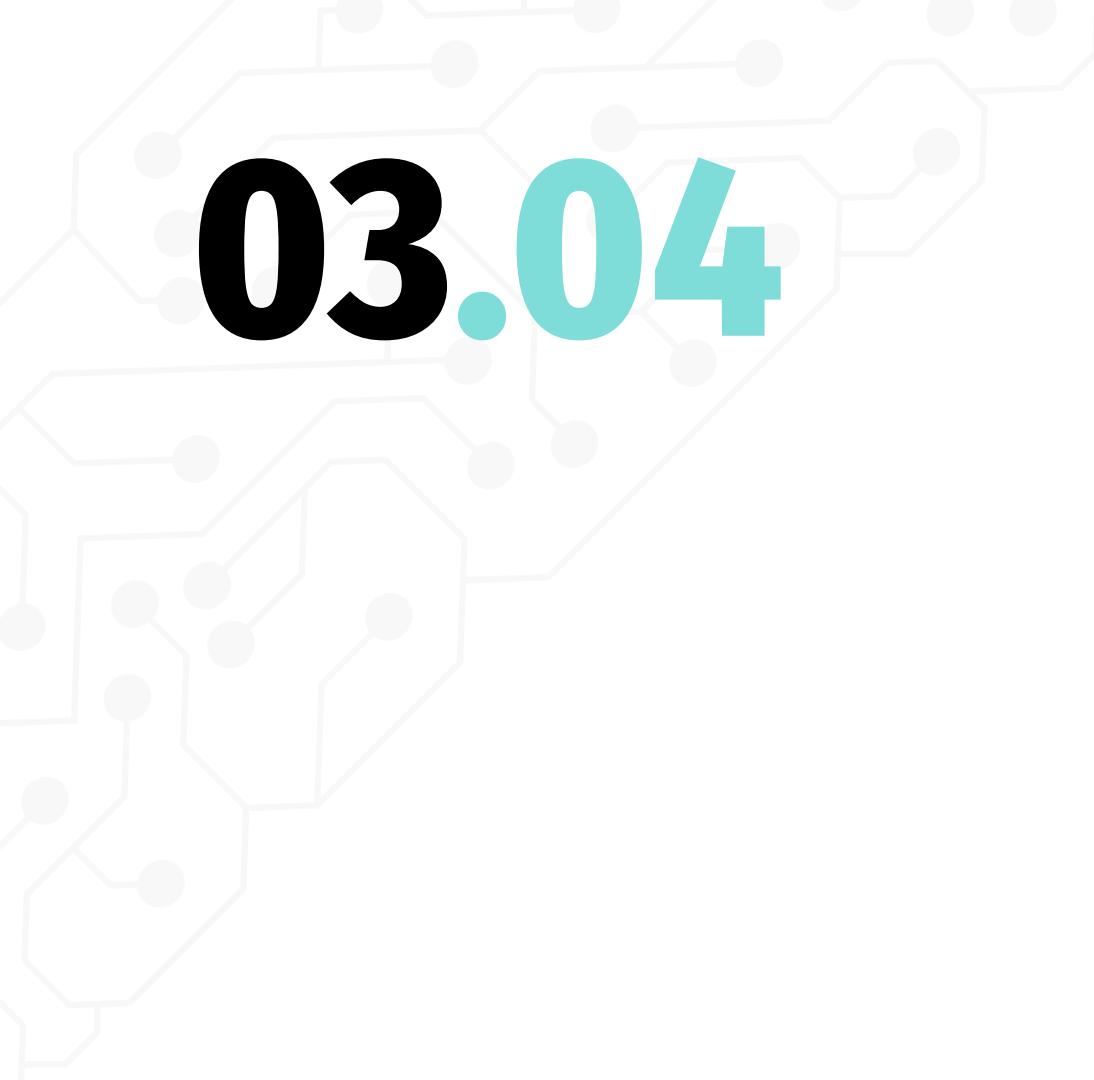


Digital. Démodulateur IQ & FRI

Anticipation de test

Objectif : visualiser le moyen de tester le bloc sur silicium



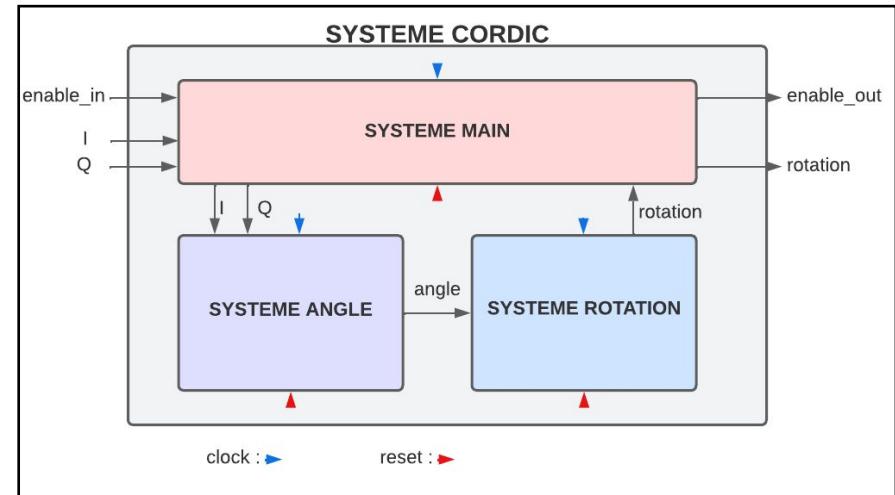
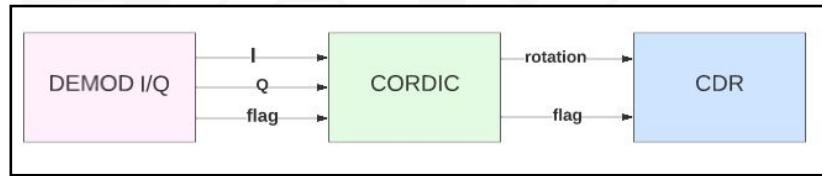


03.04

Digital CORDIC

Digital CORDIC

Découpage fonctionnel global



Digital. CORDIC

Contexte

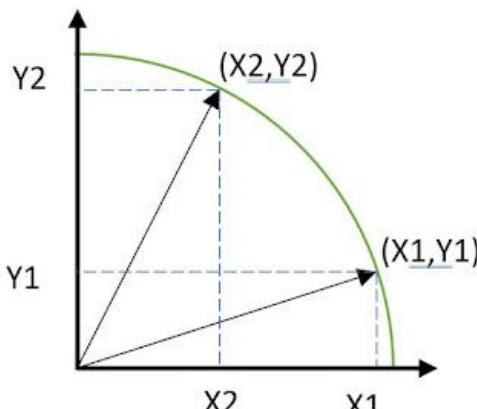


Figure.1

L'algorithme du CORDIC est basé sur la rotation d'un point (X_1, Y_1) à un point (X_2, Y_2) avec un angle standard "θ" où $\tan\theta = 2^{-i}$ où $i = 0,1,2,3\dots$

Les équations de calcul sont alors:

$$X_2 = X_1 - Y_1 \tan\theta$$

$$Y_2 = X_1 + Y_1 \tan\theta$$

$$X_2 = X_1 - Y_1 * 2^{-i}$$

$$Y_2 = X_1 + Y_1 * 2^{-i}$$

Structures nécessaires pour implémenter l'algorithme

$/ 2^i$	Registres à décalage
+	Adder
-	Soustracteur
IF	MUX

Détermination de la phase

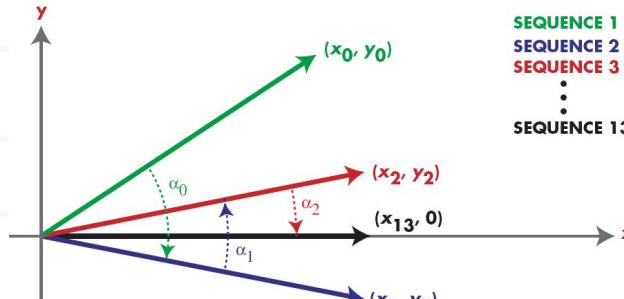


Figure.1

$$X_2 = X_1 - Y_1 \tan \theta \\ Y_2 = X_1 + Y_1 \tan \theta$$



$$X_2 = X_1 - Y_1 * 2^{-i} \\ Y_2 = X_1 + Y_1 * 2^{-i}$$

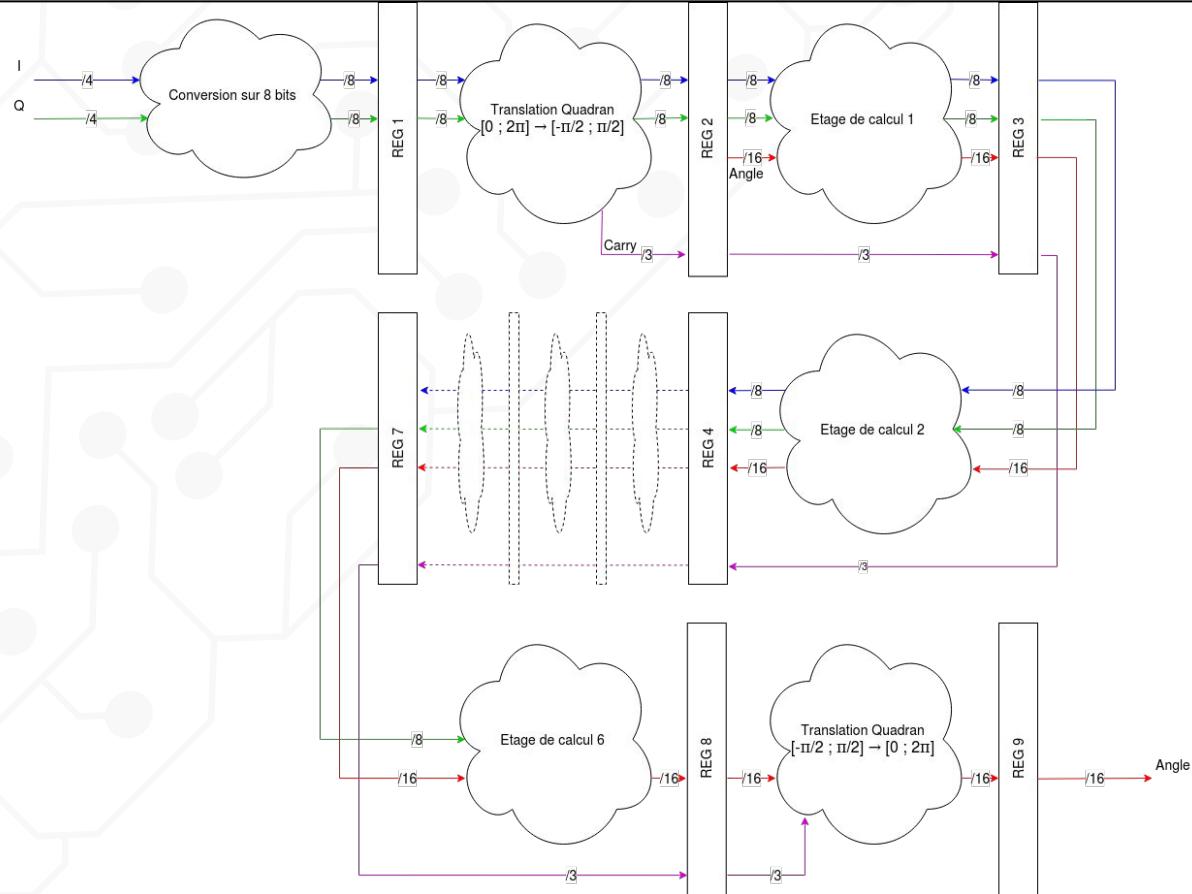
On réalise des rotations successives comme dans la figure 2, d'angles standards $\theta = \arctan(2^{-i})$, où $i = 0,1,2,3\dots$

$\text{atan}(2^0)$	45°
$\text{atan}(2^{-1})$	27°
$\text{atan}(2^{-2})$	14°

$\text{atan}(2^{-3})$	7°
$\text{atan}(2^{-4})$	3°
$\text{atan}(2^{-5})$	2°

6 itérations successives => +/- 2 ° de précision

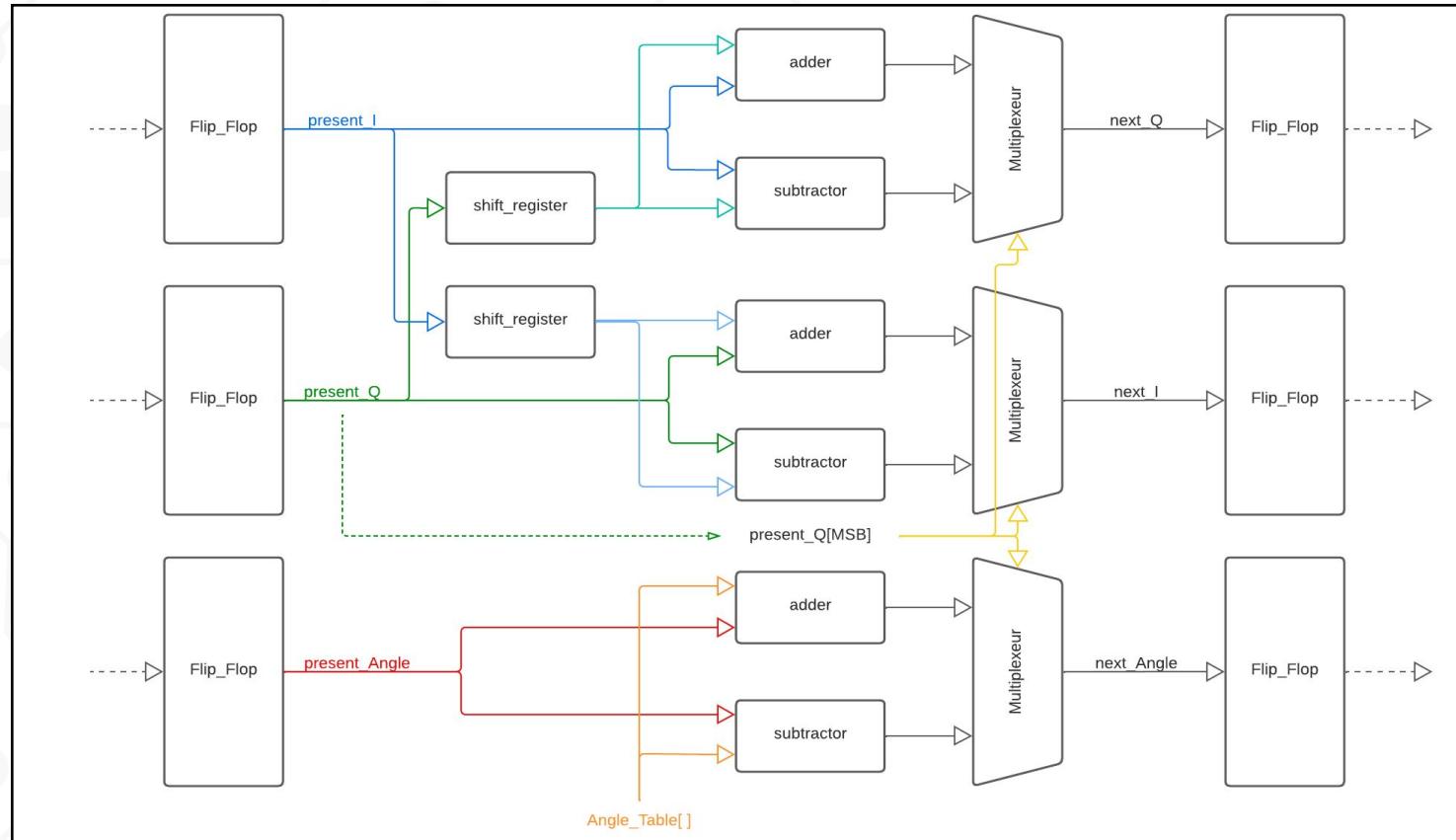
Design - Bloc de Calcul d'Angle



Le bloc “SYSTEME ANGLE” est construit avec une architecture pipeline.

Le pipeline est découpé en 9 étages (9 coups d’horloges nécessaires pour 1 calcul d’angle)

Design - Architecture d'un étage de calcul d'angle



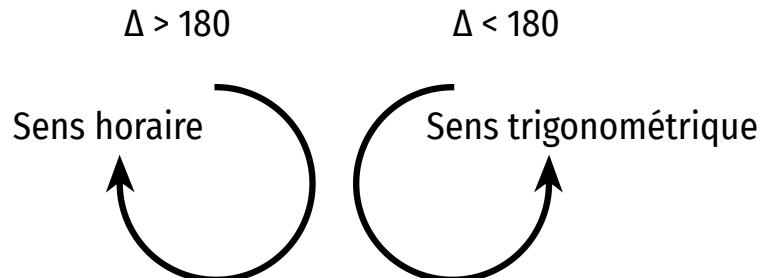
$$\text{next_angle} = \text{present_angle} \pm \text{present_angle} * 2^{(-i)}$$

Détermination du sens de rotation

Pour calculer le sens de rotation, deux angles sont nécessaires.
Les angles sont compris entre 0° et 360° .

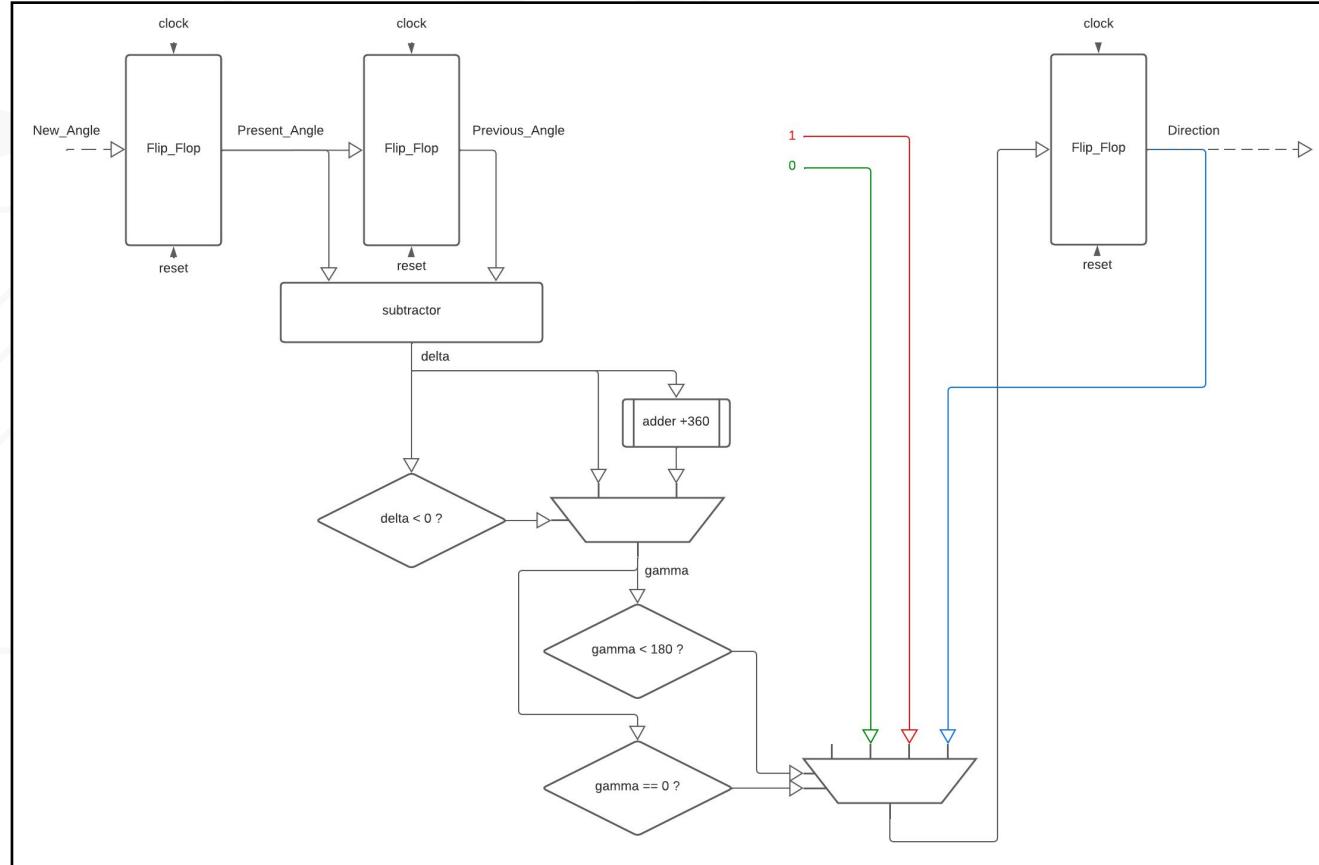
Algorithme mis en oeuvre :

- Calcul du Δ entre deux angles
- Comparaison du Δ à 180°



Digital CORDIC

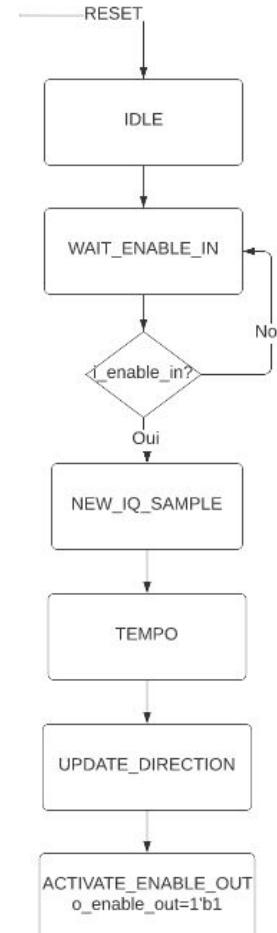
Design - Bloc de Calcul du Sens de Rotation



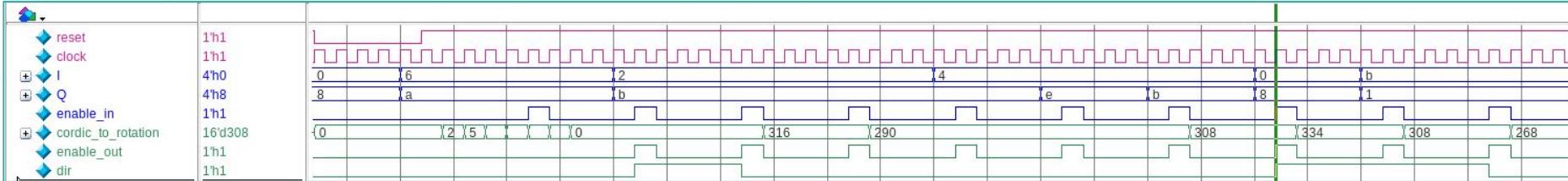
Digital CORDIC

Design - Bloc Système Principal

Ce Bloc génère un signal de type flag pour dire au bloc d'après quand récupérer la donnée.



Résultats de simulations et de synthèse



Report timing - worst condition

U556/Q (INV3)	0.33	13.03	r
mycordic/present ANGLE table req[5][15]/D (DF3)	0.00	13.03	r
data arrival time		13.03	
clock clock (rise edge)	20.00	20.00	
clock network delay (ideal)	0.00	20.00	
mycordic/present ANGLE table req[5][15]/C (DF3)	0.00	20.00	r
library setup time	-0.01	19.99	
data required time		19.99	
data required time		19.99	
data arrival time		-13.03	
slack (MET)		6.96	

Report Area

***** Device Utilization for 3S1000Lft256 *****			
Resource	Used	Avail	Utilization
IOs	27	173	15.61%
Global Buffers	1	8	12.50%
LUTs	126	15360	0.82%
CLB Slices	83	7680	1.08%
Dffs or Latches	165	15879	1.04%
Block RAMs	0	24	0.00%
Block Multipliers	0	24	0.00%
Block Multiplier Dffs	0	864	0.00%



03.05

Digital

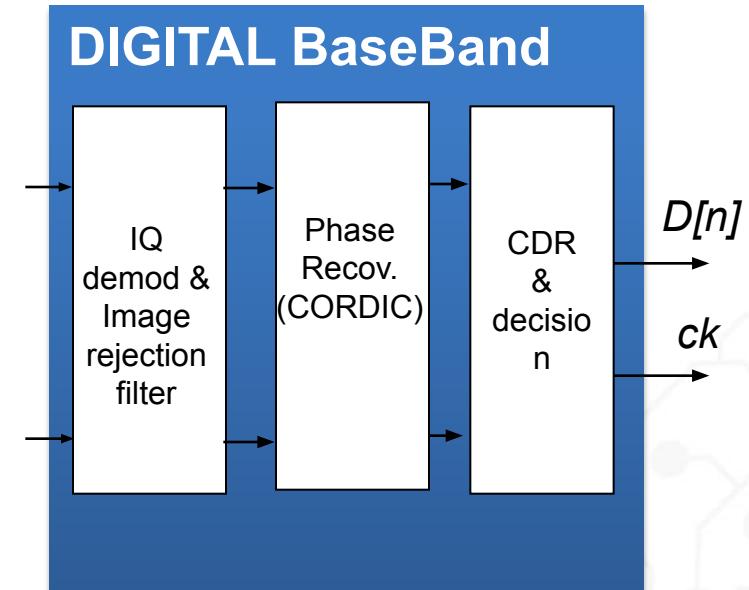
CDR

Contexte

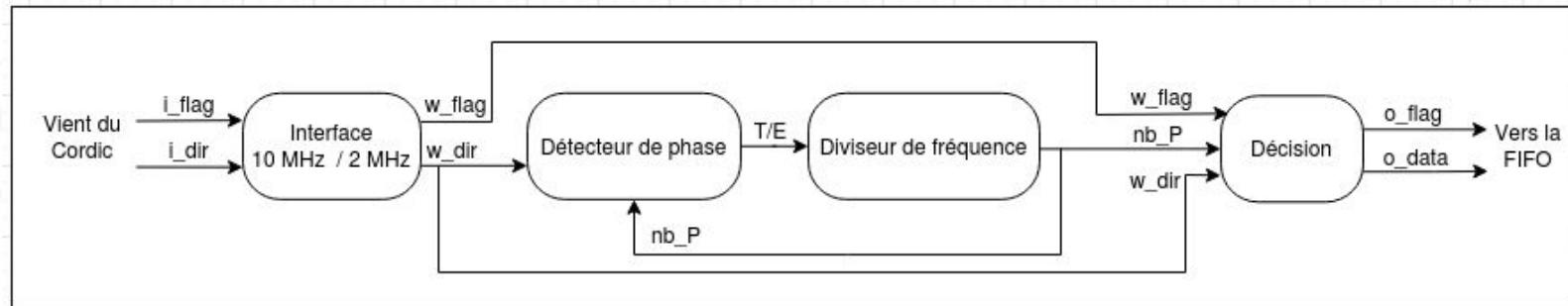
- Possibilité de retard/avance lors de la réception des données

Objectifs du bloc

- Synchroniser les données entrantes (direction) avec l'horloge



Principe de fonctionnement



Entrée

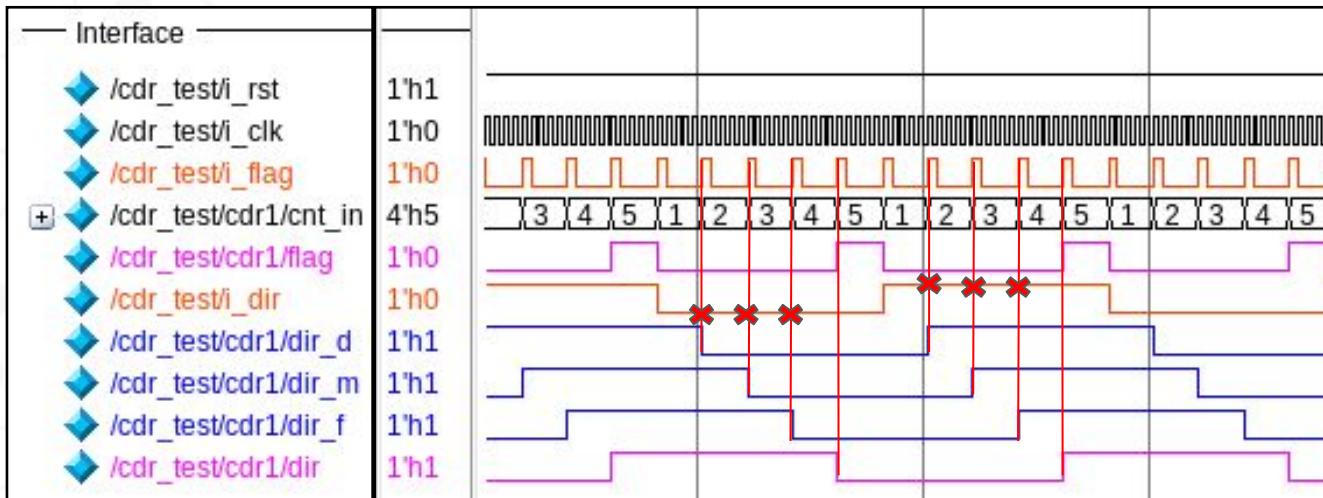
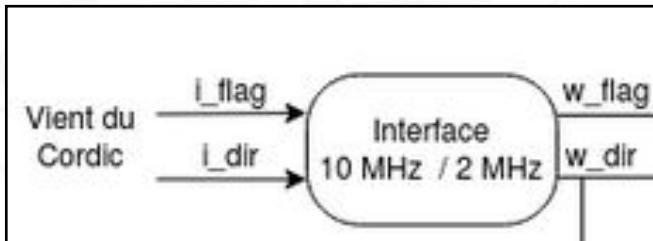
- **i_dir** : valeur de la direction envoyée par le CORDIC
- **i_flag** : signal indiquant au CDR lorsqu'une donnée est transmise

Sortie

- **o_data** : direction échantillonnée
- **o_flag** : signal indiquant à la FIFO lorsqu'une donnée est transmise

Digital. CDR

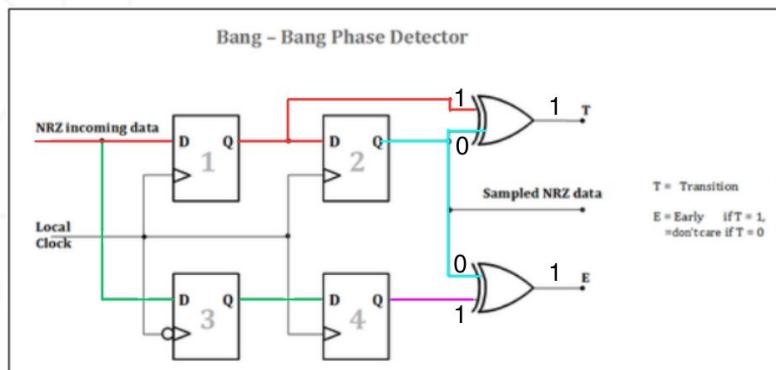
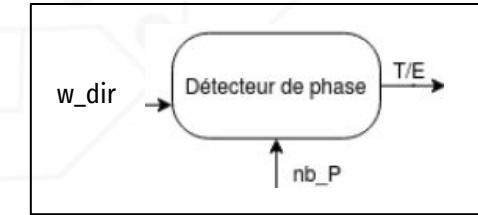
Interface 10MHz/2MHz



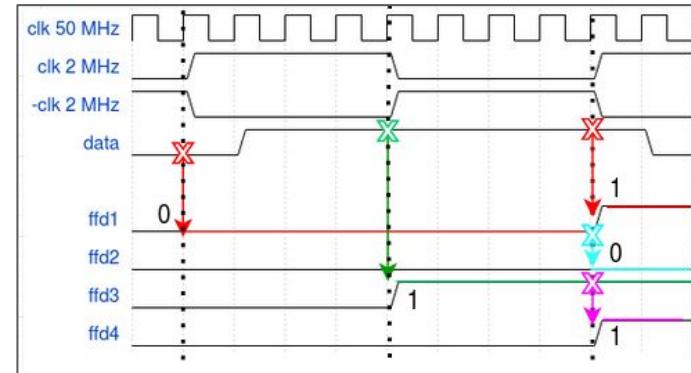
dir_d	dir_m	dir_f	w_dir
1	1	1	1
1	1	0	1
1	0	1	1
1	0	0	0
0	1	1	1
0	1	0	0
0	0	1	0
0	0	0	0

Digital CDR

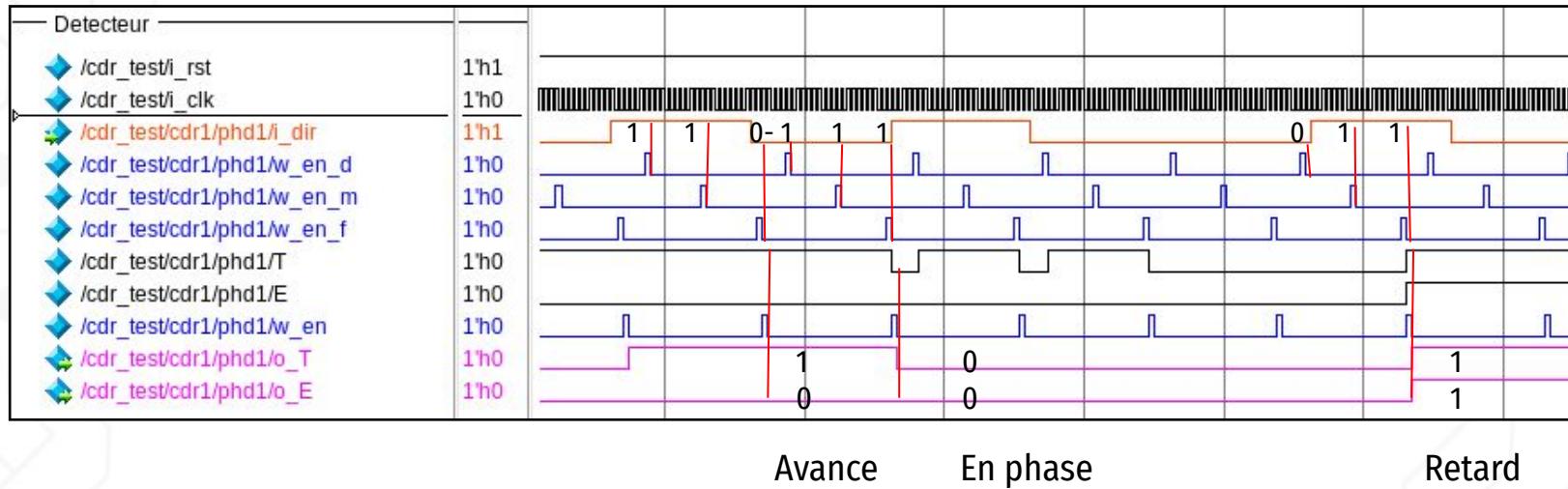
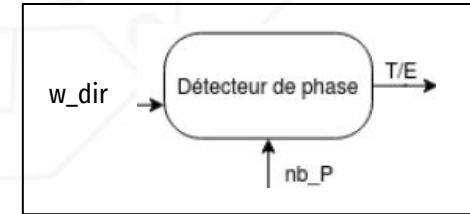
Détecteur de phase (Alexander type)



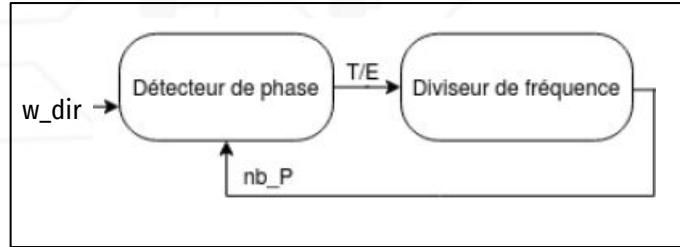
Exemple: cas d'un retard



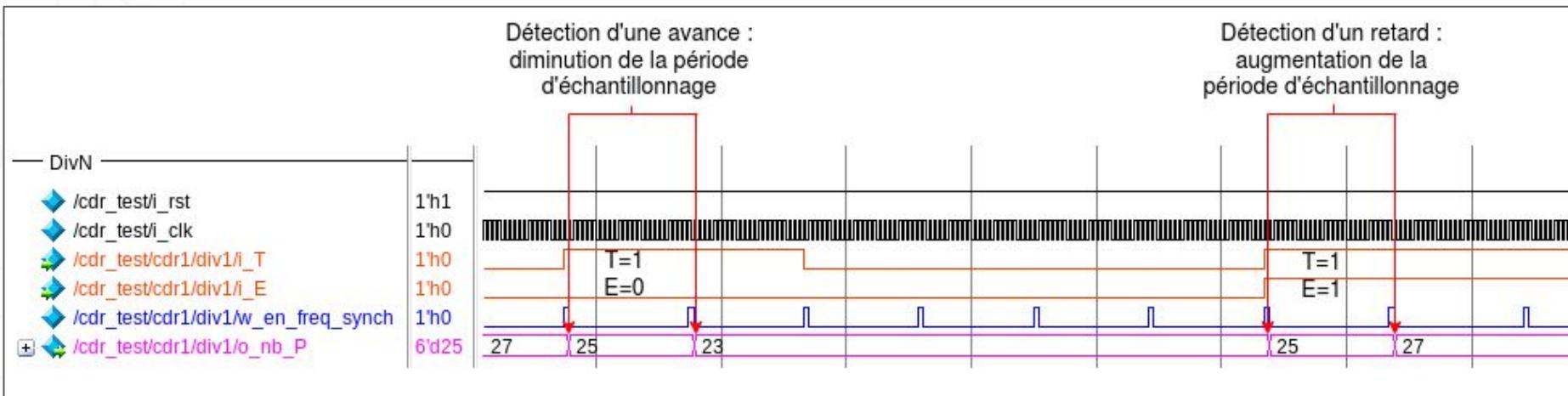
Résultats de simulation: détecteur de phase



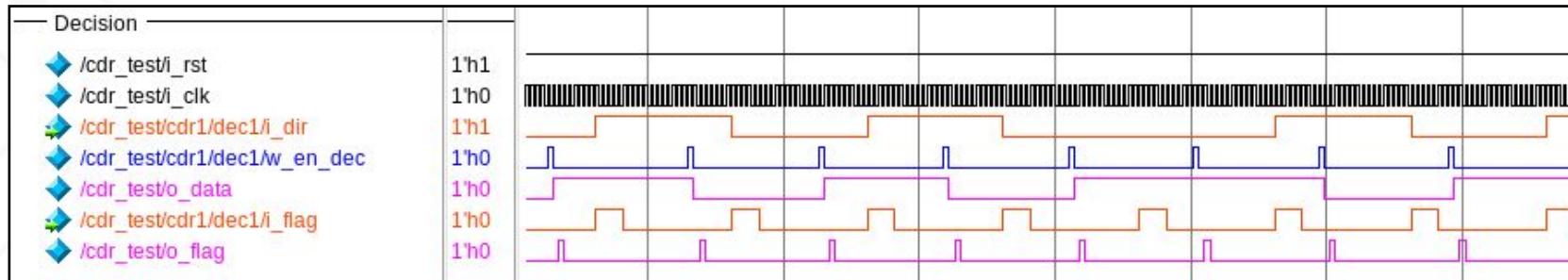
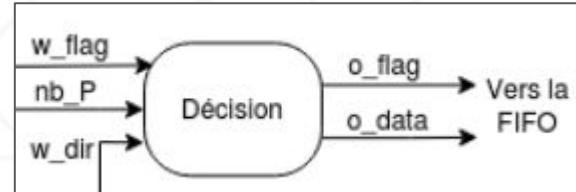
Résultats de simulation: asservissement



Diviseur de fréquence: réajustement de la fréquence d'échantillonnage



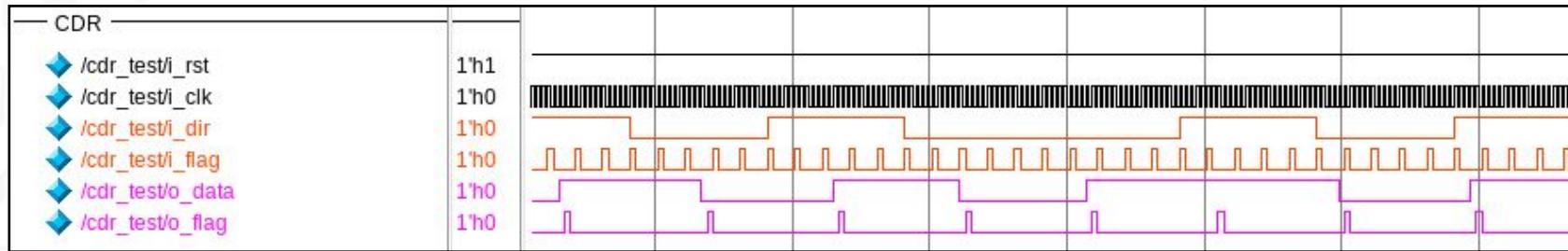
Résultats de simulation: décision



Validation

- Échantillonnage au milieu de la direction en entrée
- Inversion de la direction

Résultats de simulation: CDR global en pré-synthèse

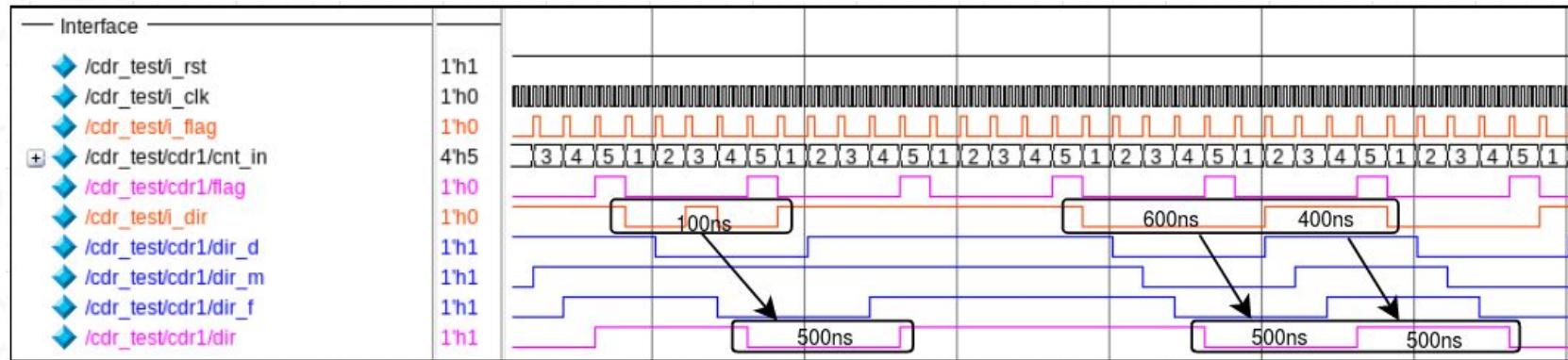


Validation

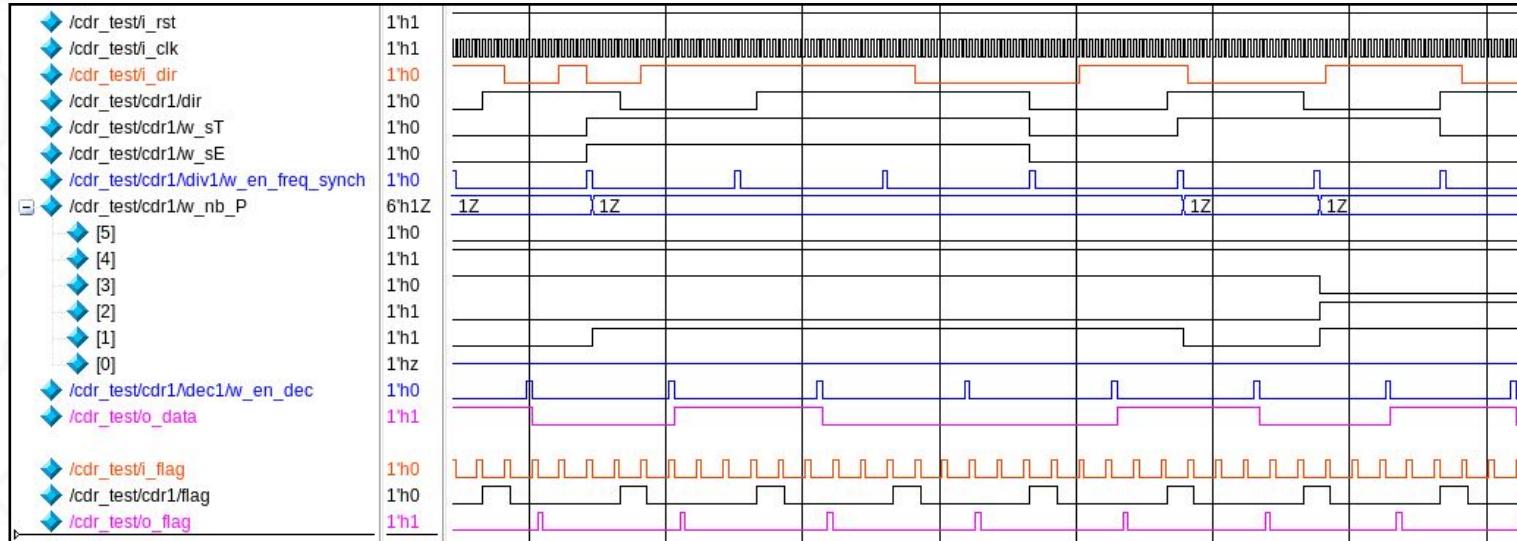
- Donnée `i_dir` bien recopiée en sortie `o_data`
- Retards/avances absorbés
- Inversion de la direction

Prise en compte des autres blocs

- 1ère donnée non-conservée (FIFO)
- erreurs dues à l'imprécision de la démodulation (DEMOD + CORDIC) + glitch



Résultats de simulation: CDR global en post-synthèse



Résultats de post-synthèse (en WORST)

clock i clk (rise edge)	20.00	20.00	Combinational area:	27991.600121
clock network delay (ideal)	0.00	20.00	Buf/Inv area:	3658.200150
phd1/cnt phd/cnt req[0]/C (DF3)	0.00	20.00 r	Noncombinational area:	16871.400085
library setup time	-0.01	19.99	Macro/Black Box area:	0.000000
data required time		19.99	Net Interconnect area:	8946.000000
-----			Total cell area:	44863.000206
data required time		19.99	Total area:	53809.000206

slack (MET)		9.16		

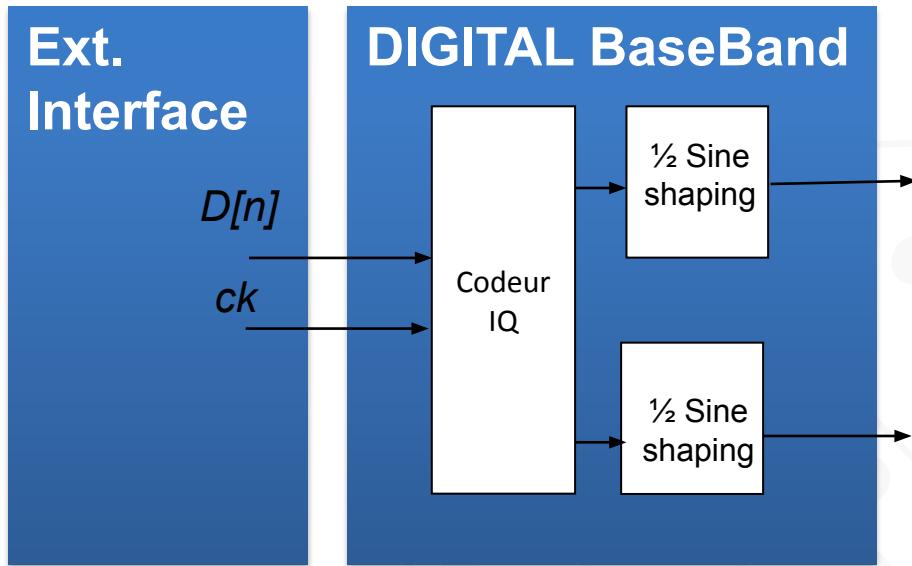
03.06

Digital

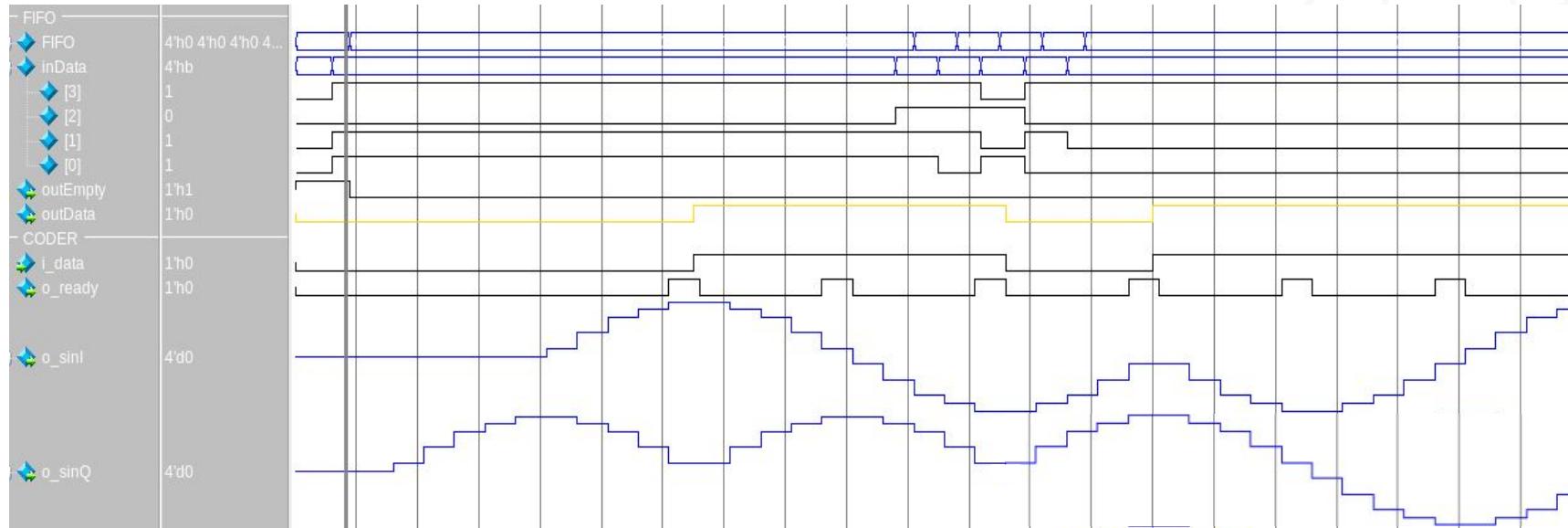
Wrapper

Digital. Wrapper

Émetteur Zigbee - Numérique



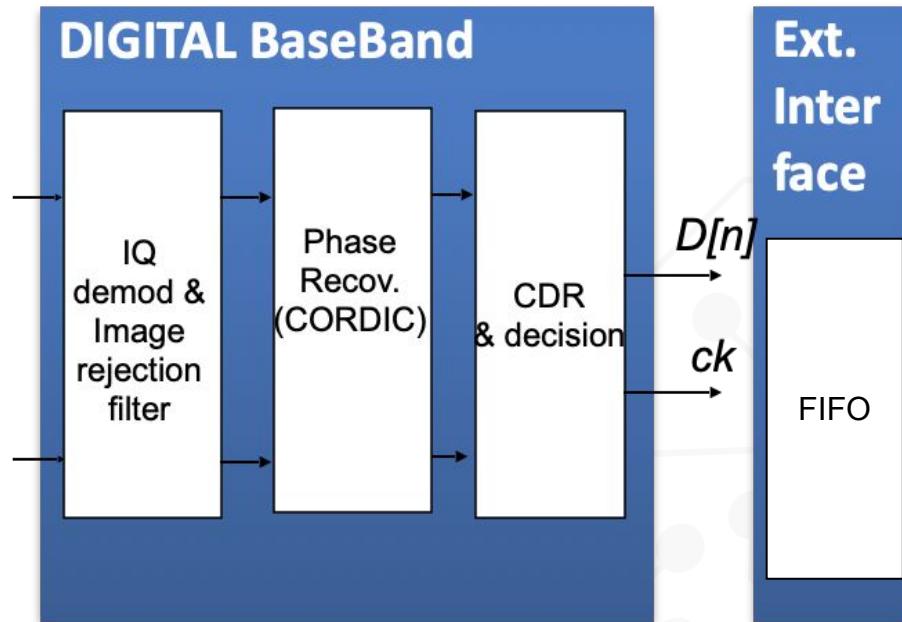
Émetteur Zigbee - Numérique



Digital. Wrapper

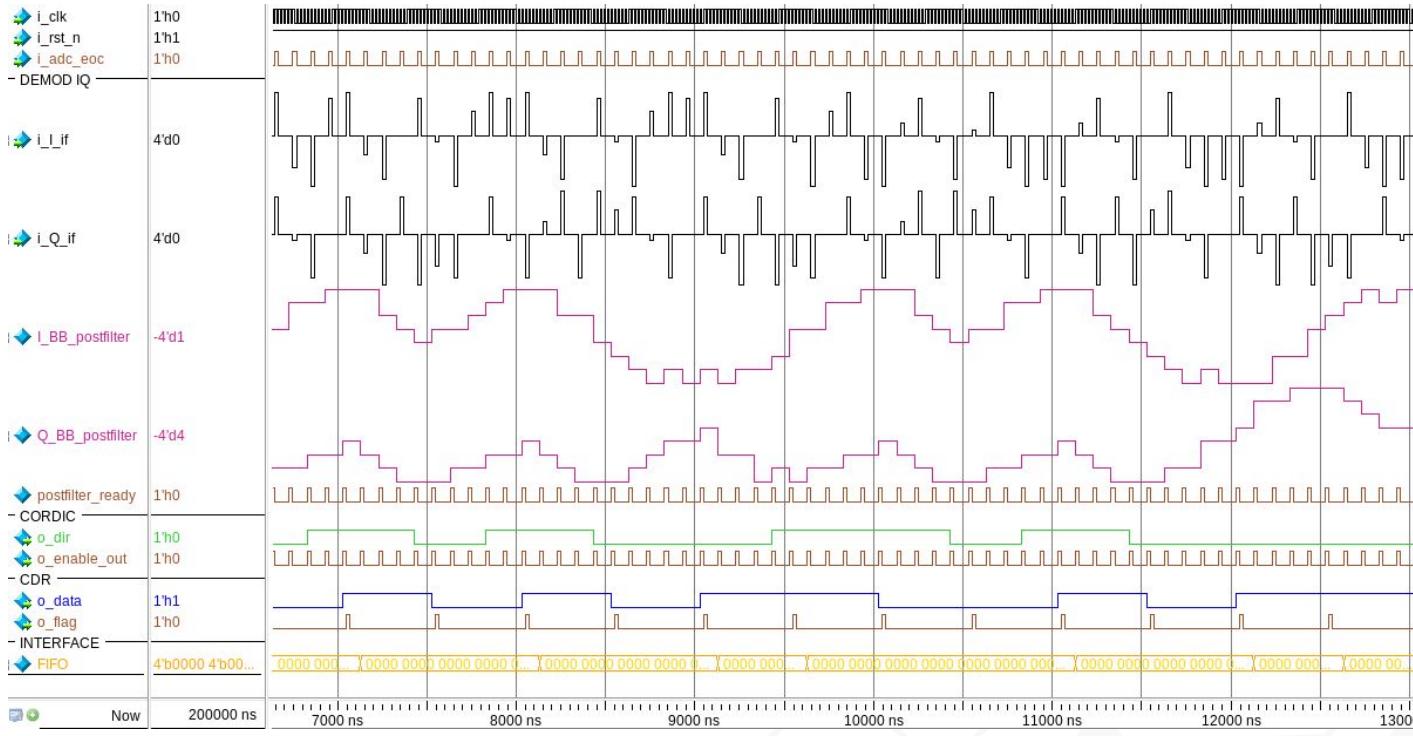
Récepteur Zigbee - Numérique

Entrées : signaux IIF et QIF



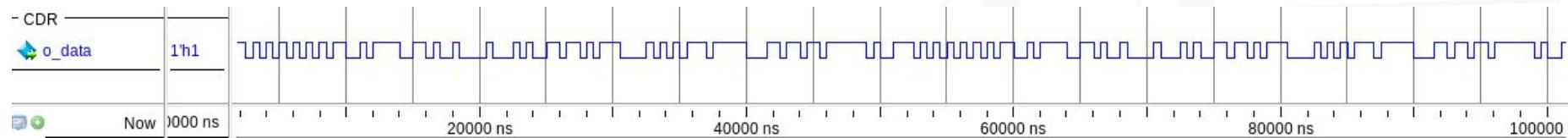
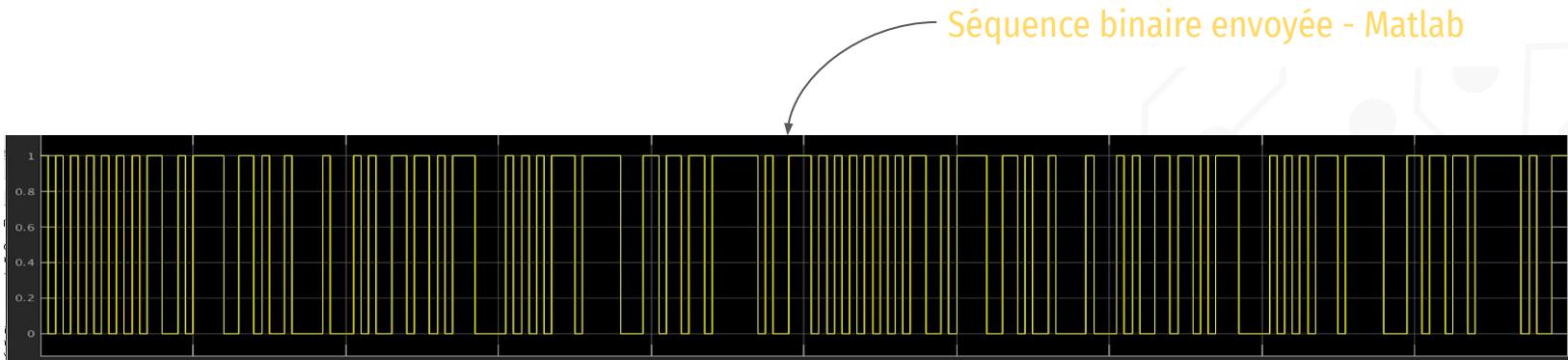
Digital. Wrapper

Récepteur Zigbee - Numérique



Digital. Wrapper

Récepteur Zigbee - Numérique



Séquence binaire reçue - Résultats de simulation



03.07

Digital

TEST

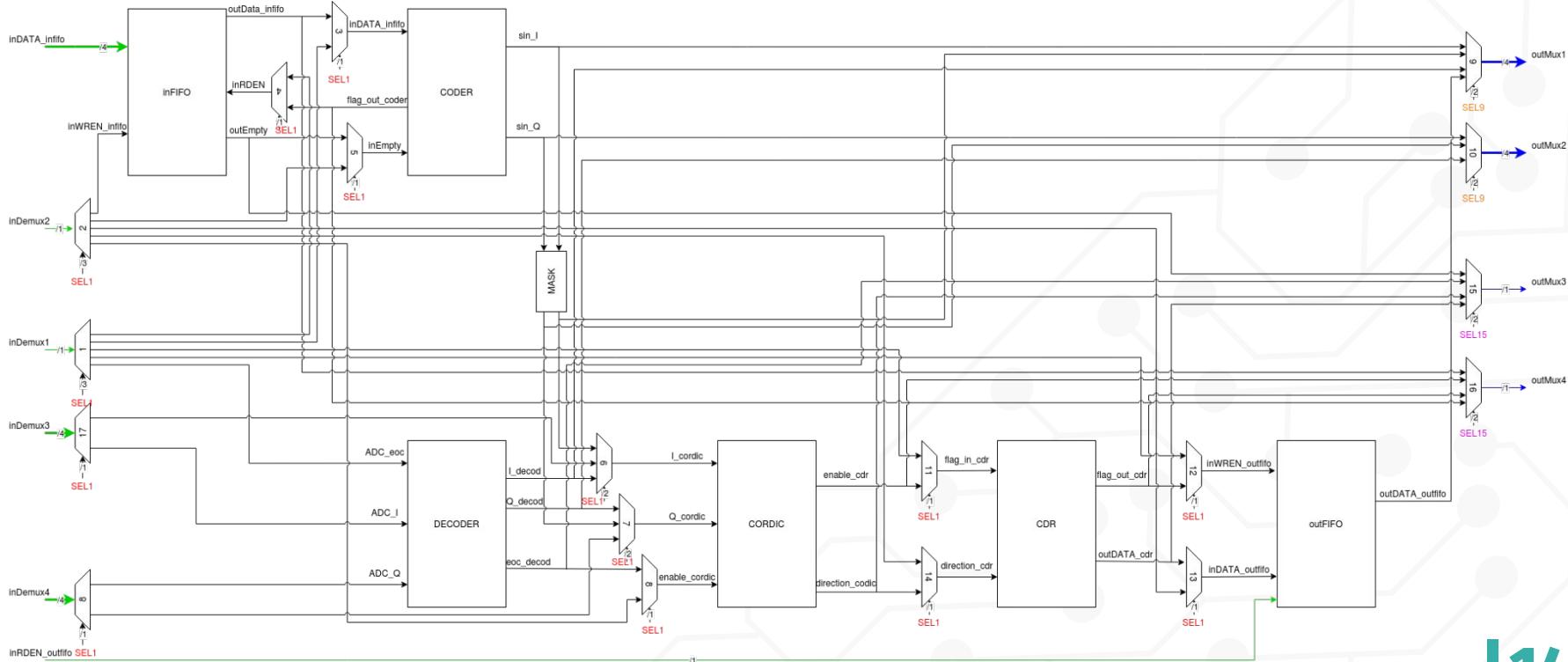
Contexte

- **48 pins**
 - 1 horloge
 - 1 reset
 - 2 VDD minimum
 - 2 GND minimum
- Ensemble des blocs > 48 pins
- Test du circuit complet
- Test unitaire de chacun des blocs
- Possibilité de connecter le CODER sur le CORDIC

Solution

- Utilisation de MUX et de DEMUX
 - Augmenter significativement le nombre d'entrées/sorties
 - Isoler les blocs pour le test unitaire
 - Assembler la chaîne de transmission et réception

Mise en oeuvre



1e solution

- **4 DEMUXs & 14 MUXs**
- **9 SELs**
 - **48 pins**
 - **Test fastidieux**
- **Signaux minimum requis**
- **Alimentations minimum requises**

2e solution

- **4 DEMUXs & 14 MUXs**
- **3 SELs**
 - **38 pins**
 - **Test simplifié**
- **6 signaux des registres d'erreurs des FIFOs ajoutés**
- **2 VDD & 2 GND supplémentaires**
 - **48 pins finalement**
- **Surface de la puce augmentée**

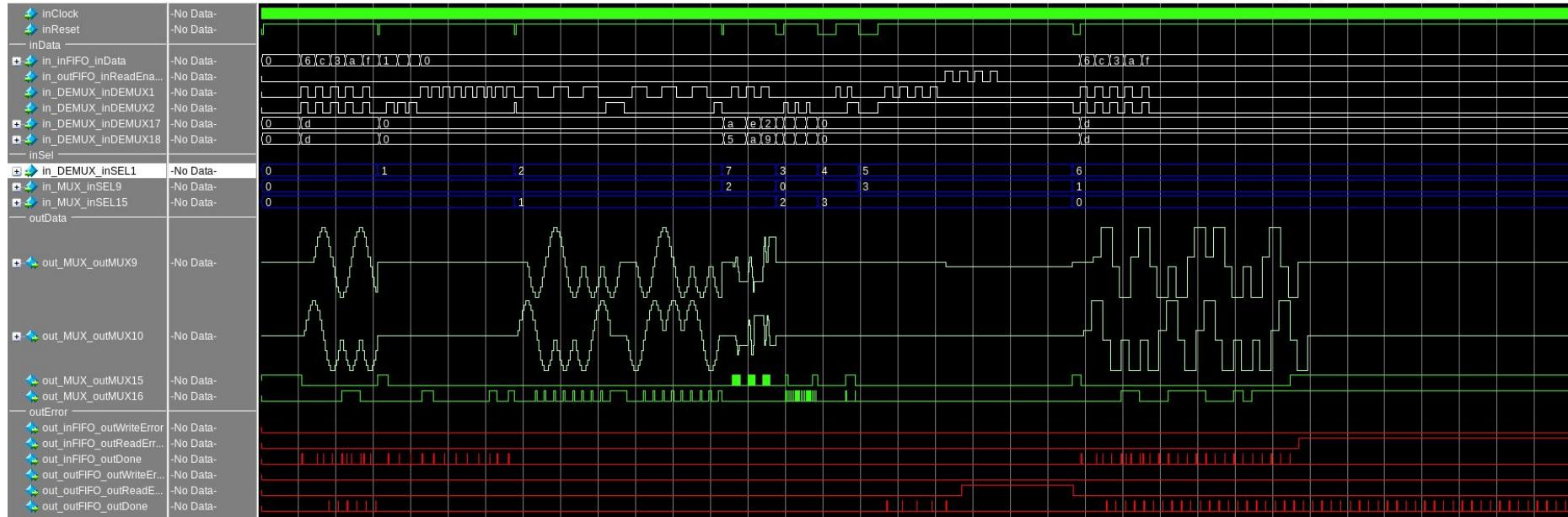
Vecteurs de test (1e version)

DEMUX1		DEMUX2		MUX3		MUX4		MUX5		MUX8	
SEL1	DATA_out	SEL2	DATA_out	SEL3	DATA_in	SEL3	DATA_in	SEL3	DATA_in	SEL6	DATA_in
0	decod_inEOC	0	inFIFO_inWriteEnable	0	coder_inData	0	inFIFO_outData	0	inFIFO_outEmpty	0	decod_outEOC
1	inMUX4	1	inMUX5	1	inFIFO_inReadEnable	1	coder_outQ	1	inFIFO_outQ	1	decoder_outReady
2	inMUX3	2	inMUX6	2	CDR_inFlag	2	coder_outSinQMasked	2	coder_outSinQMasked	2	DEMUX_outDEMUX1[2]
3	inMUX11	3	inMUX14	3	outFIFO_inData	3	DEMUX_outDEMUX1[1]	3	DEMUX_outDEMUX1[1]	3	DEMUX_outDEMUX1[3]
4	inMUX12	4	inMUX13	4	outFIFO_inWriteEnable	4	DEMUX_outDEMUX1[0]	4	DEMUX_outDEMUX1[0]	4	DEMUX_outDEMUX1[4]
5		5		5		5		5		5	
6		6		6		6		6		6	
7		7		7		7		7		7	
MUX6		MUX7		MUX9		MUX10		MUX14		MUX16	
SEL6	DATA_in	SEL6	DATA_in	SEL9	DATA_in	SEL9	DATA_in	SEL11	DATA_in	SEL15	DATA_in
0	decod_outQ	0	decod_outQ	0	coder_outSinR	0	coder_outSinR	0	sig_cordic_outEnable	0	inFIFO_outData
1	coder_outSinMasked	1	coder_outSinQ	1	coder_outSinMasked	1	coder_outSinQ	1	sig_cordic_outDirection	1	coder_outReady
2	DEMUX_outDEMUX1[7]	2	DEMUX_outDEMUX1[8]	2	decod_outI	2	decod_outI	2	DEMUX_outDEMUX2[3]	2	cordic_outDirection
3		3		3		3		3		3	
MUX11		MUX12		MUX15		MUX17		MUX18		MUX19	
SEL11	DATA_in	SEL12	DATA_in	SEL15	DATA_in	SEL17	DATA_out	SEL17	DATA_out	SEL17	DATA_out
0	sig_cordic_outEnable	0	cdr_outFlag	0	inFIFO_outEmpty	0	decod_inADC	0	decod_inADCQ	0	decod_inADCQ
1	DEMUX_outDEMUX1[3]	1	DEMUX_outDEMUX1[4]	1	decod_outEOC	1	inMUX6	1	inMUX7	1	inMUX7
MUX13		MUX16		MUX19		DEMUX17		DEMUX18		DEMUX19	
SEL12	DATA_in	SEL15	DATA_in	SEL15	DATA_in	SEL17	DATA_out	SEL17	DATA_out	SEL17	DATA_out
0	cdr_outFlag	0	sig_cordic_outDirection	0	inFIFO_outData	0	decod_inADC	0	decod_inADCQ	0	decod_inADCQ
1	DEMUX_outDEMUX1[4]	1	DEMUX_outDEMUX2[4]	1	coder_outReady	1	inMUX7	1	inMUX8	1	inMUX8
inFIFO_inReadEnable											
cordic_inI											
decoder_outQ											
CDR_inFlag											
outFIFO_inData											
cordic_inQ											
coder_inEmpty											
coder_inEnable											

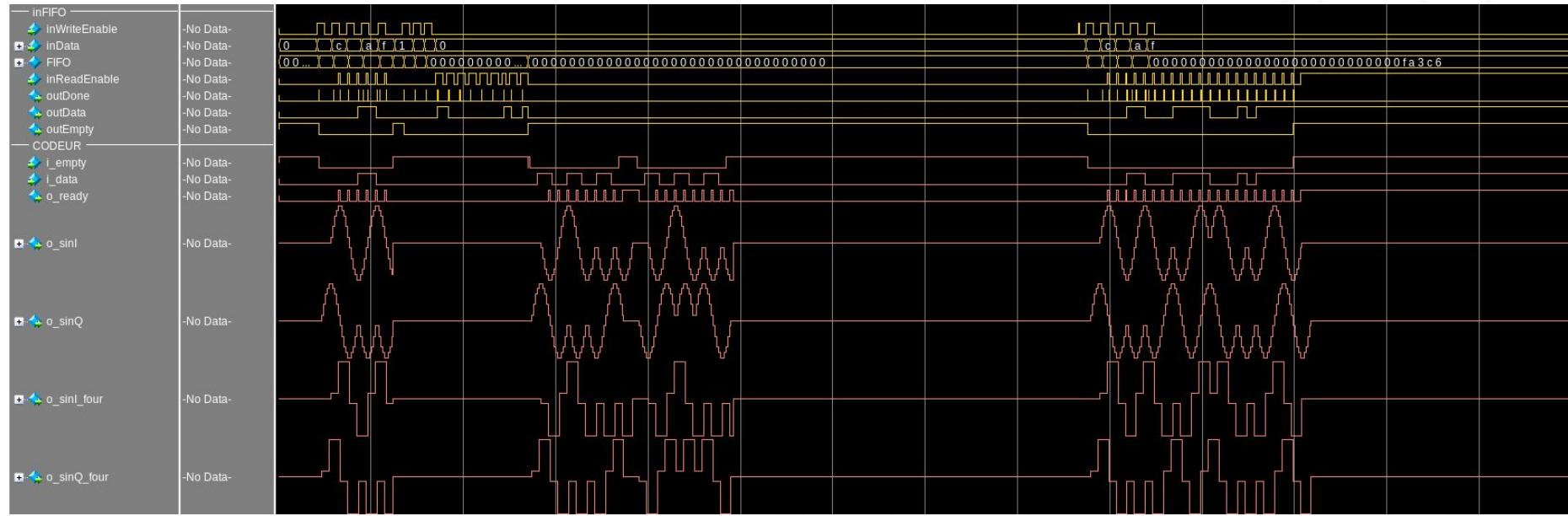
Vecteurs de test (2e version)

SEL1											
CODE	DEMUX1	DEMUX2	MUX3	MUX4	MUX5	MUX6	MUX7 8	MUX11 14	MUX12 13	DEMUX17 18	
0	Decod	inFIFO	Coder inFIFO	inFiFo Coder	inFIFO Coder	Decod Cordic	Decod Cordic	Cordic CDR	CDR outFIFO	Decod	
1	inFIFO	0	inFIFO	0	1	0	0	0	0	0	
2	Coder	Coder	0	Coder	Coder	0	0	0	0	0	
3	0	Cordic	0	0	1	Cordic	Cordic	0	0	Cordic	
4	CDR	CDR	0	0	1	0	0	CDR	0	0	
5	outFiFo	outFIFO	0	0	1	0	0	0	outFiFo	0	
6	Cordic	inFIFO	Coder inFIFO	inFIFO Coder	inFIFO Coder	Mask	Mask	Cordic CDR	CDR outFIFO	0	
7	Decod	0	0	0	1	0	0	0	0	Decod	

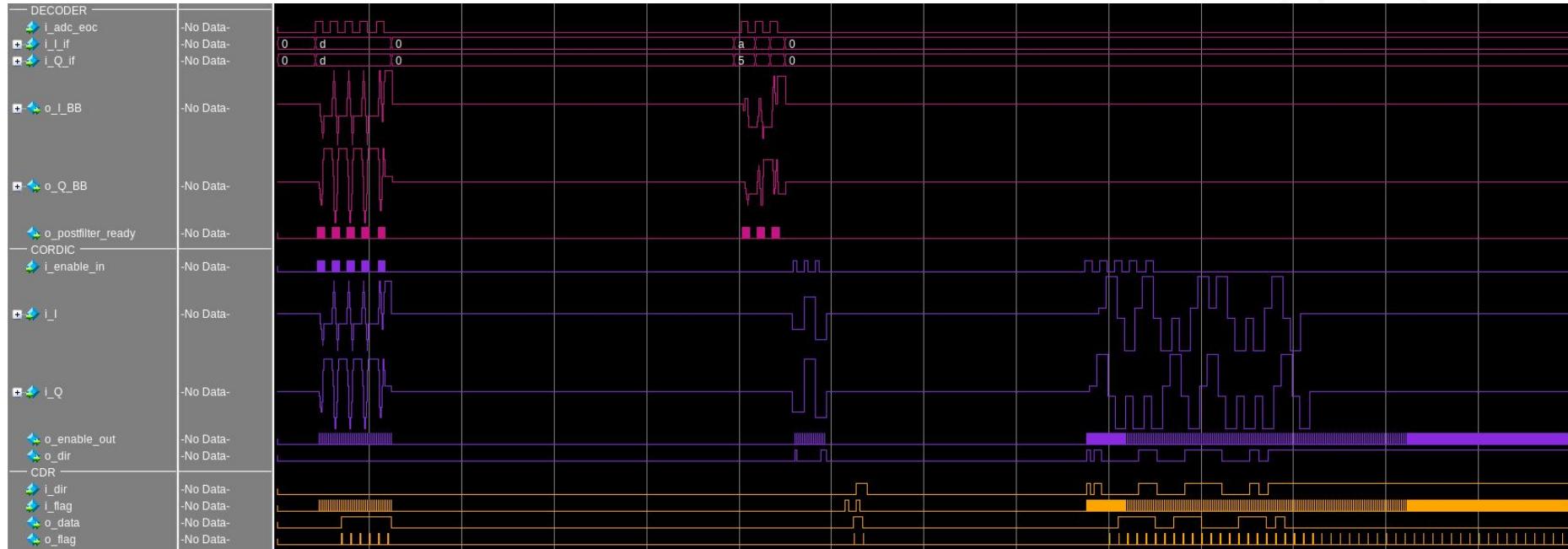
Résultats Post-Synthèse



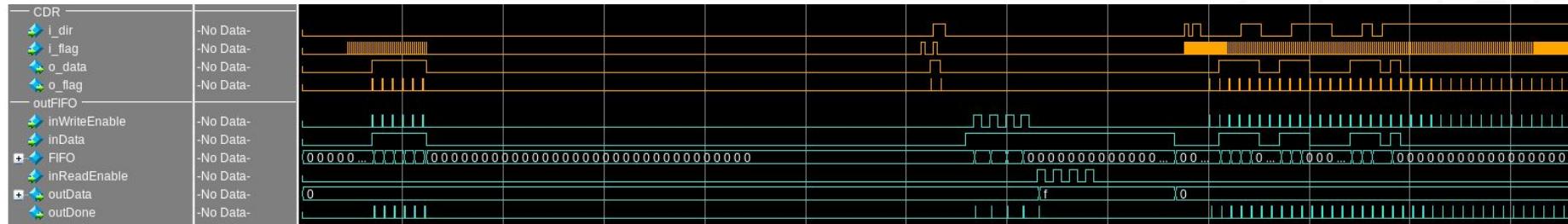
Résultats détaillés (TX : inFIFO - Coder)



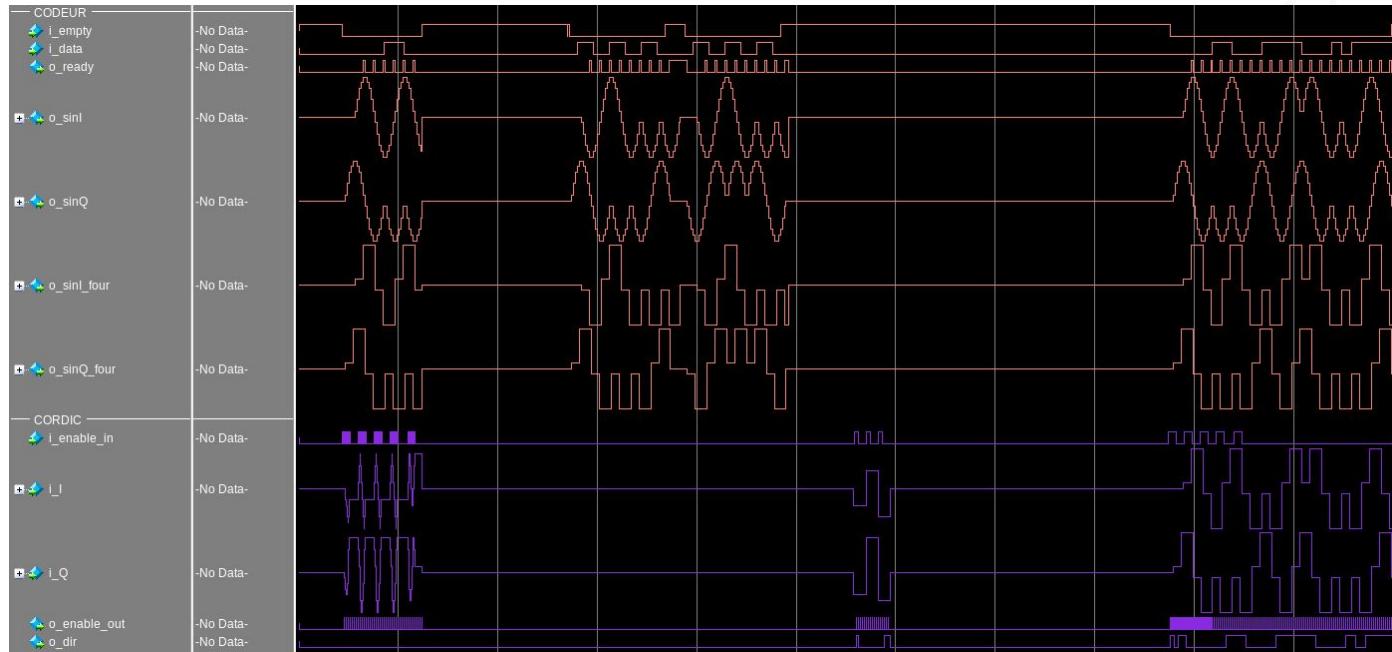
Résultats détaillés (RX : Decoder - CORDIC - CDR)



Résultats détaillés (RX : CDR - outFIFO)



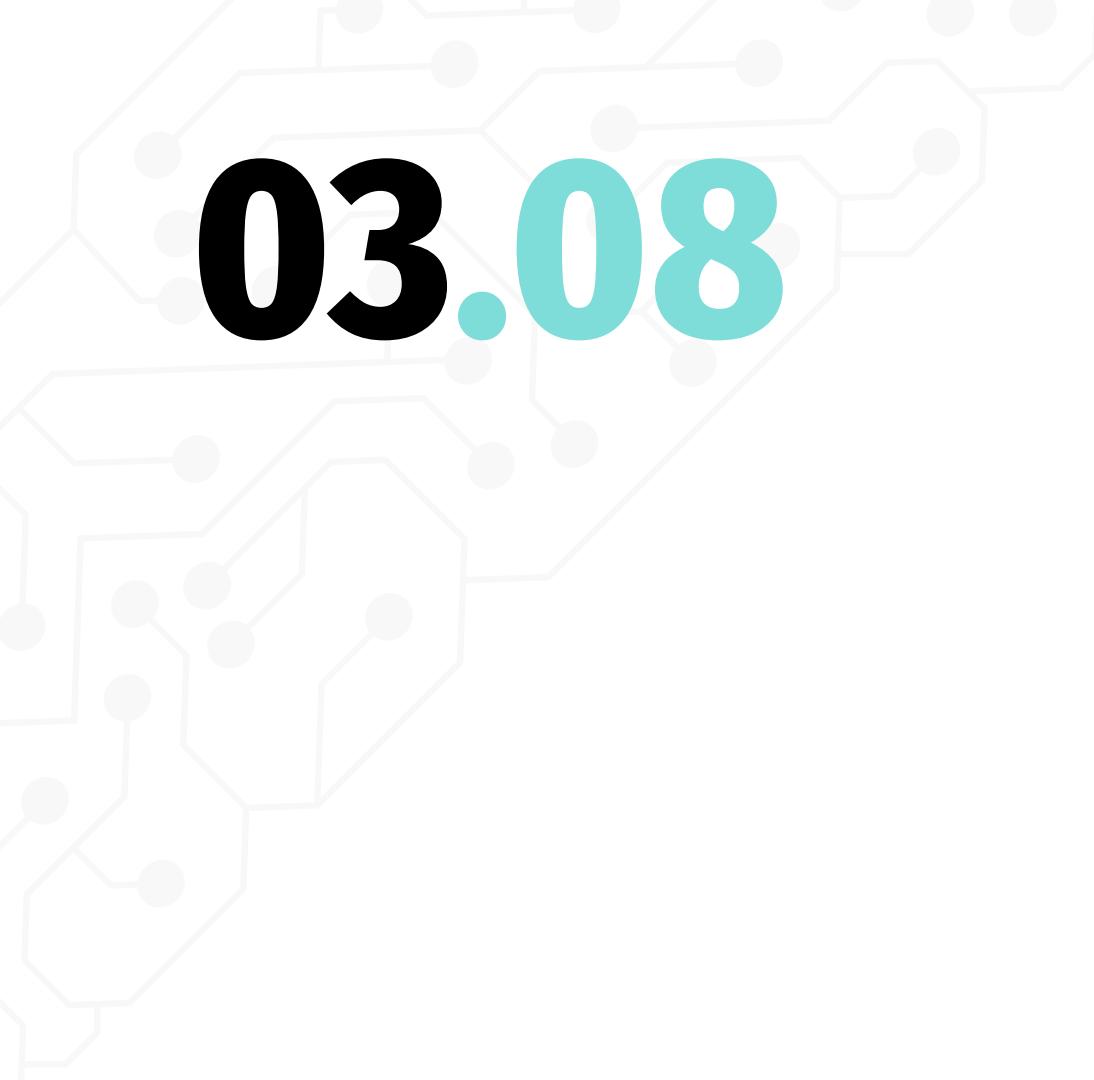
Résultats détaillés (Mask : Coder → CORDIC)



Rapports de surface & timing

Number of ports:	43
Number of nets:	8288
Number of cells:	7363
Number of combinational cells:	6050
Number of sequential cells:	1313
Number of macros/black boxes:	0
Number of buf/inv:	1735
Number of references:	37
Combinational area:	510983.202934
Buf/Inv area:	66557.402138
Noncombinational area:	366675.400879
Macro/Black Box area:	0.000000
Net Interconnect area:	150219.000000
Total cell area:	877658.603813
Total area:	1027877.603813

clock inClock (rise edge)	0.00	0.00
clock network delay (ideal)	0.00	0.00
u_coder/j_reg[0]/C (DF3)	0.00 #	0.00 r
u_coder/j_reg[0]/Q (DF3)	1.01	1.01 f
U1589/Q (BUF2)	1.03	2.03 f
u_coder/add_282/U1_1_1/C0 (ADD22)	0.94	2.97 f
u_coder/add_282/U1_1_2/C0 (ADD22)	0.63	3.60 f
u_coder/add_282/U1_1_3/C0 (ADD22)	0.63	4.23 f
u_coder/add_282/U1_1_4/C0 (ADD22)	0.63	4.86 f
u_coder/add_282/U1_1_5/C0 (ADD22)	0.63	5.49 f
u_coder/add_282/U1_1_6/C0 (ADD22)	0.63	6.12 f
u_coder/add_282/U1_1_7/C0 (ADD22)	0.63	6.75 f
u_coder/add_282/U1_1_8/C0 (ADD22)	0.63	7.38 f
u_coder/add_282/U1_1_9/C0 (ADD22)	0.63	8.01 f
u_coder/add_282/U1_1_10/C0 (ADD22)	0.63	8.64 f
u_coder/add_282/U1_1_11/C0 (ADD22)	0.63	9.26 f
u_coder/add_282/U1_1_12/C0 (ADD22)	0.63	9.89 f
u_coder/add_282/U1_1_13/C0 (ADD22)	0.63	10.52 f
u_coder/add_282/U1_1_14/C0 (ADD22)	0.63	11.15 f
u_coder/add_282/U1_1_15/C0 (ADD22)	0.63	11.78 f
u_coder/add_282/U1_1_16/C0 (ADD22)	0.63	12.41 f
u_coder/add_282/U1_1_17/C0 (ADD22)	0.63	13.04 f
u_coder/add_282/U1_1_18/C0 (ADD22)	0.61	13.65 f
U1588/Q (XNR21)	0.65	14.30 f
u_coder/U155/Q (OAI222)	0.38	14.68 r
u_coder/j_reg[19]/D (DF3)	0.00	14.68 r
data arrival time		14.68
clock inClock (rise edge)	20.00	20.00
clock network delay (ideal)	0.00	20.00
u_coder/j_reg[19]/C (DF3)	0.00	20.00 r
library setup time	-0.01	19.99
data required time		19.99
data required time		19.99
data arrival time		-14.68
slack (MET)	5.31	



03.08

Digital

PNR | DRC | LVS

Etapes de mise en place du flot de placement routage

1

Mise en place du flot de PnR avec la Netlist du CODER IQ

2

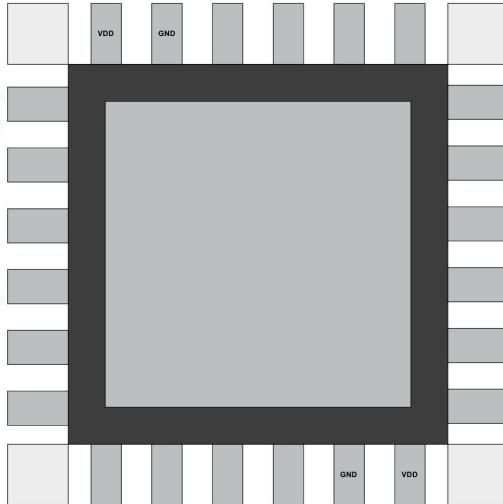
Dès la génération de la 1ère netlist TOP (avec structure de test), application du flot de PnR au TOP

3

Mise à jour des scripts de placement routage méthode agile

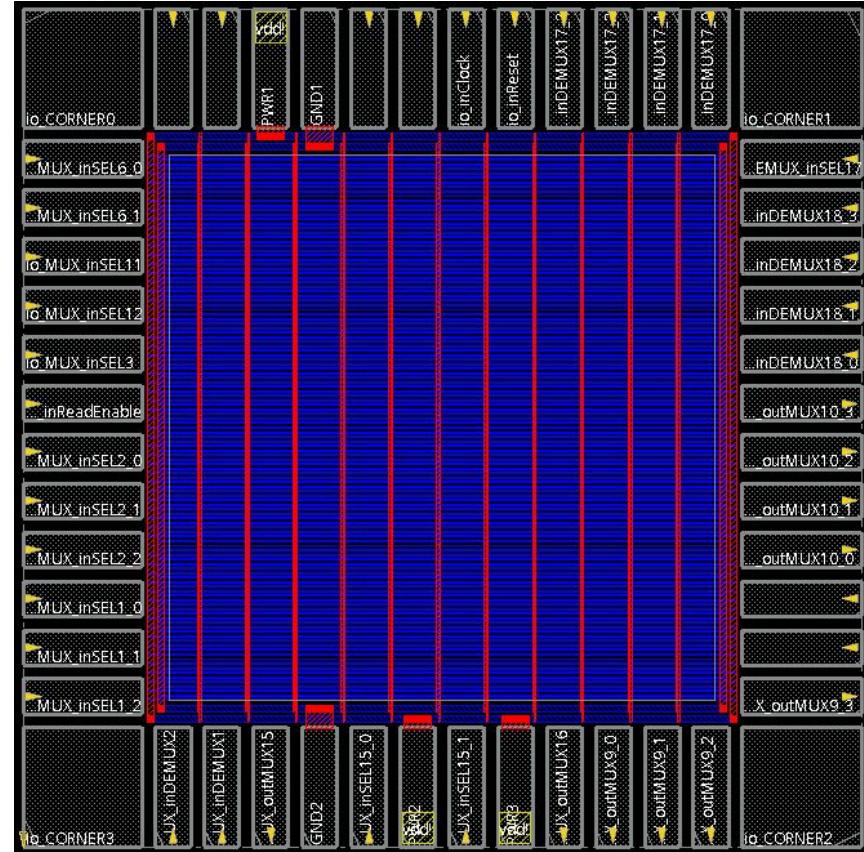
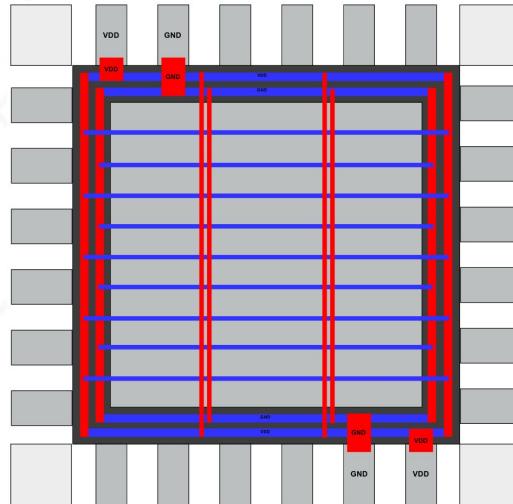
Initialisation du Design

- Chargement des librairies
- Chargement de la netlist
- Définition des contraintes de dessin (LEF)
- Chargement des pads d'IOs

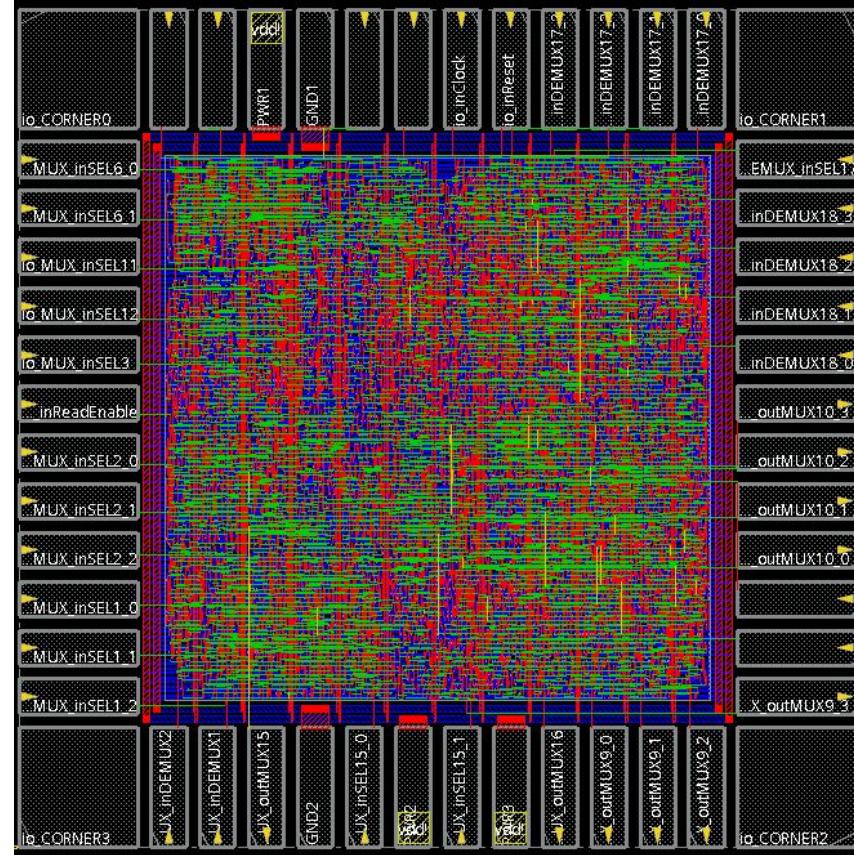
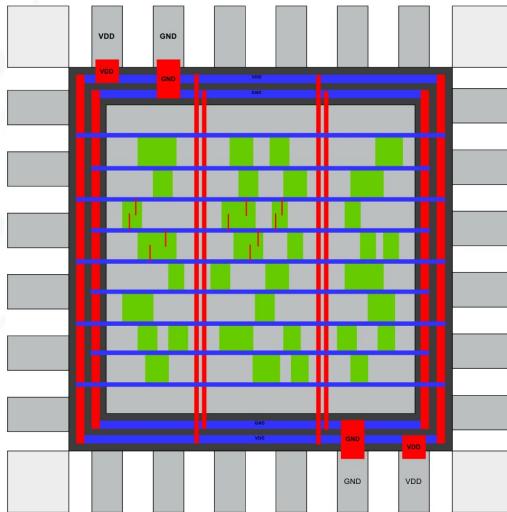


Les rails d'alimentation

- Layers : Metal1 Metal2
- Spacing : 100 µm
- Routage des pads d'alimentation

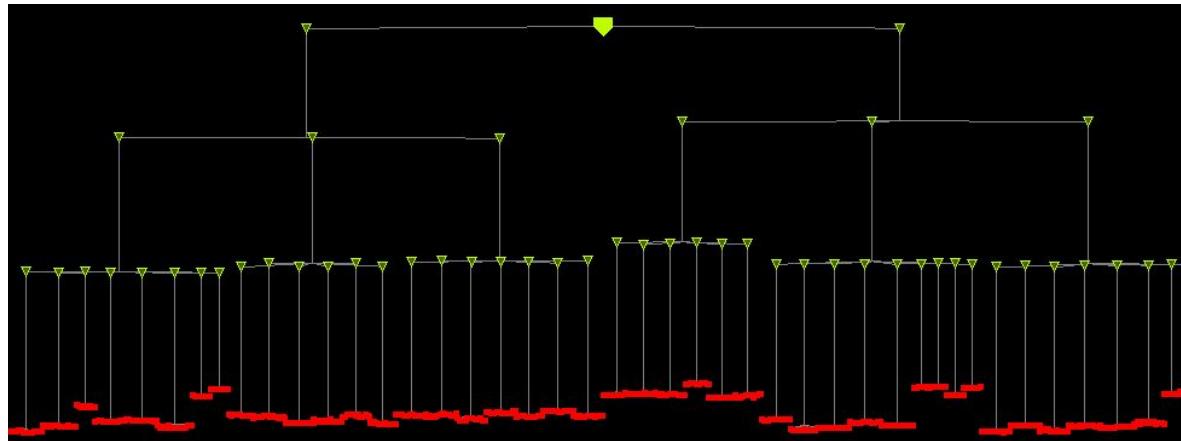


Placement et 1er routage des cellules standard + routage

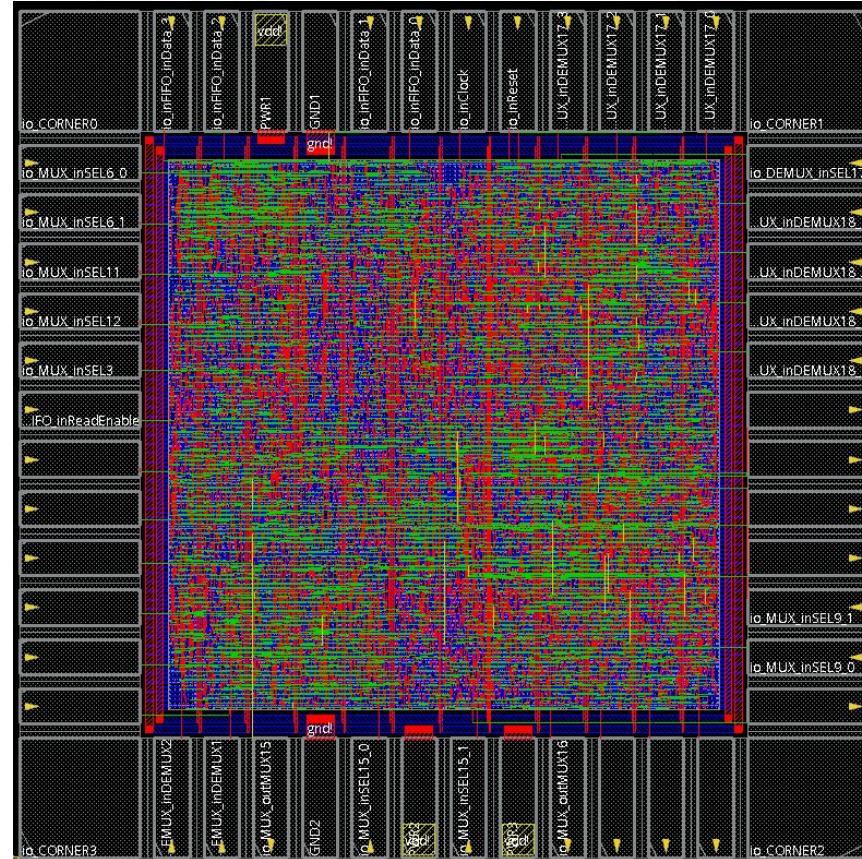
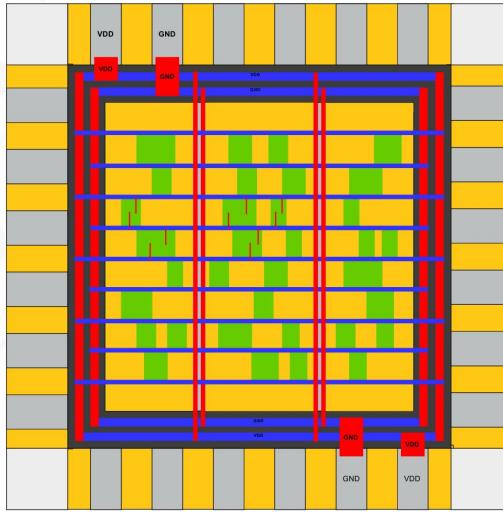


Génération de l'arbre d'horloge

- Clock équilibrée
- Horloge distribuée de façon équitable sur toutes les bascules



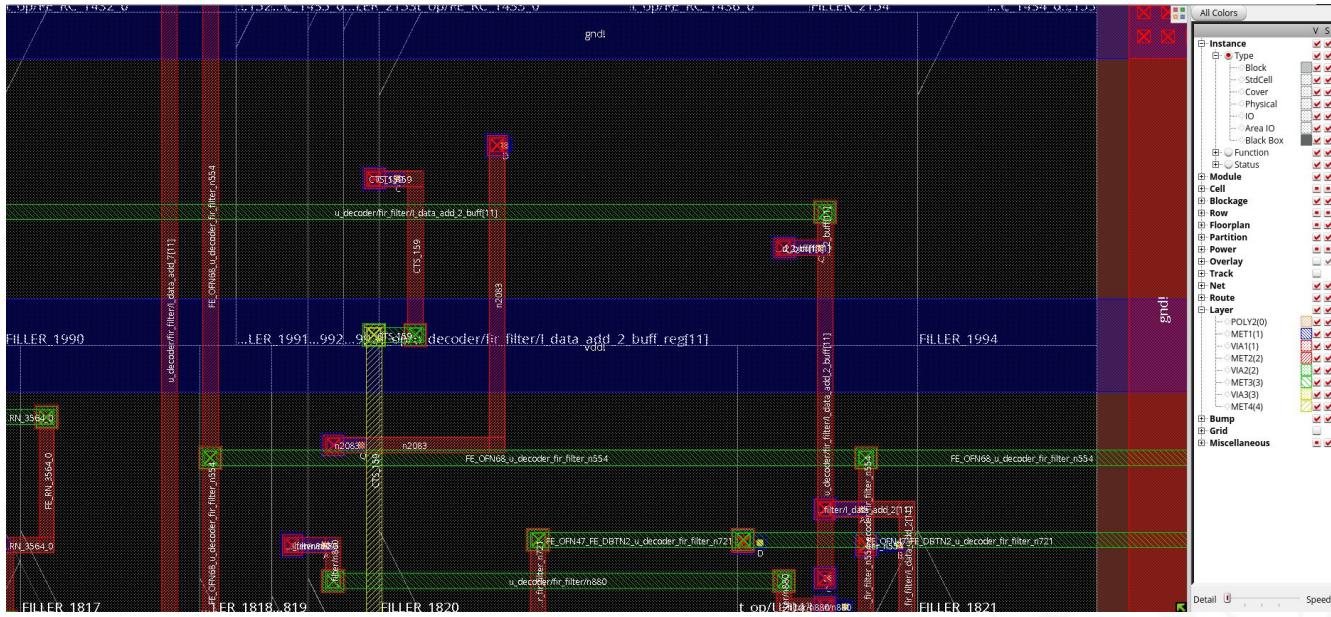
Ajout des cellules de remplissage



Second routage et optimisation

Problèmes avec le routage final

Commande : routeDesign



Report Timing

```
Endpoint: t_op/u_decoder/fir_filter/Q_data_add_7_buff_reg[13]/D (^) checked  
with leading edge of 'inClock'  
Beginpoint: t_op/u_decoder/fir_filter/Q_data_mult_8_buff_reg[0]/QN (^)  
triggered by leading edge of 'inClock'  
Path Groups: {reg2reg}  
Analysis View: setup_func_max  
Other End Arrival Time -0.136  
- Setup 0.025  
+ Phase Shift 20.000  
- Uncertainty 10.000  
= Required Time 9.839  
- Arrival Time 10.485  
= Slack Time -0.645  
    Clock Rise Edge 0.000  
    + Clock Network Latency (Prop) 0.079  
    = Beginpoint Arrival Time 0.079
```

report_timing en setup (MET)

report_timing en hold (MET)

```
Endpoint: t_op/u_outFIFO/os1/dff1/s_qout_reg/D (^) checked with leading edge  
of 'inClock'  
Beginpoint: in_outFIFO_inReadEnable (^) triggered by leading edge  
of '@'  
Path Groups: {in2reg}  
Analysis View: hold_func_min  
Other End Arrival Time 0.020  
+ Hold 0.014  
+ Phase Shift 0.000  
= Required Time 0.033  
    Arrival Time 0.188  
    Slack Time 0.155  
        Clock Rise Edge 0.000  
        + Input Delay 0.000  
        = Beginpoint Arrival Time 0.000
```

Report Timing : Solution

Création de group paths :

- registres vers registres
- entrées vers registres
- registres vers sorties
- entrées vers sorties
- registres vers portes
- entrées vers portes

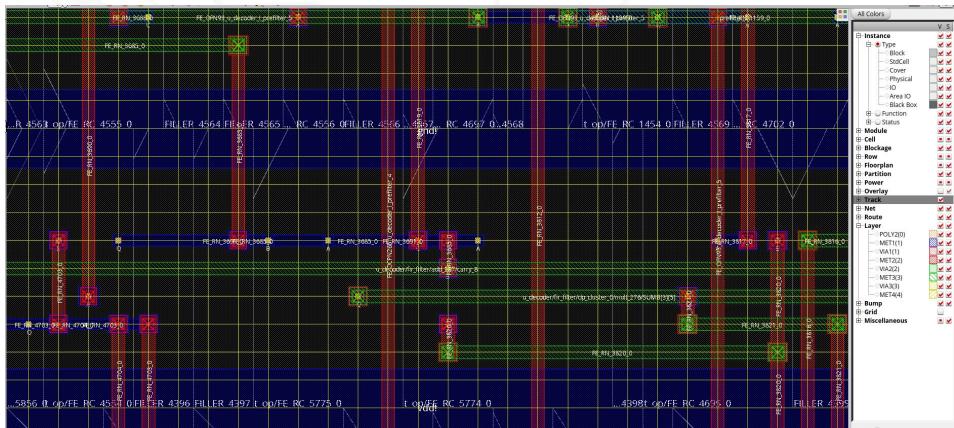
Plus ajout de groupes custom

Changement de place des pads d'IOs.



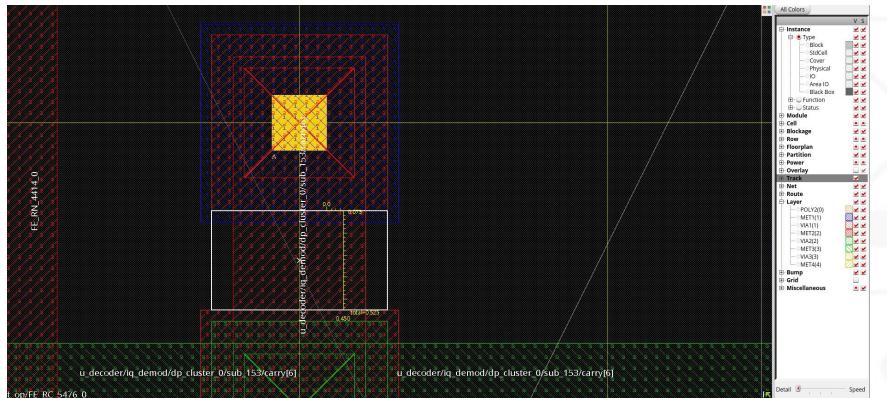
DRC (Design Rule Check)

SPACING (μm) : Metal 1 > 0,45
Metal 2 > 0,5
Metal 3 > 0,6
Metal 4 > 0,6



Solutions :

- Modification de la largeur de la grille de track
- Tentative de setting de spacing à la main



Digital.Conclusion

- **Codage RTL terminé pour tous**
- **Tous les blocs sont fonctionnels**
- **Synthèse en cours**
- **Placement routage à la rentrée**

04.01

REX

Retour d'expérience.Analogique

- Organisation initiale :**
- ⊕ La charge est bien répartie en fonction des qualités et des compétences de chacun
 - ⊕ On sait à qui s'adresser
 - ⊕ Le lien est bien fait avec le numérique
 - ⊖ Surcharge de travail pour les chefs
 - ~ Problème de légitimité si un chef se trompe

Évolution de l'organisation:

- Weekly écrit sur demande:**
- ⊕ Permet de respecter les demandes de tous
 - ⊖ Exclusion de certaines personnes du temps d'échange

- Secrétaire pour les weekly :**
- ⊕ Soulage le chef pour lui permettre de se concentrer sur l'animation
 - ⊖ Une personne de plus qui ne participe pas pleinement

- Répartition de la charge de travail :**
- ⊕ Certaines tâches sont déléguées aux personnes disponibles
 - ~ Mauvaise identification des rôles de chacun

- Réorganisation des binômes:**
- ⊕ Communication plus facile

Retour d'expérience.Numérique

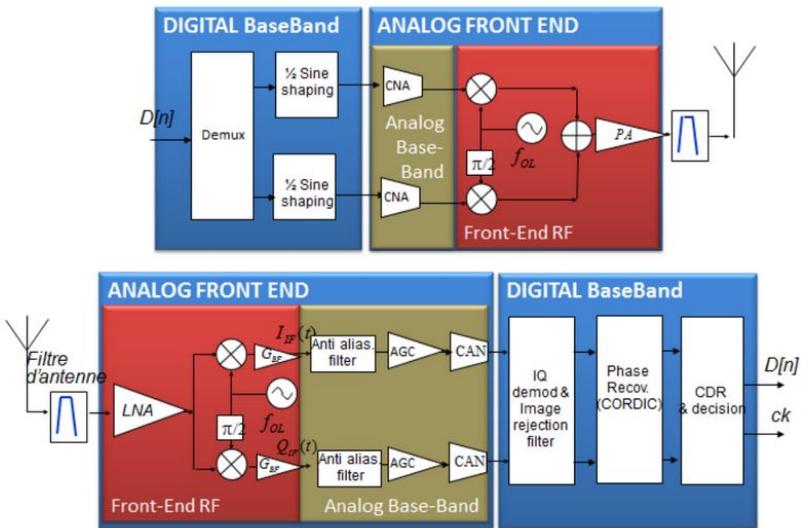
Apprentissage : ⊕ Découverte du flot de conception pour certains binômes
 ⊕ Amélioration des compétences en system verilog

Organisation : ⊕ Tutos, git, scripts, templates, espace de travail
 ~ Weekly pas toujours pertinents
 ~ Espace disque trop faible
 ⊖ Problèmes de librairies et documentation PNR difficile à trouver
 ⊖ Plus de support nécessaire (séances encadrées) pour la PNR
 ⊖ Surcharge de travail pour les chefs

Ressenti : ⊕ Beaucoup de compétences acquises en flot de conception numérique
 ⊕ Satisfaction à la vue des simulation fonctionnelles
 ⊕ Aspect équipe, chaque binôme sa fonction
 ⊕ Projet concret intéressant
 ⊖ Manque de cours en rapport avec la PNR

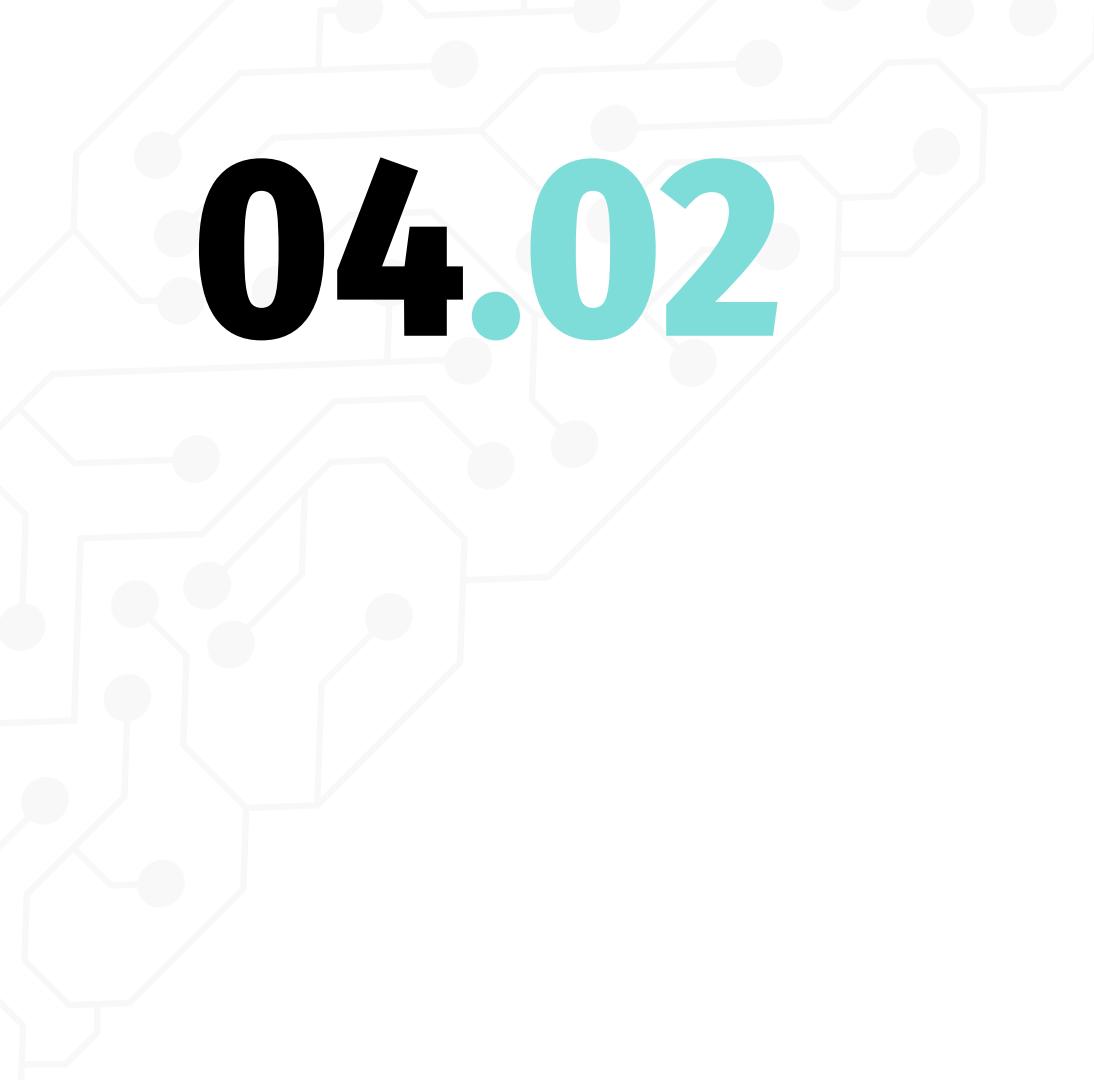
Retour d'expérience. Projet Analogique

DAC
Standalones



Temps supplémentaire
pour réaliser l'intégration
Numérique - Analogique

→ Conception de la bande
de base analogique pour
pouvoir intégrer l'ADC au
récepteur



04.02

Bilan de compétences

Bilan de Compétences.Analogique

- » Dimensionnement théorique d'un design à partir d'un cahier des charges, identification des points faibles et points clés d'une architecture
- » Réalisation de circuits analogiques RF et BF, adaptation d'impédances, intégration d'un design avec plusieurs blocs différents
- » Simulation sous Virtuoso, simulations dc, transitoires, SP, Harmonic Balance, extraction de performances clés du système
- » Réalisation des Layouts des circuits conçus, navigation dans le DRM, utilisation du DRC/LVS et compréhension des erreurs, layout de vues "top", intégration des plots de bonding, réalisation d'un plan de masse
- » Extraction RC d'un layout, simulations PEX, identification des parasites dégradant les performances, correction layout des parasites, compensation schématique des parasites
- » Compréhension et respect d'un flot de livraison

Bilan de Compétences.Numérique

- » Compréhension du flot de conception numérique
- » Analyse et interprétation en relative autonomie du cahier des charges
- » Conception au niveau RTL d'une solution fonctionnelle adaptée et optimisée (ex. en proposant une solution réfléchie, compacte, ...) répondant aux objectifs
- » Simulations sous Modelsim, selon le cahier des charges imposé, afin d'évaluer/ valider le bloc conçu
- » Effectuer une synthèse logique en vue d'une fabrication sous forme de circuit ASIC et apporter les optimisations nécessaires (Analyse de Timing (STA) et optimisation, Analyse de puissance (dynamique et statique) et optimisation)
- » Placement et routage cible ASIC avec l'outil Innovus de Cadence
- » Compréhension et respect d'un flot de livraison

Merci.

Des questions ?



PHELMA 2A MT
Projet de conception mixte : Zigbee