

ARQ1 _ Aula_06

Tema: Introdução à linguagem Verilog e simulação em Logisim

Preparação

Vídeos recomendados

<https://www.youtube.com/watch?v=SvcTSNCB4zI>

<https://www.youtube.com/watch?v=VkJ71Js3QDw>

<https://www.youtube.com/watch?v=JUVeGaJkuDY>

Atividade: Simplificação de circuitos

01.) Funções lógicas podem ser simplificadas diretamente do mapa de Veitch-Karnaugh:

		E		
		0	1	
A	00	(0)	(1)	D
	01	(2)	(3)	C
	11	(6)	(7)	
B	10	(4)	(5)	D

$$A = x' \cdot f(z)$$

$$B = x \cdot f(z)$$

$$C = y \cdot f(z)$$

$$D = y' \cdot f(z)$$

$$E = f(x,y)$$

Exemplo:

Dado o mapa de Veitch-Karnaugh abaixo, determinar a função simplificada equivalente.

		0	1	
		0	1	
A	00	(0)	1 (1)	D
	01	1 (2)	1 (3)	C
	11	(6)	(7)	
B	10	1 (4)	(5)	D

$$f(x,y,z) = \sum m(1, 2, 3, 4) = x' \cdot y' \cdot z + x' \cdot y \cdot z' + x' \cdot y \cdot z + x \cdot y' \cdot z'$$

$$\text{Com (1, 3): } x' \cdot z \quad (A)$$

$$\text{Com (2, 3): } x' \cdot y \quad (E)$$

$$f(x,y,z) = \sum m(1, 2, 3, 4) = x' \cdot z + x' \cdot y' + x \cdot y' \cdot z'$$

Montar o mapa de Veitch-Karnaugh e simplificar as funções lógicas abaixo e verificar pelas respectivas tabelas-verdades implementadas em Verilog:

a) $f(x,y,z) = \sum m(1, 5, 7)$

b) $f(x,y,z) = \sum m(0, 2, 6)$

c) $f(x,y,z) = \sum m(0, 1, 4, 5)$

d) $f(x,y,z) = \sum m(2, 3, 5, 7)$

e) $f(x,y,z) = \sum m(0, 3, 4, 6)$

03.) O mapa de Veitch-Karnaugh também serve para simplificar produtos de somas (MAXTERMOS):

		E		
		0	1	
A	00	(0)	(1)	D
	01	(2)	(3)	C
		(6)	(7)	
B	11	(4)	(5)	D
	10			

$$A = X + F(Z)$$

$$B = X' + F(Z)$$

$$C = Y' + F(Z)$$

$$D = Y' + F(Z)$$

$$E = F(X,Y)$$

Exemplo:

Dado o mapa de Veitch-Karnaugh abaixo, determinar o produto das somas (PoS) simplificado.

		0	1	
		0	1	
A	00	0 (0)	1 (1)	D
	01	1 (2)	1 (3)	C
		0 (6)	0 (7)	
B	11	1 (4)	0 (5)	D
	10			

$$F(X,Y,Z) = \prod M(0, 5, 6, 7) = (X+Y+Z) \cdot (X'+Y+Z') \cdot (X'+Y'+Z) \cdot (X'+Y'+Z')$$

$$\text{Com (5, 7): } (X'+Z') \quad (B)$$

$$\text{Com (6, 7): } (X'+Y') \quad (E)$$

$$F(X,Y,Z) = \prod M(0, 5, 6, 7) = (X+Y+Z) \cdot (X'+Z') \cdot (X'+Y')$$

Montar o mapa de Veitch-Karnaugh e simplificar as funções lógicas abaixo por MAXTERMOS e verificar pelas respectivas tabelas-verdades implementadas em Verilog:

a) $F(X,Y,Z) = \prod M(1, 3, 5)$

b) $F(X,Y,Z) = \prod M(1, 5, 7)$

c) $F(X,Y,Z) = \prod M(1, 2, 3, 6)$

d) $F(X,Y,Z) = \prod M(0, 2, 3, 6)$

e) $F(X,Y,Z) = \prod M(2, 3, 6, 7)$

03.) Se o número de variáveis aumentar, o mapa deve ser modificado ligeiramente, a fim de que as vizinhanças mantenham apenas um diferença entre elas.

		E		F		
xy\wz		00	01	11	10	
A	00	(0)	(1)	(3)	(2)	D
	01	(4)	(5)	(7)	(6)	C
11		(12)	(13)	(15)	(14)	
B	10	(8)	(9)	(11)	(10)	D
		H	G		H	

$$\begin{array}{lll}
 A = x' \cdot f(w,z) & E = g(x,y) \cdot w' & (A,B) = f(w,z) \\
 B = x \cdot f(w,z) & F = g(x,y) \cdot w & (C,D) = f(w,z) \\
 C = y \cdot f(w,z) & G = g(x,y) \cdot z & (E,F) = g(x,y) \\
 D = y' \cdot f(w,z) & H = g(x,y) \cdot z' & (G,H) = g(x,y)
 \end{array}$$

Exemplo:

Dado o mapa de Veitch-Karnaugh abaixo, determinar a função simplificada equivalente.

		E		F		
xy\wz		00	01	11	10	
A	00	0 (0)	1 (1)	0 (3)	1 (2)	D
	01	0 (4)	0 (5)	1 (7)	1 (6)	C
11		1 (12)	0 (13)	0 (15)	1 (14)	
B	10	0 (8)	1 (9)	0 (11)	0 (10)	D
		H	G		H	

$$\begin{aligned}
 f(x,y,w,z) &= \sum m(1, 2, 6, 7, 9, 12, 14) \\
 &= x' \cdot y' \cdot w' \cdot z + x' \cdot y' \cdot w \cdot z' + x' \cdot y \cdot w \cdot z' + x' \cdot y \cdot w \cdot z + x \cdot y' \cdot w' \cdot z + x \cdot y \cdot w' \cdot z' + x \cdot y \cdot w \cdot z'
 \end{aligned}$$

$$\begin{array}{lll}
 \text{Com (2, 6): } x' \cdot w \cdot z' & (A) & \text{Com (1,9): } y' \cdot w' \cdot z & (D) \\
 \text{Com (6, 7): } x' \cdot y \cdot w & (F) & \text{Com (12,14): } x \cdot y \cdot z' & (H)
 \end{array}$$

$$f(x,y,w,z) = x' \cdot w \cdot z' + x' \cdot y \cdot w + y' \cdot w' \cdot z + x \cdot y \cdot z'$$

Construir os mapas de Veitch-Karnaugh e simplificar as funções lógicas abaixo e verificar pelas respectivas tabelas-verdades implementadas em Verilog:

a) $f(x,y,w,z) = \sum m(1, 2, 3, 7, 14, 15)$

b) $f(x,y,w,z) = \sum m(0, 2, 3, 5, 6, 7)$

c) $f(x,y,w,z) = \sum m(0, 1, 2, 3, 7, 8, 9, 13)$

d) $f(x,y,w,z) = \sum m(2, 4, 6, 10, 12, 13)$

e) $f(x,y,w,z) = \sum m(0, 1, 4, 8, 11, 14, 15)$

04.) O mapa de Veitch-Karnaugh também serve para simplificar produtos de somas (MAXTERMOS):

		E		F		
XYWZ		00	01	11	10	
A	00	(0)	(1)	(3)	(2)	D
	01	(4)	(5)	(7)	(6)	C
B	11	(12)	(13)	(15)	(14)	
	10	(8)	(9)	(11)	(10)	D
		H	G		H	

$$\begin{array}{lll}
 A = X + F(W,Z) & E = G(X,Y) + W & (A,B) = F(W,Z) \\
 B = X' + F(W,Z) & F = G(X,Y) + W' & (C,D) = F(W,Z) \\
 C = Y' + F(W,Z) & G = G(X,Y) + Z' & (E,F) = G(X,Y) \\
 D = Y + F(W,Z) & H = G(X,Y) + Z & (G,H) = G(X,Y)
 \end{array}$$

Exemplo:

Dado o mapa de Veitch-Karnaugh abaixo, determinar o produto de somas (PoS) simplificado.

		E		F		
XYWZ		00	01	11	10	
A	00	1 (0)	1 (1)	1 (3)	1 (2)	D
	01	1 (4)	0 (5)	0 (7)	1 (6)	C
B	11	1 (12)	0 (13)	0 (15)	1 (14)	
	10	0 (8)	1 (9)	1 (11)	0 (10)	D
		H	G		H	

$$\begin{aligned}
 F(X,Y,W,Z) &= \prod M(5, 7, 8, 10, 13, 15) \\
 &= (X+Y'+W+Z') \cdot (X+Y'+W'+Z') \cdot (X'+Y'+W+Z') \cdot (X'+Y'+W'+Z') \cdot (X'+Y+W'+Z') \cdot (X'+Y+W'+Z)
 \end{aligned}$$

$$\begin{array}{llll}
 \text{Com (5, 7): } (X+Y'+Z') & (G) & \text{Com (8,10): } (X'+Y+Z) & (H) \\
 \text{Com (13,15): } (X'+Y'+Z') & (G) & \text{Com (5,7,13,15): } (Y'+Z') & (C)
 \end{array}$$

$$F(X,Y,W,Z) = (Y'+Z') \cdot (X'+Y+Z)$$

Construir os mapas de Veitch-Karnaugh e simplificar as funções lógicas abaixo por MAXTERMOS e verificar pelas respectivas tabelas-verdades implementadas em Verilog:

a) $F(X,Y,W,Z) = \prod M(2, 6, 8, 12)$

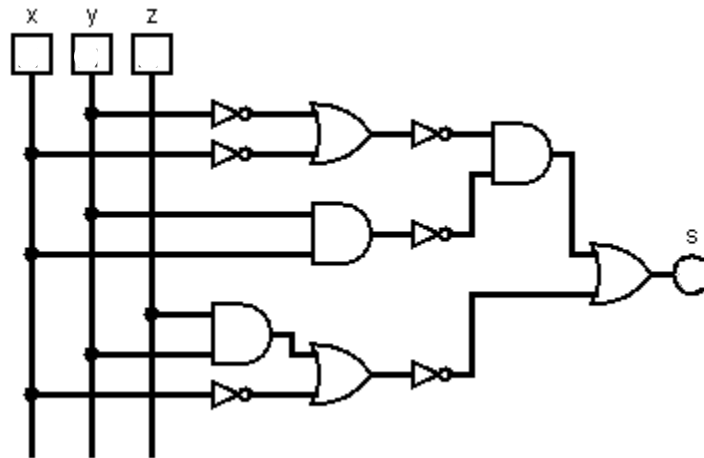
b) $F(X,Y,W,Z) = \prod M(4, 9, 11, 13)$

c) $F(X,Y,W,Z) = \prod M(8, 9, 12, 13, 15)$

d) $F(X,Y,W,Z) = \prod M(1, 2, 5, 6, 13, 14)$

e) $F(X,Y,W,Z) = \prod M(4, 6, 7, 8, 11, 12)$

- 09.) Identificar a equação característica do circuito lógicos abaixo e simplificá-la pelo mapa de Veitch-Karnaugh usando mintermos. Descrever e simular o circuito simplificado em Verilog.



- 10.) Identificar as equações características dos circuitos lógicos abaixo e simplificá-las pelo mapa de Veitch-Karnaugh usando MAXTERMOS. Descrever e simular o circuito simplificado em Verilog.

