Design and Implementation of a 5×8 LED Matrix Display

By

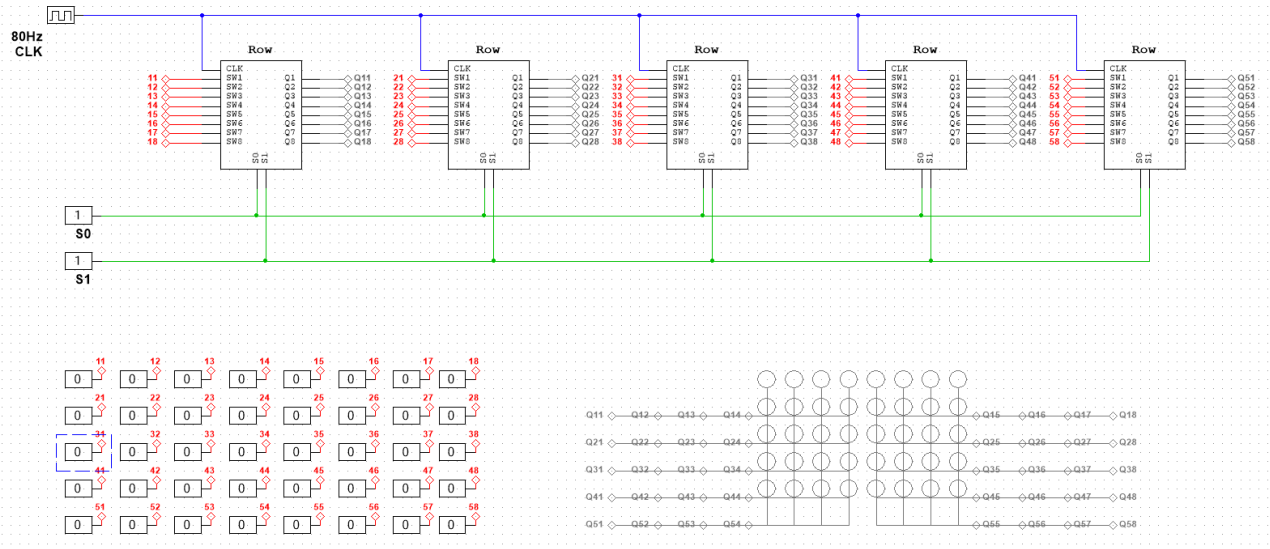
Aylin Shojazade

در این پروژه یک نمایشگر LED ماتریسی ۸ در ۵ طراحی و شبیه‌سازی شده است. مدار شامل فلیپ‌فلاپ‌های D برای ذخیره داده‌ها و مالتی‌پلکسرها برای انتخاب مسیر داده می‌باشد. سیستم قابلیت شیفت دادن داده‌ها به چپ و راست را دارد و می‌تواند الگوهای مختلف را روی Probe ها نمایش دهد.

نحوه عملکرد مدار

مدار از چند بخش اصلی تشکیل شده است:

- ورودی‌ها(SW): برای تعیین الگوی اولیه
- سیگنال کلاک(CLK): برای به‌روزرسانی داده‌ها در فلیپ‌فلاپ‌ها
- سیگنال‌های کنترلی S0, S1: برای انتخاب حالت عملکرد مدار (شیفت چپ، شیفت راست، Hold و Load)
- فلیپ‌فلاپ‌های D: برای ذخیره بیت‌های داده
- مالتی‌پلکسرها: برای انتخاب مسیر داده ورودی هر فلیپ‌فلاپ
- Probe: برای مشاهده وضعیت خروجی‌های مدار



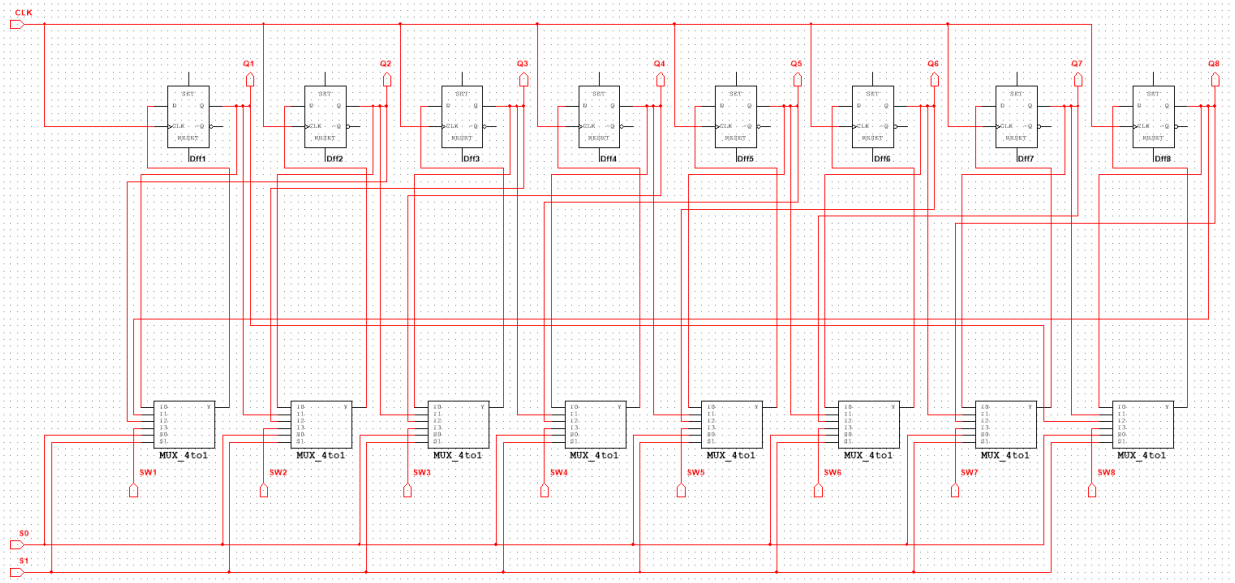
شکل ۱: شکل کلی مدار

S0	S1	حالت عملکرد
0	0	عدم تغییر داده (Hold)
0	1	شیفت به راست
1	0	شیفت به چپ
1	1	بارگذاری داده (Load)

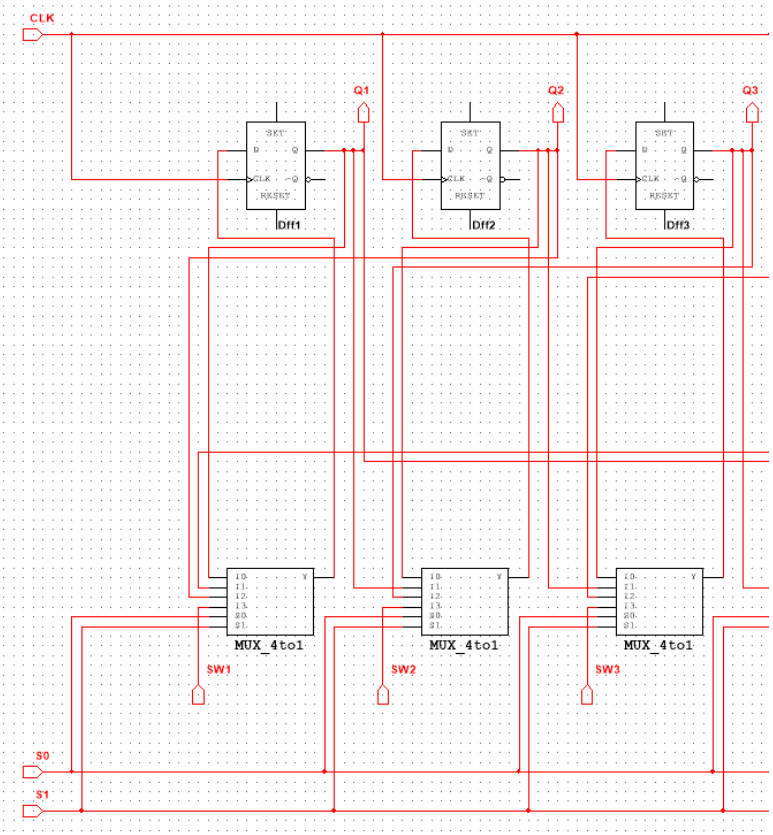
توضیح ساختار طراحی:

مدار به صورت ردیفی طراحی شده است. هر ردیف شامل چند فلیپ‌فلاپ D است که داده‌ها را ذخیره می‌کنند. خروجی هر فلیپ‌فلاپ به صورت منطقی به خروجی سیستم متصل شده و وضعیت آن توسط Probe بررسی می‌شود.

سیگنال‌های کنترلی S0, S1 به صورت مشترک به تمامی مالتی‌پلکسرها اعمال شده‌اند و حالت کلی عملکرد سیستم را تعیین می‌کنند.

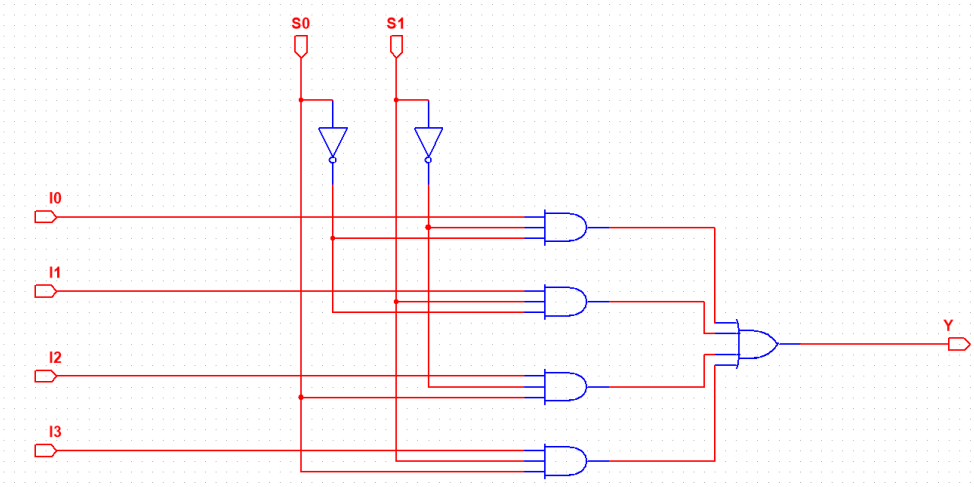


شکل ۲: ساختار داخلی یک ردیف (Row) شامل فلیپ‌فلاپ و مالتی پلکسر



شکل ۳: برای هر بیت از این شیفت رجیستر، به یک فلیپ‌فلاپ D و یک مالتی پلکسر ۴ در ۱ نیاز داریم.

مالتی پلکسر ۴ به ۱ به طور جداگانه طراحی شده و وظیفه انتخاب یکی از چهار ورودی مختلف را بر اساس سیگنال‌های کنترلی S0, S1 بر عهده دارد. این بلوک در تعیین جهت شیفت و بارگذاری داده نقش اصلی دارد.



شکل ۴: مدار داخلی مالتی‌پلکسر طراحی شده

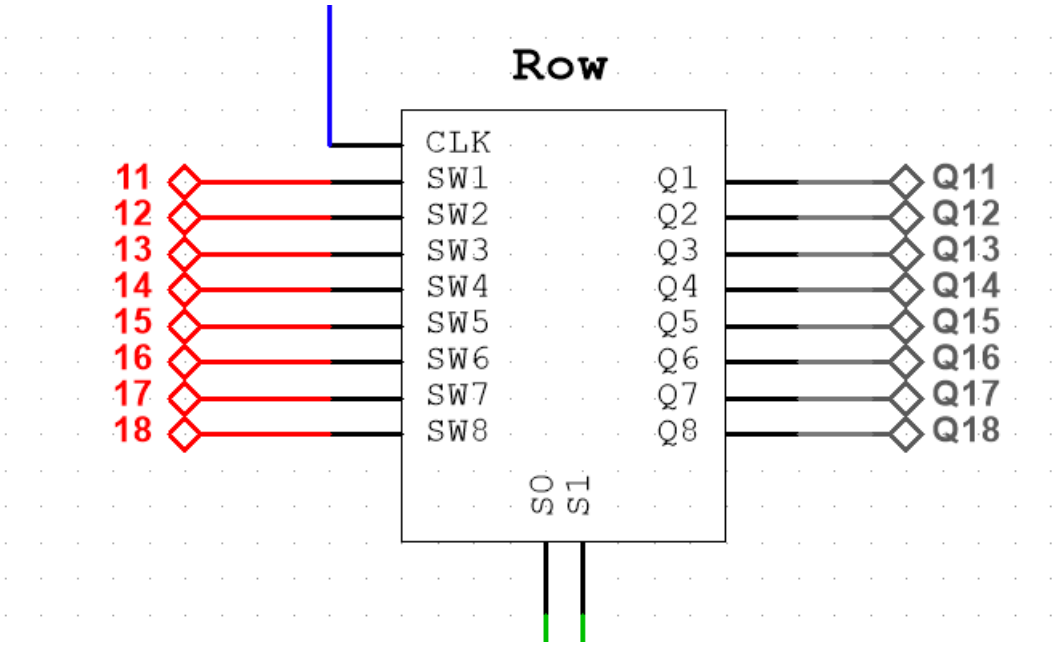
ورودی‌ها و خروجی‌ها:

ورودی‌ها:

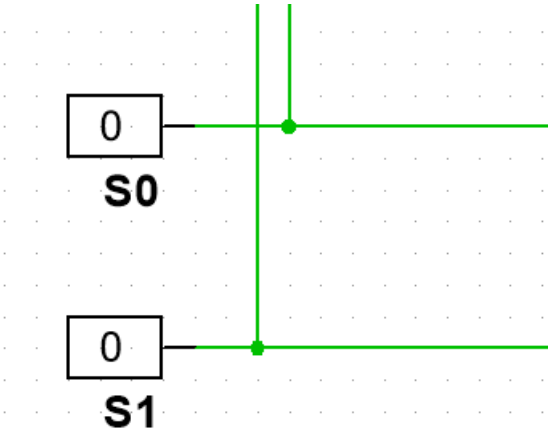
- سیگنال کلاک (CLK)
- سیگنال‌های کنترلی S0, S1
- سوئیچ‌های ورودی (SW1, ..., SW40)

خروجی‌ها:

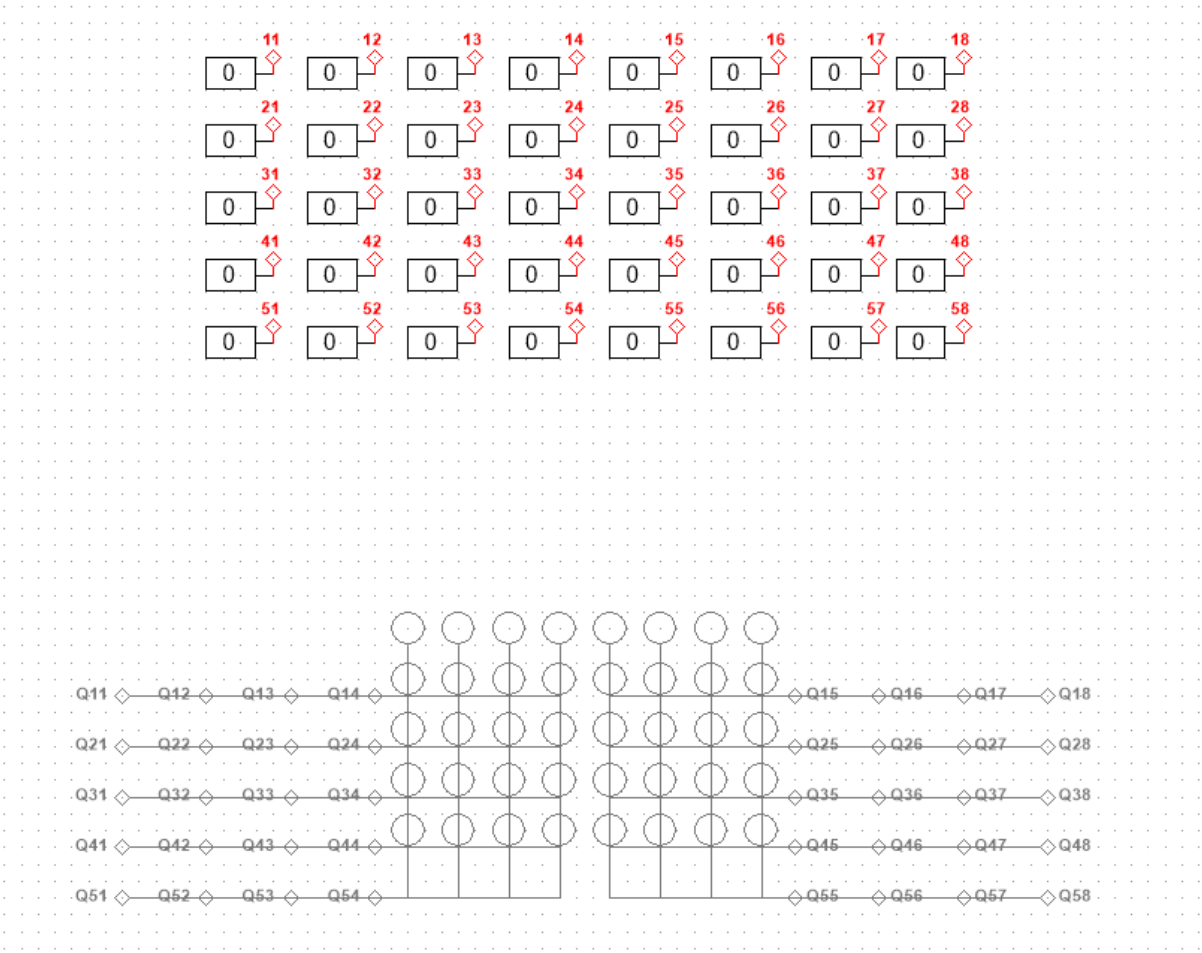
- خروجی‌های منطقی Q11 تا Q58
- نمایش وضعیت توسط Logic Probe



شکل ۵: ورودی‌های CLK و SWها و خروجی Q ها

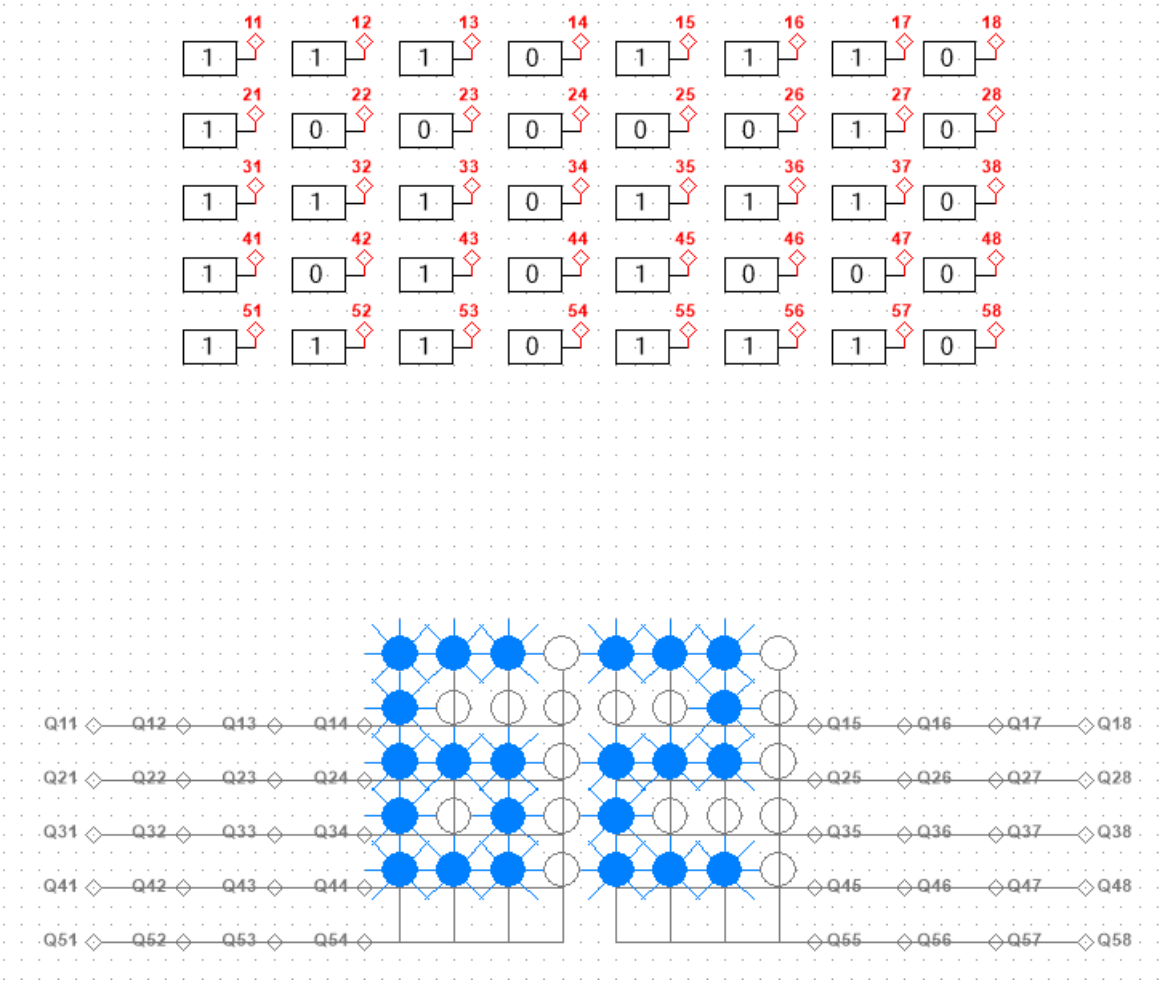


شکل ۶: سیگنال‌های ورودی

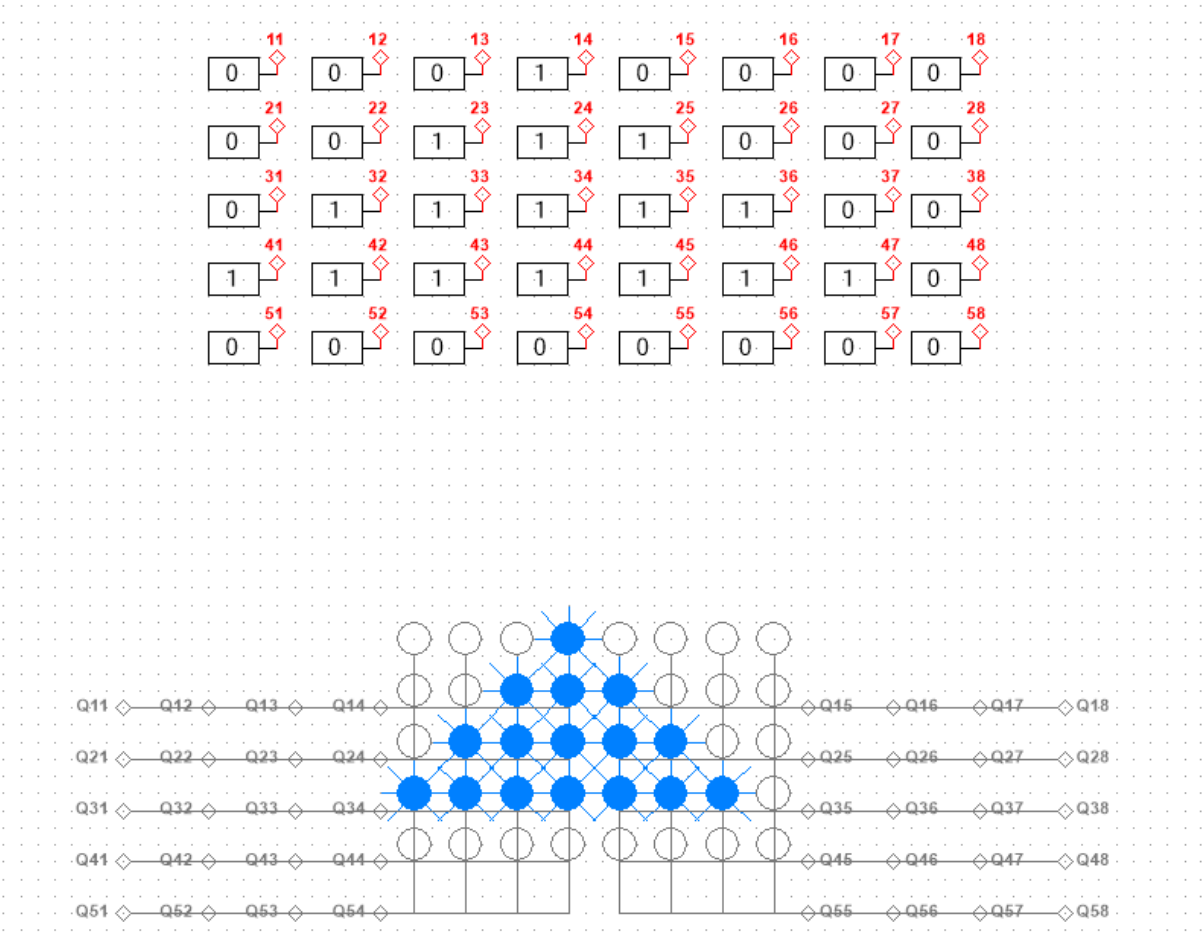


شکل ۷: کلیدهای ورودی SW ها و خروجی ها که به probe ها وصل‌اند.

نتایج شبیه‌سازی:



شکل ۸: نمایش عدد 62 با probe ها



شکل ۹: نمایش یک مثلث با probe ها