

Assunto:

Projeto de um detector de “maioria”

Projetar um circuito com quatro entradas A,B,C,D e uma saída M com a seguinte característica, só e somente se a maioria das entradas estiver no nível lógico 1 a saída M deve ir para o estado 1, em todos os outros casos a saída M deve estar em 0

O trabalho deve conter:

- 1) A tabela verdade
- 2) A expressão mínima para implementação com produto da soma
- 3) A implementação em VHDL(o código completo deve estar no trabalho)
- 4) A integração com o simulador digital com validação pelo teste de uso

Entrega:

Via formulário disponibilizado no Classroom no item Trabalho 03.

Formato de arquivo PDF. Outros formatos não são aceitos e são desconsiderados pelo script

**** O nome do arquivo PDF deve ser o seu nome completo ***