

1. Disegnare un'architettura per uno shift register a 3 bit
2. Disegnare un'architettura di un serial adder a 4 bit
3. Che informazioni possiamo trovare nella libreria tecnologica di un full adder? (Potenza dinamica, ecc.)
4. Numero di propagation delay (uscite) in un full adder? (ritardo rete del carry + ritardo somma)
5. Che informazioni abbiamo riguardo il Flip-Flop? (Contamination delay, ecc.)
6. Dati dei parametri ed un circuito calcolare la massima frequenza del clock
7. Dynamic Thermal Management. Cos'è, come funziona ed a cosa serve. Ha solo aspetti positivi?
8. Quali considerazioni si possono fare riguardo Full Custom, Standard Cell e FPGA? (Performance, potenza, costi, ecc.)
9. Andamento del costo al variare del volume di produzione su F.C. S.C. e FPGA. (Bisogna fare il grafico con le curve e discutere i relativi andamenti)
10. Definizione di Slack ed operazioni con quest'ultimo
11. Disegnare un sommatore a 4 bit in modalità ripple carry adder
12. Calcolo della massima frequenza di clock riguardo al sommatore della domanda precedente. (Calcolo dei path -> critical path -> setup violation rule -> ecc.)
13. Com'è possibile aumentare la frequenza? Che tecniche si possono utilizzare? (Tecniche di pipelining -> inserisco un registro all'interno dei path critici)
14. Nel caso del progetto VHDL (specifico dello studente) discutere il comportamento del dispositivo dopo aver settato uno specifico constraint (p.e. al fine di aumentare la frequenza massima)
15. Disegnare una porta NAND a 4 ingressi con tecnologia statica e dinamica
16. Dynamic voltage Scaling e dynamic frequency scaling
17. Potenza statica e dinamica nel CMOS