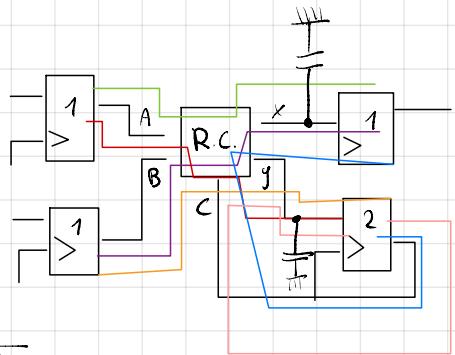




DOMANDE FANUCI

(1)



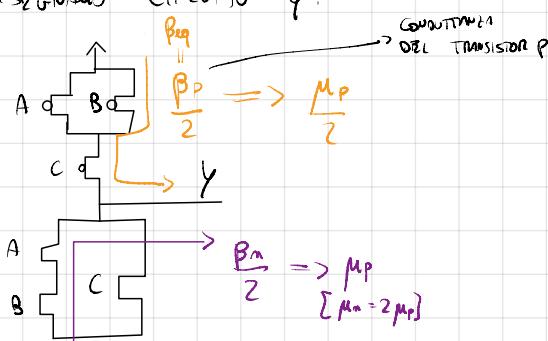
$$X = \overline{A + B + C}$$

$$Y = (A + B) \cdot C$$

$$\mu_n = 2\mu_p$$

$$V_{i,mp} = V_i = W = L_i = L$$

- DISSEGNANO IL CIRCUITO Y:



$$t_{PLH} = \frac{K_C}{C_{ox}} \frac{1}{\mu_p} = 2 \text{ ms} = t_{P(Y)} \text{ [DECCA PUN]}$$

$$t_{PHL} = \frac{K_C}{C_{ox}} \frac{1}{\mu_p} = 1 \text{ ms}$$

DOMANDE:

- ASSEGNA A X E Y 2 FORMULE
- IMPIUZIENZA IL CIRCUITO IN COMPLEMENTARE CMOS CON LA CAPACITÀ E VALUTA LA MASSIMA FREQ di CLOCK

RISPOSTE

- VALUTIAMO ORMI R-L-R E SCRIVIAMO LE EQUAZIONI DI OGNI PERCORSO:

Sono 6 percorsi:
 1-A-X-1
 1-B-X-1
 1-A-Y-2
 1-B-Y-2
 2-C-X-1
 2-C-Y-2

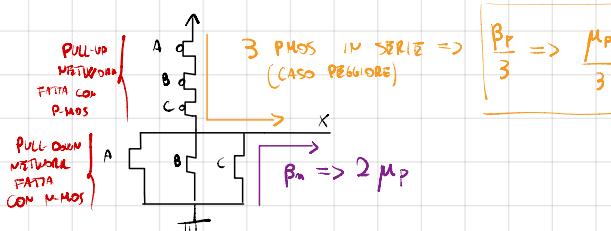
$2-C-Y-2 \Rightarrow$ ANCHE LO STESSO

TEMPO DI PROPAGAZIONE ATTIVATO DA RETE CONSUMATRICE

TEMPO RICHIESTO DAL FLIP FLOP A TRASFERIRE UN DATO ALL'OUTPUT

TEMPO PER IL QUALE IL DATO DEVE RIMANERE STABILE PRIMA DEL FRONTE DEL CLOCK

- DISSEGNANO IL CIRCUITO X:



$$t_{PLH} = t_{P(X)} = \frac{K_C}{C_{ox}} \frac{1}{(\frac{\mu_p}{3})} = 3 \text{ ms}$$

$$t_{PHL} = \frac{K_C}{C_{ox}} \frac{1}{(\frac{\mu_p}{2})} = 2 \text{ ms}$$

SI PRENDE IL MAGGIORE DEI 2 NELLA FORMULA

$$T_{CK} \geq t_{CQ} + t_{P} + t_{SU}$$

$$1-A-X-1 = 3.2 + 3 + 0.6 = 6.8 \text{ ms}$$

$$1-B-X-1 = 3.2 + 2 + 0.8 = 6.0 \text{ ms}$$

$$1-A-Y-2 = 3.2 + 2 + 0.8 = 6.0 \text{ ms}$$

$$1-B-Y-2 = 4.4 + 2 + 0.8 = 7.0 \text{ ms}$$

$$2-C-X-1 = 4.4 + 3 + 0.6 = 8.0 \text{ ms}$$

$$2-C-Y-2 = 4.4 + 2 + 0.8 = 7.0 \text{ ms}$$

$$f_{max} = \frac{1}{8.0 \text{ ms}} = 125 \text{ kHz}$$

	1	2
t_{CQ}	3.2	4.4
t_{SU}	0.6	0.8

Se condensano i technology corner allora:

- Minore
- Tipico
- Peggior

	BEST	Worst
V_{DD}		
Tempo process		

(2)

Dom: È POSSIBILE RIDURRE LA VENDEGE POWER SENZA INFLUENZARE f_{max} ?

RISPOSTA: SÌ, MA NON SI PUÒ TOCCARE X PERCHÉ È NEL PATH CRITICO, TOCCIAMO Y

potete dire che questo è lavorare con spari

• AUMENTO V_{Thn} :



DAL C'È LA "SUB-THRESHOLD CURRENT" DIVERSO IN CIRCUITI VERSO SCORRE NEL TRANSISTORE QUANDO NON È COMPLETAMENTE ACCESO ($V_{DS} < V_{Thn}$)

IDEALMENTE È = 0
MA NELLA REALITÀ COSÌ NON È

$I_{DS(on)} = \frac{V_{DS} - V_{Thn}}{R_D}$ DIMINUISCE

Se dico la V_{Thn} → AUMENTA

$$t_{PLH} = \frac{K_C}{B_{p,y}} \cdot \frac{1}{V_{DD} - V_{Thn}}$$

• ABBASSO VDS :

DAL DUE:

$$P_{LEAK} = V_{DD} \cdot I_{LEAK}$$

DURANTE A FINE A PENSA A CORRENTE DI LEAKAGE DEL DRIVETRANSISTOR

POWER SUPPLY ↓ LEAKAGE CURRENT ↓ GATE LEAKAGE

• LA TEMPERATURA AUMENTA La P_{LEAK}

• ALZO T_{SU} [di y] che è 0.8ns

SPOSTI IL PROBLEMA MIGLIA POCHE = 10 TIMES LAVORO

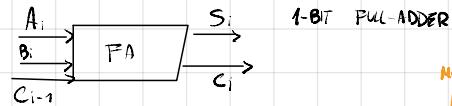
DURANTE LA FASE DI DESIGN USO IL "MULTI-VT":

Selezionare le tensioni di soglia appropriate per ciascuna regione critica. Ad esempio, utilizzare transistor con tensioni di soglia più basse nelle regioni ad alte prestazioni del circuito e transistor con tensioni di soglia più elevate nelle regioni meno critiche o in modalità di basso consumo energetico.

USO ALTI V_t IN PATH NON CRITICO, IN QUELLI ANTEBLOCCO V_t PER DIMINUIRE IL t_p che più è alto più abbina la fmax

L'OTTIMO sarebbe vedere tutti insieme

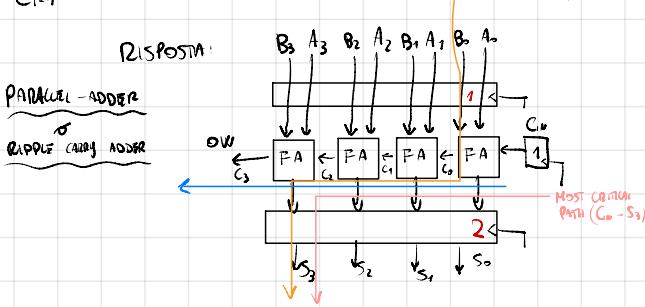
3) DOMANDA: IMPLEMENTA UN RIPPLE CARRY ADDER A 4 BIT TRAMITE FULL-ADDER CONOSCIUTO



1-BIT FULL-ADDER

MOST CRITICAL PATH (B₃-S₃)

RISPOSTA:



C_i in generale non mette in un REGISTRO

NEL DATASHEET DEL FULL-ADDER TROVAMO

- TIMING
- AREA
- POWER CONSUMPTION
- CAPACITANCE
- POTENZA DINAMICA

4) DOMANDA SE VOLGHI CALCOLARE la f_{max} di CLOCK

T_C = 4 ns → RITARDO RETE CARRY

T_S = 3 ns → " SOMMA

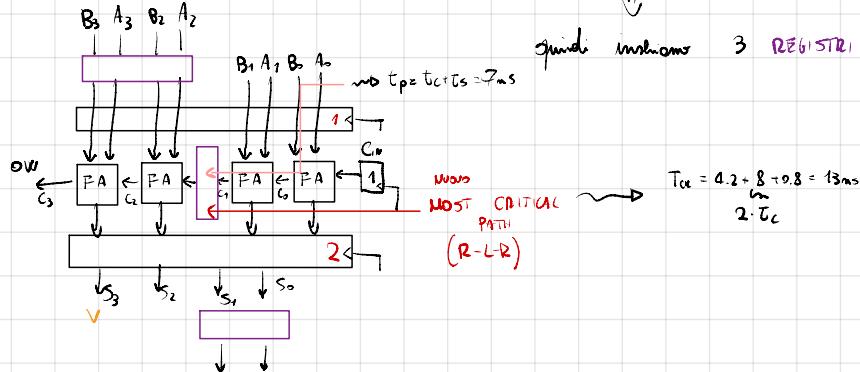
$$T_{\text{tot}} = T_{C \text{ q1}} + \frac{(3 \cdot T_C + T_S)}{4 \cdot 2 \text{ ns}} + \frac{T_{S \text{ q2}}}{0.8 \text{ ns}} = 20 \text{ ns} \Rightarrow f_{\text{max}} = \frac{1}{20 \text{ ns}} = 50 \text{ MHz}$$

IL MOST CRITICAL PATH è su B₃ o S₃

$\left[\begin{array}{l} \text{SE } T_S > T_C, \text{ il ritardo è: } 3T_C + T_S \\ \text{SE } T_C > T_S, \text{ il ritardo è: } 4T_C \end{array} \right]$ [COME IN QUESTO CASO]

5) SE VOGLIO AUMENTARE f_{max} da 50 MHz a 75 MHz COME MODIFICO L'ARCHITETTURA?

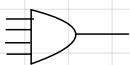
RISPOSTA: Si potrebbe usare la P.DI LINEA MA DIVENTEREBBE troppo complicato perché dobbiamo mettere un registro ad ogni output del full-adder, ovvero troppi registri



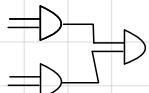
$$T_{\text{tot}} = 4.2 + 8 + 0.8 = 13 \text{ ns} \Rightarrow f_{\text{max}} = \frac{1}{13 \text{ ns}} = 76 \text{ MHz} \quad \text{QUELLA CHE VOLUOI}$$

6) AND CON 4 INPUT, C₁ SONO DUE APPROCCI: CHAIN e TREE, COMPARA DAL P.V. DI LEAKAGE POWER, AREA, PROPAGATION DELAY, POTENZA DINAMICA e FUNZIONALITÀ

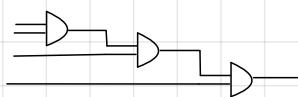
RISPOSTA:



AND CON 4 INPUT



TREE



CHAIN

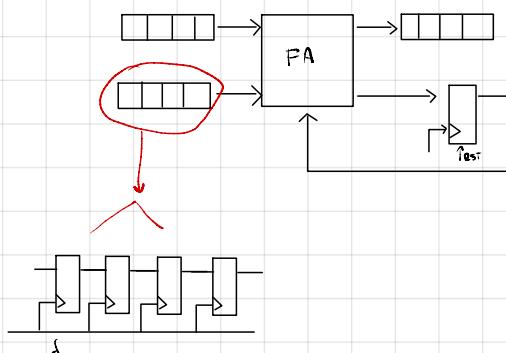
CONFRONTO

- FUNZIONALITÀ: UGUALI
- AREA: "
- LEAKAGE POWER: DIPENDE DALL'AREA DEL TRANSISTOR => UGUALE
- PROPAGATION DELAY: TREE PIÙ VELOCE [$t_{p_T} < t_{p_C}$]
[SOMME IN PARALLELO NO PENDENTI]
- POTENZA DINAMICA: SE NON CONSIDERIAMO IL GLITCH LA CHAIN È MEGLIO
[LE SOMME SONO SEQUENZIALI, LE COMMUTAZIONI DI STATO AVVOLGONO IN MODO PIÙ LOCALIZZATO LIMITANO IL CONSUMO DI POTENZA]

INVISIBILE DI TEMPO IMPRESO DURANTE LA TRANSMISSIONE DI STATO (40 ps)

7 DISSEGNA UN SERIAL ADDER A 4 BIT E VACUATA f_{max}

RISPOSTA:



15 R-L-R PATH

8 SE CI FOSSE UNA "HOLD TIME VIOLATION" COSA SI PUÒ FAR?

RISPOSTA:
NON DIPENDE DA PARAMETRI ESTREMI, È LA REGOLA PIÙ CRITICA RISPETTO ALLA "SETUP TIME RULE" [T_{CK} > ...]

$$t_{hold} \leq t_{clock_reg} + t_{clock_skew} + t_{hold_margin}$$

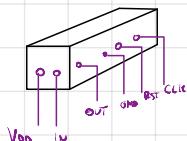
RITARDO ASSOCIATO AI REGISTRI
RITARDO ASSOCIATO ALLA LOGICA DEL CIRCUITO

- SI POSSONO INTRODURRE RITARDI ARTIFICIALI, MA RACCOMENTA IL CIRCUITO
- SI IDENTIFICANO I PERCORSI CRITICI PER RIDURRE IL TEMPO DI PROPAGAZIONE

CAMBIO DI STATO TROPPO VICINO AL FRONTE DI DISCESA DEL CLOCK
IN CONFRONTO AD UN ELEMENTO DI MEMORIA PER UN PERIODO

SE COSTI L'INPUT AL REGISTRO È STABILE PER UN TEMPO SUFFICIENTE DODICI LA TRANSMISONE

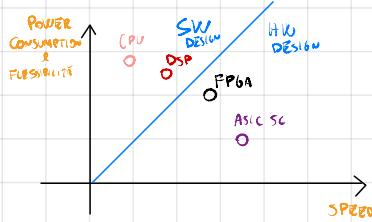
9 SE ABBIAMO IL SEGUENTE OGGETTO, COME POSSIAMO MODIFICARE I PIN DI INPUT SE OTTIENIAMO UN OUTPUT INASpettato



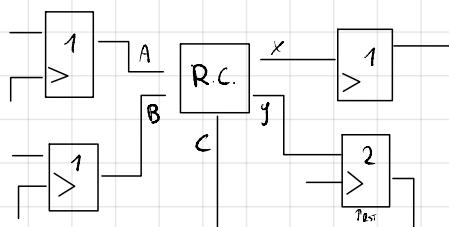
RISPOSTA: RIDUCIAMO LA FREQUENZA DI CLOCK \Rightarrow TEMPO DI PROPAGAZIONE

10 INSERISCI CPU, DSP, FPGA e ASIC SC, METTICCE NEL GRAFICO

RISPOSTA:



SOLUZIONI SW \rightarrow MAGGIOR FLESSIBILITÀ MA PROBLEMI DI VELOCITÀ E POWER CONSUMPTION
HW \rightarrow ALCUNE SONO FLESSIBILI COME FPGA ALTRE MENO COME IL FULL CUSTOM DESIGN



$$\begin{aligned} X &= A + B + C \\ Y &= A \cdot B \cdot C \\ M_m &= 2 \mu p \\ \forall i \quad W_i &= L_i = L \end{aligned}$$

DOMANDA: μm DA COSA DIPENDE? C'E' UN DATO CHE APPLICA O CI SONO DELLE CONDIZIONI CHE DETERMINANO LA VARIABILITÀ?

RISPOSTA: μm è la mobilità degli elettroni in un transistor, più alta è più il movimento è veloce.

DIPENDE DA:

- PROCESSO DI FABBRICAZIONE
- TEMPERATURA OPERATIVA

$$F O R M U L A: I_d = \frac{1}{2} \mu_m C_o x \frac{W}{L} (V_{ds} - V_{th})^2$$

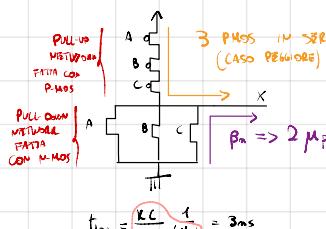
DOMANDA: f_{max} - ?

RISPOSTA:

$\begin{cases} 1-A-X-1 \\ 1-B-X-1 \\ 1-A-Y-2 \\ 1-B-Y-2 \\ 2-C-X-1 \\ 2-C-Y-2 \end{cases} \Rightarrow$ ANCHE CO STESSO

$$T_{CK} \geq t_{cq} + t_p + t_{su}$$

- DISSEGNAMO IL CIRCUITO X:



$$\frac{B_P}{3} \Rightarrow \frac{\mu_p}{3}$$

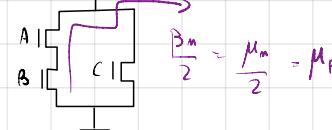
$$t_{px} = \frac{R_C}{C_o} \frac{1}{(\frac{\mu_p}{3})} = 3ms$$

$$t_{cp} = \frac{R_C}{C_o} \frac{1}{(\frac{\mu_p}{3})} = 2ms = t_{py}$$

- DISSEGNAMO CIRCUITO Y:



$$\frac{B_D}{2} = \frac{\mu_n}{2}$$



$$\frac{B_D}{2} = \frac{\mu_n}{2} = \mu_p$$

$$T_{CK} \geq t_{CQ} + t_{PH} + t_{SU}$$

$$1-A-X-1 \quad t_{CQ} = 3.2 + 3 + 0.6 = 6.8 \text{ ns}$$

$$1-B-X-1 \quad t_{PH} = 0.6 \text{ ns}$$

$$1-A-Y-2 \quad t_{SU} = 0.8 \text{ ns}$$

$$1-B-Y-2 \quad t_{PH} = 0.8 \text{ ns}$$

$$2-C-X-1 = 4.4 + 3 + 0.6 = 8 \text{ ns} \rightarrow \text{caso peggior: } f_{max} = \frac{1}{8 \cdot 10^9} = 125 \text{ MHz}$$

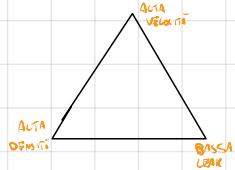
$$2-C-Y-2 = 4.4 + 2 + 0.8 = 7.2 \text{ ns}$$

	1	2
t_{CQ}	3.2	4.4
t_{SU}	0.6	0.8

(12) DOMANDA: PAROLA DEI TECHNOLOGY CORNERS

RISPOSTA:

	BEST	Typical	WORST
T	[45°C]	25°	[85°, 125°]
VDD	1.1 · VDD	VDD	0.9 · VDD
Process	FAST	Typ	SLOW



(13) DOMANDA: PROPAGATION DELAY (MISURA TEMPO DI PROPAGAZIONE PUNTO-PUNTO)

$$t_{PHL} \propto \frac{k_C}{\beta_m} \frac{1}{V_{DD} - V_{TH}}$$

$$\beta_m = \mu_m C_{ox} \frac{W_m}{L_m}$$

$$t_{PLH} \propto \frac{k_C}{\beta_P} \frac{1}{V_{DD} + V_{TH}}$$

$$\beta_P = \mu_P C_{ox} \frac{W_P}{L_P}$$

t_p DIPENDE DA:

- TEMPERATURA

- VDD

- Proben

V_{DD} ALTA $\Rightarrow t_{PLH}, t_{PHL}$ BASSI

V_{TH} ALTA/ABASSA

V_{TH} BASSA $\Rightarrow V_{LEAK}$ ALTA

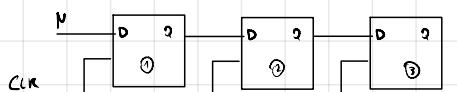
AREA ALTA $\Rightarrow t_p$ BASSA

(14) DOMANDA: PARALMI DELLA QUALITÀ DEL PROCESSO COSTRUTTIVO DI UN CIRCUITO INTEGRATO

RISPOSTA: esso dipende da:

- TOLERANZA STRETTA per parametri specifici
- (CHIP CONSISTENTI), con DIFFERENZE MINIME
- % DI CHIP FUNZIONANTI rispetto ai prodotti
- DURABILITÀ del CHIP
- CONFORMITÀ agli standard di produzione

(15) DOMANDA: dato uno SHIFT REGISTER come in figura qual è la f_{max} ?



$$f_{max} = \frac{1}{T_{PH} \text{ ottimale}} \quad \text{dove } i \text{ è il numero minimo} \rightarrow \text{la maggiore tra I) e II)}$$

(16) DOMANDA: SCRIVI "SET UP TIME CONSTRAINTS"

e "HOLD TIME CONSTRAINTS", specifica t_{CQ} e t_{SU}

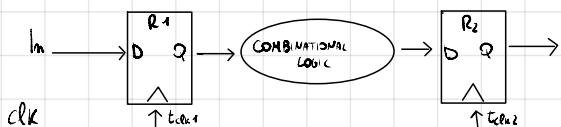
$$I) T_{CK} \geq t_{CQ1} + t_{SU1} \quad \left. \begin{array}{l} \text{SETUP TIME CONSTRAINTS} \\ \text{I) } T_{CK} \geq t_{CQ2} + t_{SU2} \end{array} \right.$$

$$II) t_{CQ1} \geq t_{CD1} \quad \left. \begin{array}{l} \text{HOLD TIME CONSTRAINTS} \\ \text{III) } t_{CQ2} \geq t_{CD2} \\ \text{IV) } t_{CQ3} \geq t_{CD3} \end{array} \right.$$

(17) DOMANDA: COS' È IL "CONTAMINATION DELAY"?

RISPOSTA: Il t_{CD} è il ritardo dalla trazione dell'input al primo cambiamento dell'output, in influenza a quando l'output è "contaminato" dal cambiamento dell'input, non è ancora stabile l'output [ESISTE anche per i REGISTRI]

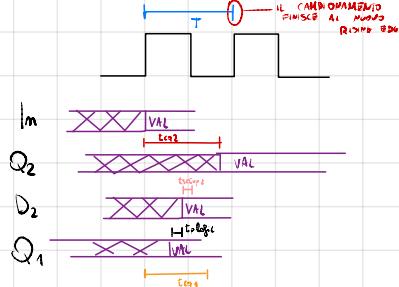
ESEMPIO:



R_1, R_2 REGISTRI CON LO STESSO CLOCK

• D1 CORRETTAMENTE DATO IN INPUT A R1

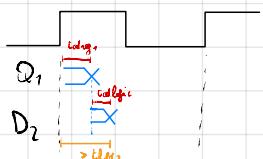
• t_{SU}, t_{HLD} CORRETTO



t_{q1} : Q_1 cambia e rimane stabile
 t_{setup2} : D_2 dà ente stabile per quel tempo
 almeno
 t_{plug} : ritardo dovuto alla rete combinazionale

PRIMA REGOLA:
 $T \geq t_{q1} + t_{plug} + t_{setup2}$

dove T è il
 tempo di campionamento
 ma deve esistere
 che D_2 dà ente stabile



$t_{cad logic1}$: clock-to-Q1 delay di R_1
 t_{hold2} : tempo per il quale D_2 dà
 ente stabile dopo il fronte di
 salita del clock di R_2
 $t_{cad logic2}$: tempo dopo il quale
 se Q_1 è instabile anche
 D_2 diretta instabile

SECONDA REGOLA
 $t_{hold2} \leq t_{cad logic1} + t_{cad logic2}$

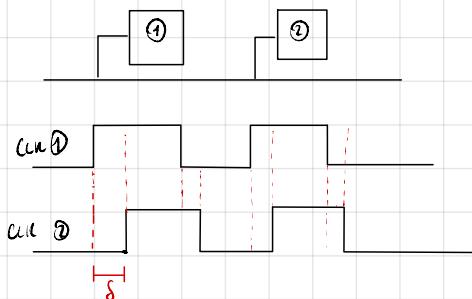
18) DOMANDA: SE LA IV È VIOLATA, COSA POSSO FARE?

RISPOSTA: USO IL CLOCK QUIZER

19) DOMANDA: COS'È IL CLOCK SKew? COME LO USI? A COSA È DOVUTO?

COS'È COLLEGATA LA DISTANZA E IL RITARDO COME SI PROPAGA? COME LO SFRUTTERESTI PER RISOLVERE L'EQ. IV?

RISPOSTA:



Il clock skew è infine ai ritardi differenti che il segnale di clock può subire mentre attraversa un circuito.

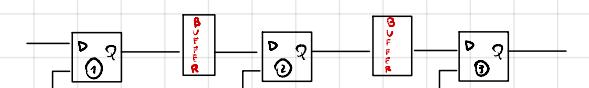
USO: può essere utilizzata per aumentare t_{hold} in
 uscita da un REGISTRO

PROPAGAZIONE: "SHIFT TIMING"

20) DOMANDA: COME VENNE DISTRIBUITO UN CLOCK IN UNA FPGA?

- c'è una RETE DEDICATA AI SEGNAI DI CLOCK per garantire che il clock raggiunga tutti i FLIP-FLOP
- in zona BUFFER DI CLOCK per fornire un segnale pulito [senza jitter/distorsione]
- in zona delle regioni in cui si garantisce lo stesso clock (sì local area)
- COMUNICAZIONE ASINCRONA TRA LE AREE ATTRAVERSO INTERFACCE / BUFFER

21) DOMANDA: IL CLOCK SKew NON È APPLICABILE NELL'FPGA per via delle DIVISIONI IN AREE, COME RISOLVE IL PROBLEMA DECCA IV INIZIAZIONE?



I BUFFER INTRODUcono UNO SPETTACOLARE RITARDO
 (ma aumenta però AREA e POTENZA)

(22) DOMANDA: COS' È IL DYNAMIC THERMAL MANAGEMENT?

RISPOSTA: è un modo per salvaguardare le CPU dal bruciare se la temperatura salisse oltre ad una certa soglia. Si usano sistemi di raffreddamento ma sono costosi, soprattutto quelli a liquido. Si può usare un sistema meno costoso capace di trasferire meno calore e permettere una diminuzione delle prestazioni riducendo la tempesta e la frequenza del processore. Nel processo c'è un senso di temperatura che calcola la temperatura media in un intervallo di tempo in modo tale che se la variazione istantanea di temperatura, non ne considera la finestra temporale dunque non deve essere né troppo piccola né troppo grande, se troppo grande non si riunisce ad agire in tempo.

DYNAMIC FREQUENCY SCALING → diminuire il consumo di potere del sistema di calcolo
 " VOLTAGE " → aumentare la soglia di gestione della temperatura

(23) DOMANDA: DEFINIZIONE DI SLACK E OPERAZIONI

RISPOSTA: $S = RT - AT$

REACHED TIME ARRIVED TIME

quando il segnale raggiunge la destinazione nel momento

tempo minimo nel quale il segnale deve raggiungere la destinazione per rispettare i requisiti di T_{MAX}

$S > 0 \rightarrow$ SODDISFA RISPETTATA

$S = 0 \rightarrow$ " " " ma RISCHIO VARIAZIONI

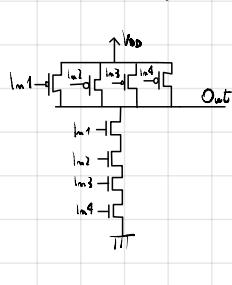
$S < 0 \rightarrow$ VIOLAZIONI DEL TIEMPO

Si possono introdurre ritardi per ridurre il tempo di slack

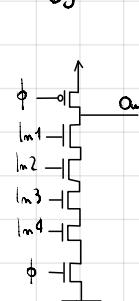
(24) DOMANDA: DISSEGNARE NAND A 4 INGRESSI CON TECNOLOGIA STATICHE E DINAMICA

RISPOSTA:

COMPLEMENTARY CMOS



DYNAMIC LOGIC



NON CI INTERESSANO I TRANSISTOR P

AREA MINORE ($\frac{1}{2}$ dell'area)

6 TRANSISTOR (VS 8)

PREPARATION DELAY MINORE → perché se β_n è MAGGIORRE?

$$\beta = \frac{\beta_n}{5} [VS \frac{\beta_n}{4}]$$

MIGLIORE

$$t_{PHL} \propto \frac{1}{\beta} \frac{1}{V_{DD} - V_{th}}$$

○ è maggiore in quello COMPLEMENTARY [$C = C_{ox} \cdot W \cdot L$]

(25) POTENZA STATICA E DINAMICA CMOS

$$P_{DINAMICA} = C_s V_{DD}^2 f_{SW} \quad f_{SW} = f_{0 \rightarrow 1}$$

$$f_{0 \rightarrow 1} = P_{0 \rightarrow 1} / f_{clock}$$

metà dell'energia è immagazzinata nella capacità e metà è consumata nel transistor

Per ridurla si può RIDURRE V_{DD} , MA FACENDO AUMENTARE IL DELAY
 Non dovre troppo la fuoco

