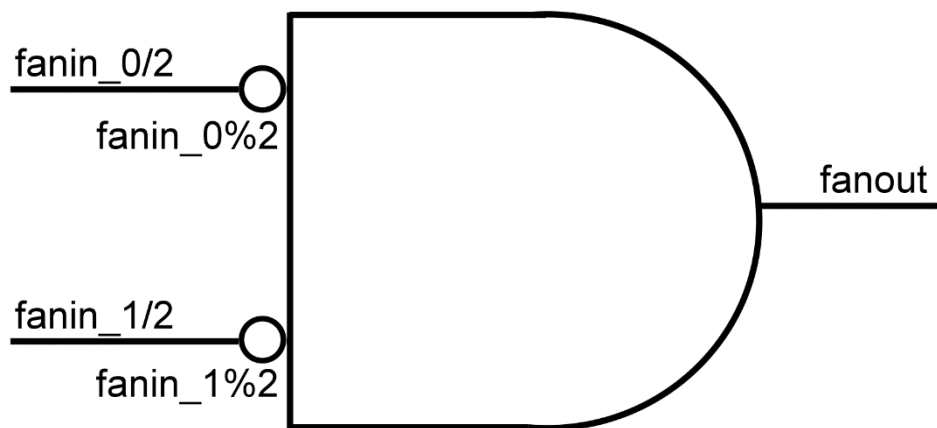


# 資料結構與程式設計

## Final Project



姓名：洪國曉

學號：B04901066

系級：電機二

email：hh5523tw@gmail.com

FB：www.facebook.com/guoliang.hung

資料結構：

class CirMgr

變數類別	名稱	意義
size_t	M, I, L, O, A	
CirGate*	Gate_List	使用陣列儲存所有 GATES(按 VID 排序)
queue<size_t>*	input_patterns	模擬時給 PI 的 input
HashSet<FECNode>*	sim_hash	處理 FEC Group 用
ofstream*	_simLog	
mutable size_t	DFS_refe	DFS 時的 global reference
size_t	sim_flag	0x1 表示有模擬過; 0x2 表示有暴力模擬過
vector<size_t>	Input_VIdList	PI 的 VID
vector<size_t>	DFS_GateList	DFS 順序的所有 GATE VID

class CirGate

變數類別	名稱	意義
GateType	type	GATE 的類型
Var	_var	SAT 指定的 Var
size_t	sim_output	模擬的輸出
size_t	OLD_leader_VID	FEC Group 更新用
size_t	NEW_leader_LID	FEC Group
size_t	fanin__LID_0	fanin_LID
size_t	fanin__LID_1	fanin_LID
size_t	def_line	讀檔時在哪一行定義的
mutable size_t	DFS_ref	DFS 的 mark
string*	symbol	symbol
vector<size_t>	fanout_LIDList	fanout

特別之處乃 FEC Group 是以 disjoint set 儲存，new leader 是 DFS list 裡較前面者，PI 也會加入 FEC Group，report 時會將 PI 從 FEC 中移除，並且將 leader 換為 ID 最小者。

演算法：

CIRSWEEP：DFS 一次，沒被 mark 到的 AIG 全刪了。

CIROPTimize：若是有  $\text{fanin}==0$  或是兩個  $\text{fanin}$  互相反向，把所有的  $\text{fanout}$  接到  $\text{const0}$ ；按 DFS 順序，若是有一個  $\text{fanin}==1$  或是兩個  $\text{fanin}$  一樣，把所有的  $\text{fanout}$  接到另一個  $\text{fanin}$ 。最後再 sweep。

CIRSTrash：按 DFS 順序，以兩  $\text{fanin}$  和為 key insert hash，失敗表示可 merge。

CIRSIMulate：按 DFS 順序更新 output。PI 數量 $<16$  使用暴力模擬。

次數由  $\log(M) : 1024 * (1 + \log_{10}(\text{DFS\_List.size()}))$  (經驗公式)

和 running time：5 秒限制。

FEC：透過 output 和 old leader 當 hashkey 來更新 new leader。

CIRFraig：若使用過暴力模擬，直接合併所有 FEC Group；反之按 DFS 順序，使用 SAT 證明所有 GATE 和其 new leader 是否真為 FEC pair 再合併，集滿四個非 FEC pair 的 PI input 後執行一次模擬。

report FEC Group：

欲將 leader 改為最小者，for 0 to M 的 CONST PI AIG GATES

若 leader 的 leader 的 VID $>$ 自己的 VID

leader 的 leader 的 VID 改為自己

自己的 leader 為自己

若 leader 的 leader 的 VID $<$ 自己的 VID

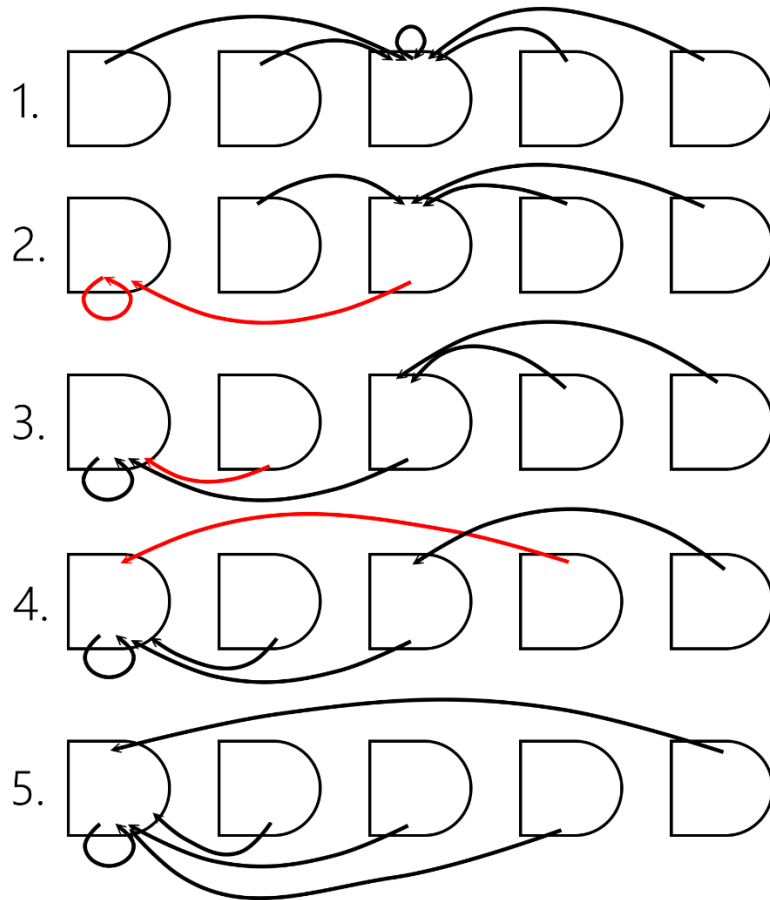
自己的 leader 為 leader 的 leader 的 VID

若 leader 的 leader 的 VID=自己的 VID

無動作

執行完後再將 PI 移除並調整 group 即可。

-----執行順序----->



測試&性能：

跑過所有範例測資輸出皆正確，因為 PI 也屬於 FEC 故有時會刪掉較 ref code 更多 GATE。未開 O3 之 running time 約 ref code 1~3 倍，PI<16 的 Fraig 時間具明顯優勢。

瓶頸：

若 SAT 證明太複雜可能會卡住導致 runtime error。如：C880.aag 和 C1908.aag 的某些 pair 可能非常難證，而導致程式終止，目前解決辦法是增加模擬的次數，就不會有卡住的狀況。