

Tools Tutorial

Tools 使用方法

Xcelium 用來模擬

```
source /usr/cad/cadence/CIC/xcelium.cshrc
```

Verdi(nWave) 用來看波型

```
source /usr/cad/synopsys/CIC/verdi64.cshrc
```

看波型: nWave &

Design Compiler 用來合成 ##### source /usr/cad/synopsys/CIC/

synthesis.cshrc 合成指令(使用 tcl 指令，非 gui 介面)

執行: dc_shell-t -f SynthesisDft.tcl | tee -i dc_run.log

(SynthesisDft.tcl 裡有所有合成的指令)

tetramax 製造 atpg 需要的 pattern

```
source /usr/cad/synopsys/CIC/tmax.cshrc
```

執行: tmax -tcl atpg.tcl

(atpg.tcl 有所有 atpg 需要的指令)

APR

```
source /usr/cad/cadence/CIC/license.cshrc
```

```
source /usr/cad/cadence/CIC/innovus.cshrc
```

執行: innovus

(這邊注意不要用背景執行: &，因為在 APR 的時候有些指令會需要使用 command 來下)

< NOTE >

1. 以上的檔案建議還是用手動一行一行照順序(看需要用到哪些 tool)去 source，因為之前學長說用自動 source 有時候會有問題 QQ
2. 不過現在都在cshrc預設自動source

各階段模擬指令

RTL

```
cd design/rtl/  
xrun -f run.f +define+tb1  
xrun -f run.f +define+tb2
```

Gate-Level Simulation

```
cd design/gatesim/  
xrun -f run.f +define+tb1+SDF  
xrun -f run.f +define+tb2+SDF  
xrun -f run_dft.f +define+tb1+SDF+DFT  
xrun -f run_dft.f +define+tb2+SDF+DFT
```

Post-layout Simulation

```
cd design/postsim/  
xrun -f run.f +define+tb1+SDF+POST
```

< NOTE >

1. access+r是用來產生波形，如果沒有要看波形的話，可以在run.f中刪掉，這樣模擬會跑比較快。
2. 模擬產生的波形檔(fsdb)，如果不需要了記得要刪掉，不然很佔空間。