

專題研究

RISC-V 開源 ISA 的應用與相對應的計算機架構設計

B10505050 工海四 張鈞民

專題選擇與背景

在目前的學術與產業領域中，計算機架構與數位電路設計逐漸成為高效能計算與專用處理器設計中的關鍵元素。隨著 RISC-V 指令集架構（ISA）的快速發展，其開源性和高度可擴展的特點，使得 RISC-V 成為了一個理想的研究與實現平台，同時基於此 ISA 的數位電路設計專案量也顯著提升。這也是我選擇進行本專題的核心動機。我希望通過所學習的數位電路設計能力實現一個基於 RISC-V 的基礎處理器，透過實作對 RISC-V 處理器內的數位電路設計進一步解析，並通過文獻探討深入研究其在嵌入式系統或專用處理器（如 DPU）等領域的應用。

在這項專題中，我的專題目標是研究一種針對特定應用場景優化的創新架構，特別是在網路計算、嵌入式系統設計與高效能數據處理領域。RISC-V 提供了良好的開源平台，使我能夠自由設計和擴展指令集，以適應不同的應用需求。此外，RISC-V 的靈活性也為專用處理器（如 DPU）的研究提供了新的可能性，這些專用處理器能夠針對特定計算任務進行優化，如封包處理和網路計算。

專題內容與實作流程

本專題的研究設計分為幾個主要階段，這些階段反映了我從初期設計到最終實現的過程。

1. 研究動機

在學習過程中，我確立了以 RISC-V 為核心的專題研究，這讓我進而去查詢並試著理解數位電路設計與計算機架構的核心概念。在過程中我通過各類開源參考資料，設計並實現一個基於 Harvard 模型的 RISC-V 處理器，並使用 Iverilog 和 Vivado 等工具進行模擬和測試。這些經驗使我意識到，RISC-V 的開放特性不僅能滿足嵌入式系統的需求，還可以在更廣泛的應用中進行擴展，例如專用處理器（DPU）的設計。

2. 文獻探討

在專題研究的過程中，我參考了多篇相關文獻，這些文獻為我提供了寶貴的理論基礎和研究方向。特別是我在文獻中發現了兩篇對我後續研究有著重要影響的文章：

1. "A RISC-V in-network accelerator for flexible high-performance low-power packet processing"¹：這篇文章探討了基於 RISC-V 架構的網路計算加速器設計，該加速器能有效釋放伺服器上的 CPU 資源，從而提高封包處理效率。這讓我看到了基於 RISC-V 架構的處理器在網路計算領域中的潛力，並促使我進一步探索如何在 RISC-V 上設計 DPU，以處理大規模封包數據。
2. "RvDfi: A RISC-V Architecture With Security Enforcement by High Performance Complete Data-Flow Integrity"²：此文介紹了基於數據流完整性檢查的高效能 RISC-V 架構，該架構通過數據流的控制來增強處理器的安全性和效率。這啟發了我設計一種基於數據流控制的計算機架構，用於高效處理專門的數據流應用場景，特別是在高效能數據處理單元中。

3. 實作 RV32I 中的模塊設計與實現

專案的核心設計模塊包括：

- **程序計數器 (PC)**：追蹤當前指令的執行位置。
- **指令記憶體 (Instruction Memory)**：存儲並傳送指令給處理器進行執行。
- **算術邏輯單元 (ALU)**：負責處理所有的算術和邏輯運算。
- **數據記憶體 (Data Memory)**：提供對數據的存取和修改功能。
- **控制單元 (Control Unit)**：解碼指令並產生相應的控制信號來驅動其他模塊。
- **解碼器 (Decoder)**：為因應後處理單元外的 I/O 配套，因此加入解碼器使後續對處理單元外的系統設計能更加方便。

這些模塊的設計與集成是通過 Verilog 來描述的，並使用 Verilator、Iverilog 與 Vivado 進行模擬和測試。

¹ S. Di Girolamo et al., "A RISC-V in-network accelerator for flexible high-performance low-power packet processing," 2021 ACM/IEEE 48th Annual International Symposium on Computer Architecture (ISCA), Valencia, Spain, 2021, pp. 958-971, doi: 10.1109/ISCA52012.2021.00079.

² L. Feng, J. Huang, L. Li, H. Zhang and Z. Wang, "RvDfi: A RISC-V Architecture With Security Enforcement by High Performance Complete Data-Flow Integrity," in IEEE Transactions on Computers, vol. 71, no. 10, pp. 2499-2512, 1 Oct. 2022, doi: 10.1109/TC.2021.3133701

4. 測試與驗證

在實現處理器的每個模塊後，我設計了專門的 testbench 來驗證其功能是否正確，並嘗試將原本僅止於 Single Cycle 的設計內容進 Pipeline 等優化，試著使其不僅止於單純的 Single Cycle。測試過程中，我發現了一些細微的問題，特別是在數據記憶體訪問和地址對齊方面，這是由於實作 Instruction Memory 中刻入了 41 條 RISC-V 指令，因此在指令多樣化的情況下，Control Unit 的訊號處理以及控制電路邏輯更加複雜，但這些問題通過後續的調整和優化得以解決。

最終，我通過多次測試和模擬，成功實現了完整的 RISC-V 處理器，並證明其能夠正確執行 RV32I 指令集中的整數運算、條件跳轉和數據訪問等 41 條指令。

未來目標與研究展望

基於本專題的成功實現，我對未來的研究方向有以下幾個目標：

1. 參考高效能開源處理器設計：

未來，我計劃深入研究已經實現的開源處理器，如 Rocket、Boom 等，這些處理器是目前在 RISC-V 社區中備受推崇的高效能 SoC 設計。我將學習它們的設計原理，並將其應用於如 Network Computing 中，並將其架構進行特化，以提供其在資料傳輸的加速功能最大化。

2. 確證論文內容並更加深入的探討並尋求改良

在我所閱讀的論文中，我發現關於 Network Computing 的這篇論文中對於如何識別處理封包並進行分類進行 DMA 等處理方式的實作方法並無明確說明，因此在進行更進一步的內容前，我希望能將此實作方法釐清，並嘗試是否能在此方面有所改良。

3. 探索專用處理器領域：

除了嵌入式系統，我對專用處理器（如 DPU 等）的設計充滿興趣。這些處理器能夠針對特定的計算需求進行優化，特別是在網路計算和高效能數據處理領域。我計劃通過 RISC-V 這一平台設計專用處理器，並進一步研究其在實際應用中的性能提升。

4. 創新計算機架構設計：

未來，我希望能特化計算機架構，並活用數位電路設計的能力，設計更加靈活且高效的計算機架構。特化計算模型能夠在大數據和人工智能應用中顯示出巨大的潛力，因此，我計劃深入研究這一技術，並應用於新型處理器的設計中。

結論

本次專題讓我深入了解了 RISC-V 指令集和處理器設計的核心概念，並成功實現了一個基於 RISC-V 的 32 位處理器。通過文獻的學習與專案實踐，我對專用處理器設計、數據流控制和高效能數據處理有了更深入的理解。未來，我希望在高效能計算和網路計算領域進行更多創新研究，並設計出適合這些場景的專用處理器。RISC-V 作為開源架構，為我提供了無限的創新空間，也將繼續是我未來研究的核心平台。