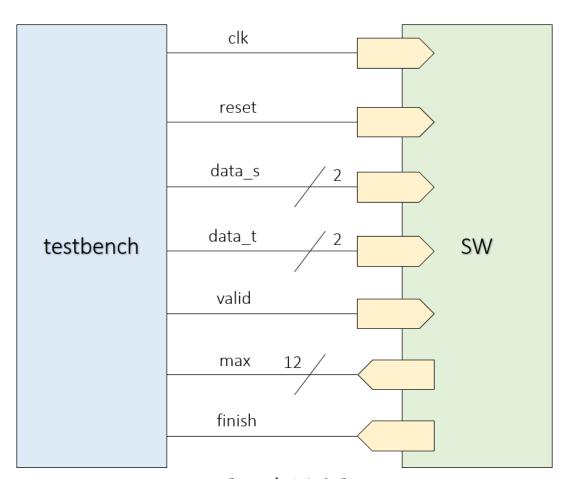
Final_Project - Smith-Waterman Algorithm

Due: 2021/11/8

1. 問題描述

本次練習為 Smith-Waterman 演算法的硬體實現。輸入序列的長度為 128, 共提供兩組測資,可參考課堂上所學的投影片進行硬體架構之設計,盡量壓低 cycle 數、cycle time 與 Area,除正確性外,最後評分也會以 Time*Area 做為依據。

2. 設計規格



圖一、系統方塊圖

信號名稱	輸出/入	位元寬度	說明
clk	input	1	時脈信號,本系統為同步於時脈正緣設計
reset	input	1	高位準非同步(active high asynchronous)系統重置訊號
data_s	input	2	字串 S 序列資料匯流排, Testbench 會在 valid 有效期
			間每 cycle 送出一筆資料。其中 0(A) 1(T) 2(C) 3(G)
data_t	input	2	字串 T 序列資料匯流排, Testbench 會在 valid 有效期
			間每 cycle 送出一筆資料。其中 0(A) 1(T) 2(C) 3(G)
valid	input	1	當為 high 時,送出的 data_s 和 data_t 為有效的
max	output	12	為 Smith-Waterman 運算後得出的最大 alignment 分數
finish	output	1	用以告知 SW 電路運算完畢,請 testbench 端開始檢查
			max 值是否運算正確。當為 low 時,表示 SW 電路還
			在運算;為 high 時,表示 SW 電路以運算完畢,可以
			進行檢驗 max 是否正確。

表一、輸入/輸出訊號

3. 系統功能描述

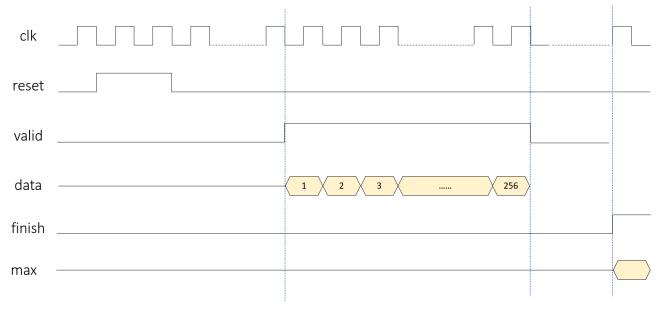
系統一開始會將 reset 訊號拉成 high 進行電路的重置,當 reset 結束,testbench 會將 valid 拉為 high,此時每一個 cycle 的 data_s / data_t 均代表字串 s / t 的輸入,總共有 256 / 256 個 data,之後 valid 訊號拉為 low。

當資料輸入完後,同學由自行完成的 SW 電路進行運算。當運算完成後,將 finish 拉至 high,此時 testbench 將會驗證同學 max 的輸出是否為正確答案。

詳細電路功能的說明請詳閱投影片。

4. 時序規格圖

SW 電路時序圖



圖二、valid 由負緣拉高,data 同時負緣給值,持續 256 筆,當經過運算後正緣將 finish 拉高,此時 testbench 檢查 max 的資料。

5 檔案說明

檔名	說明	
tb.v	測試樣本檔	
SW.V	設計檔,已包含系統輸入/輸出之宣告,同學請於此檔案內做設計	
./dat/s1.dat	第一組測資	
./dat/t1.dat		
./dat/s2.dat	第二組測資	
./dat/t2.dat		
./dat/golden1.dat	第一組比對樣本檔案	
./dat/golden2.dat	第二組比對樣本檔案	
./datE1.xlsx		
./dat/F1.xlsx	第一組測資的 E/F/V scoring matrix	
./dat/V1.xlsx		
./dat/E2.xlsx		
./dat/F2.xlsx	第二組測資的 E/F/V scoring matrix	
./dat/V2.xlsx		

6. 模擬指令

APR 後的 testbench,模擬相關指令如下。(放入 sw_apr.sdf)

ncverilog tb.v sw apr.v -v tsmc13 neg.v +define+SDF +ncmaxdelays

欲測試第二組測資,請自行修改為+define+tb2。 另外 tb.v 中的 CLK_period 和 SDFFILE 請根據名稱以及測試的階段進行修改。