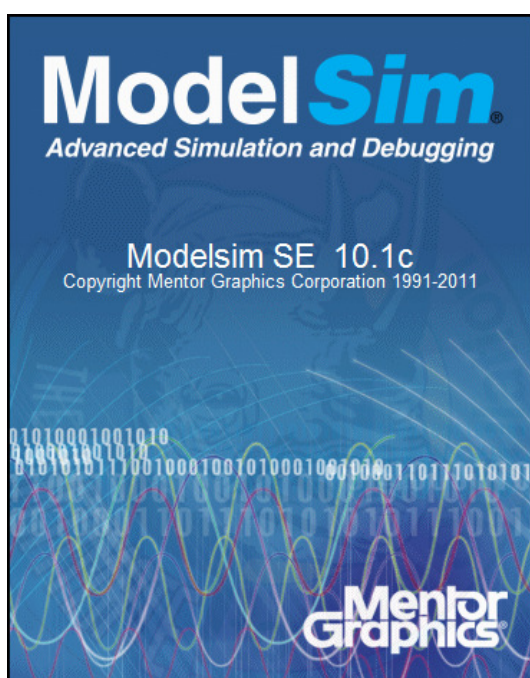


Środowiska Xilinx ISE i ModelSim-SE

Instrukcja laboratoryjna

dr inż. Jarosław Sugier



Ver. 14(7)

1 Środowisko ISE

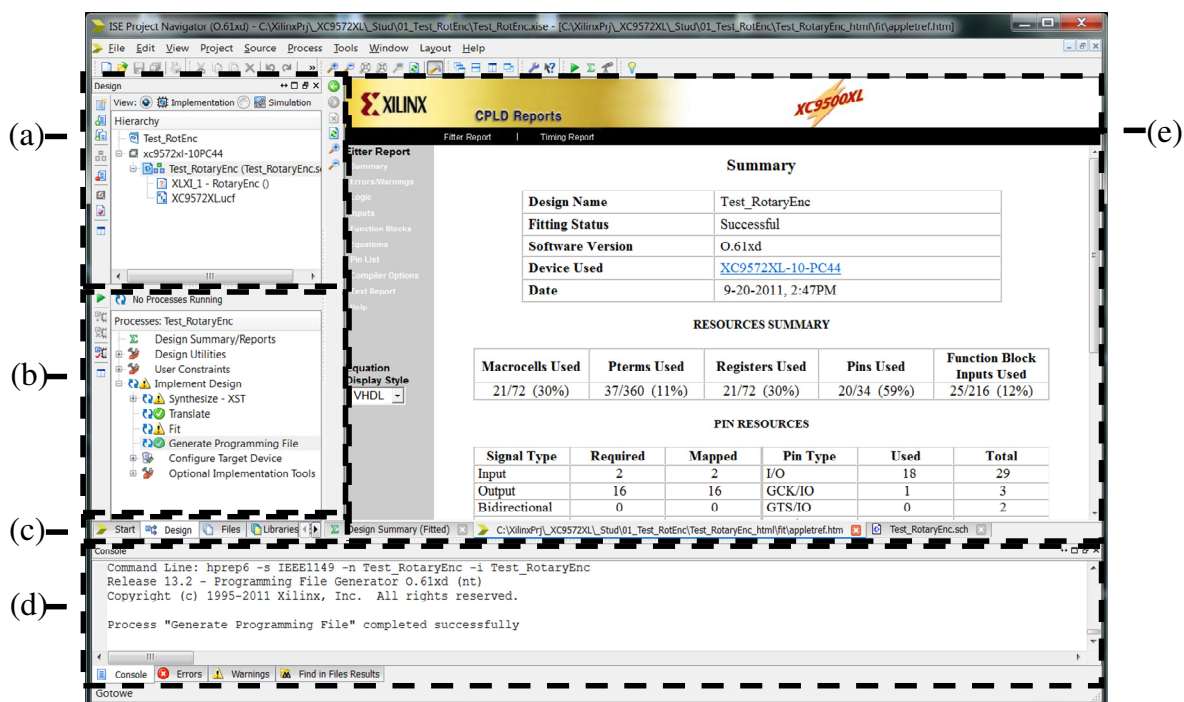
Zintegrowane środowisko Xilinx ISE służy do wykonania wszystkich operacji związanych z opracowaniem projektu układu cyfrowego oraz jego implementacją w układzie CPLD lub FPGA. Uruchamiane jest ikoną *Xilinx ISE Design Suite* (pulpit Windows lub pasek szybkiego uruchamiania), bądź z menu Start o odpowiedniej nazwie.

Podstawowym komponentem środowiska jest aplikacja *ISE Project Navigator*, w której, uruchamiając inne składniki pakietu, można edytować pliki źródłowe, sterować procesem syntezy i implementacji oraz zaprogramować układ dołączony poprzez interfejs JTAG.

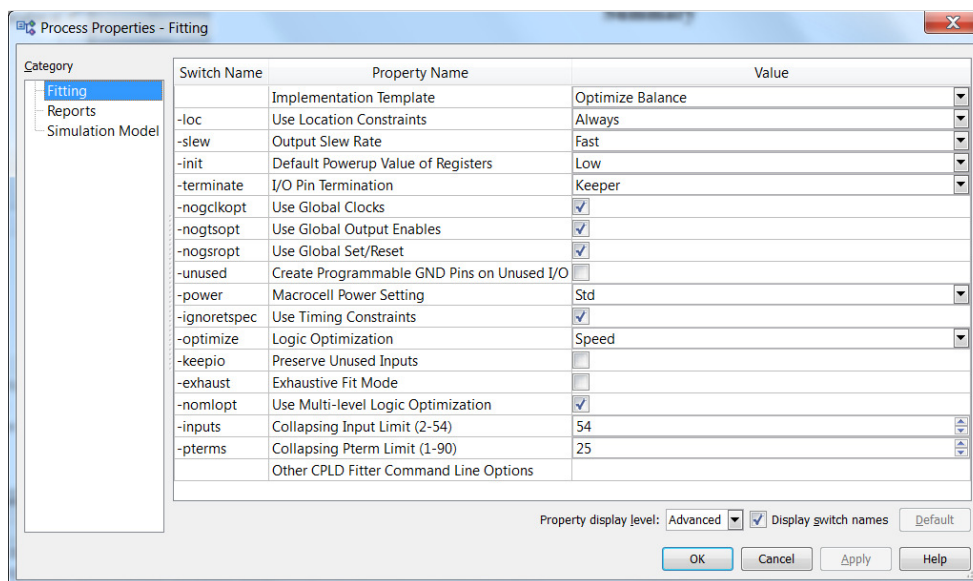
Widoczne na rys. 1 okno Nawigatora dzieli się na 4 główne obszary (przy wybranej zakładce *Design* w obszarze (c)):

- (a) drzewo plików źródłowych *Hierarchy* z hierarchią elementów źródłowych projektu;
- (b) drzewo procesów *Processes* z operacjami dostępnymi dla elementu źródłowego aktualnie wybranego w oknie (a);
- (c) zakładki wyboru dla obszarów (a) oraz (b)
- (d) konsola z komunikatami generowanymi przez procesy uruchomione w obszarze (b);
- (e) obszar roboczy, używany do edycji plików projektu, wizualizacji wyników itp.

Pole wyboru *View* na szczycie okna źródłowego (a) decyduje o tym, jakiego typu składniki projektu są wyświetlane w hierarchii. Dla projektów CPLD możliwe są do wyboru dwie opcje: *implementacja* oraz *symulacja*, przy czym dla opcji *symulacja* dodatkowo w rozwijanym oknie wybiera się jej typ: behawioralna (bez opóźnień czasowych) lub z dokładną symulacją czasową z uwzględnieniem wszystkich opóźnień projektu zaimplemen-



Rys. 1 Okno główne Nawigatora projektu dla wybranej zakładki *Design*: (a) elementy źródłowe projektu, (b) okno procesów, (c) zakładki, (d) konsola, (e) obszar roboczy.



Rys. 2 Okno właściwości procesu *Implement Design* → *Fit*.

owanego w rzeczywistym układzie (*post-fit*). W przypadku układów FPGA proces implementacji jest bardziej złożony i typów symulacji czasowej jest więcej.

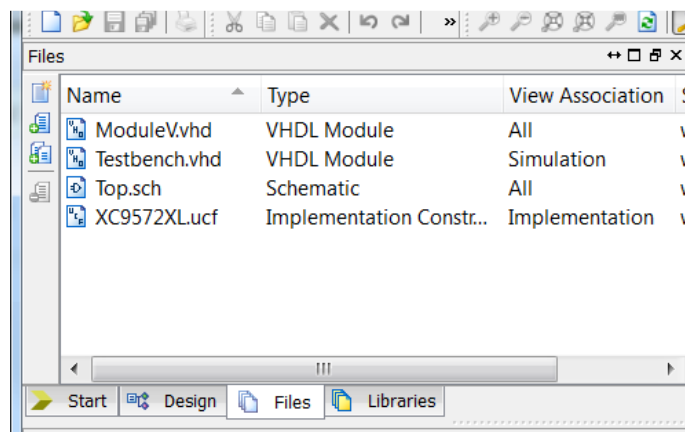
Zawartość okna procesów (b) zależy od tego, jakiego rodzaju element (schemat, moduł VHDL, wektor testowy itp.) jest aktualnie wybrany w oknie plików źródłowych (a). Większość operacji podczas pracy z Nawigatorem wykonuje się wybierając najpierw odpowiedni plik źródłowy w oknie (a) (co może wymagać przełączenia w nim pola wyboru *View*) i następnie uruchamiając odpowiedni proces w oknie (b).

Proces zaznaczony w oknie (b) najprościej uruchomić przez jego dwukrotne kliknięcie. Środowisko ISE domyślnie wykonuje go wówczas w trybie *automake*, tzn. przed jego wywołaniem aktualizuje pliki wynikowe kroków wcześniejszych, o ile jest to potrzebne (decyduje porównanie daty utworzenia plików wynikowych oraz źródłowych). Kliknięcie na proces prawym klawiszem otwiera menu kontekstowe, w którym mogą być dostępne inne tryby jego uruchomienia, np. *Rerun All*, *Run with current data*, itp.

Często przed uruchomieniem procesu konieczne jest ustawienie jego specyficznych parametrów. Wykonuje się to poprzez okno właściwości procesu (przykład na rys. 2), otwierane poleceniem *Properties* z menu kontekstowego.

- ☞ Polecenie *Rerun All* w menu kontekstowym procesu powoduje bezwarunkowe powtórzenie wszystkich poprzednich kroków projektowych. Jest to zalecana metoda odświeżenia stanu projektu po wprowadzeniu wielu zmian, które nie zawsze są poprawnie wykrywane przez mechanizm *automake*.
- ☞ Do przywrócenia domyślnego rozkładu okien Nawigatora służy polecenie *Layout* → *Load Default Layout* (bardzo pomocne, gdy układ okien wymknął się spod kontroli).
- ☞ Okno źródłowe (a) oraz procesów (b) znajdują się w zakładce *Design*; uruchomienie w obszarze roboczym np. edytora schematów powoduje niekiedy automatyczne przełączenie zakładek.

W każdym programie środowiska ISE polecenie menu *Help* → *Software Manuals* otwiera stronę WWW z odnośnikami do pełnej dokumentacji elektronicznej (<http://www.xilinx.com/support> → zakładka *Design Tools* → *ISE Design Suite*). Informacje



Rys. 3 Różne typy plików źródłowych i ich poprawne skojarzenia *View Association*.

na temat aktualnie uruchomionej aplikacji dostępne są w standardowym systemie pomocy Windows otwieranym poleceniem *Help → Help Topics*.

CZESTE BŁĘDY W PRACY ŚRODOWISKA

- 1) Pliki źródłowe w projekcie posiadają tzw. skojarzenia *View Association* (rys. 3), które są podawane w zakładce *Files* znajdującej się obok *Design*. Dla poprawnej pracy środowiska powinny być zachowane następujące skojarzenia:

- schematy oraz moduły VHDL do syntezy – skojarzenie *All*;
- pliki VHDL z pobudzeniami testowymi – *Simulation*;
- pliki UCF z ograniczeniami projektowymi – *Implementation*.

Pojawiające się niekiedy związane z tym błędy w pracy ISE to np. niewidoczny w hierarchii projektu plik ze schematem (gdy ma błędne skojarzenie *Simulation*) lub bezsensowna próba implementacji pliku VHDL z pobudzeniami testowymi (gdy ma skojarzenie *All*).

- 2) Nazwy niektórych plików źródłowych są używane jako identyfikatory w kodzie VHDL i należy tworzyć je tak, aby spełniały odpowiednie warunki: muszą rozpoczynać się od litery oraz nie mogą zawierać żadnych znaków innych niż *litery, cyfry oraz znak podkreślenia*. Błędy tego rodzaju w nazwach plików nie zawsze są sygnalizowane przez środowisko, a objawiają się dopiero złą pracą niektórych jego narzędzi podczas dalszych etapów implementacji lub symulacji.
- 3) W ścieżce katalogu z projektem ISE nie powinny występować odstępy (w szczególności więc nie należy umieszczać projektów na pulpicie Windows). Zalecana lokalizacja folderów z projektami to „C:\XilinxPrj”. Folder „C:\Użytkownicy\” w polskiej wersji systemu także może być powodem problemów (litera ‘ż’).
- 4) Jeśli aplikacja *Project Navigator* została zamknięta awaryjnie wskutek błędu wewnętrznego, należy sprawdzić czy pozostał po niej proces *_pn.exe* i w razie potrzeby zamknąć go ręcznie używając Menadżer Zadań systemu Windows.

2 Opis układu w postaci schematowej

Rozdział ten omawia główne kroki przy projektowaniu układu, którego opis ma być zadany w postaci graficznej jako schemat logiczny.

2.1 Utworzenie nowego projektu

1° Po uruchomieniu środowiska wybierz polecenie *File* → *New Project...* W pierwszym oknie *Create New Project* podaj jego nazwę, lokalizację oraz rodzaj głównego pliku źródłowego *Top-Level Source Type*; w tym przypadku wybierz *Schematic*. Wyświetlany katalog roboczy (*Working directory*) powinien być identyczny jak lokalizacja (*Location*).

☞ *Foldery Working directory oraz Location powinny zawsze wskazywać tę samą lokalizację. Sprawdzanie tego warunku (poleceniem Project → Design properties) jest często konieczne przy przenoszeniu folderu projektu np. między różnymi komputerami.*

2° W drugim oknie *Project Settings* wybierz kategorię oraz rodzinę układów, konkretne urządzenie, typ obudowy oraz gradację szybkości (np. płyta CPLD zawiera układ XC9572XL w obudowie PC44 o gradacji szybkości -10). Ważne inne parametry:

Synthesis Tool = XST (VHDL/Verilog)

Simulator = Modelsim-SE VHDL

Preferred Language = VHDL



Pozostałe opcje pozostaw bez zmian i potwierdź utworzenie projektu w kolejnym oknie.





☞ *Podczas pracy poza laboratorium, gdy niedostępny jest zewnętrzny symulator ModelSim firmy Mentor Graphics, należy używać wbudowany w środowisko ISE symulator ISim.*


2.2 Edycja schematu

Dodaj do pustego projektu nowy plik źródłowy ze schematem: menu *Project* → *New Source...*, rodzaj pliku *Schematic*, wpisz nazwę pliku, pozostaw opcję *Add to project* włączoną, naciśnij *Next* i potwierdź wpisane parametry w kolejnym oknie.

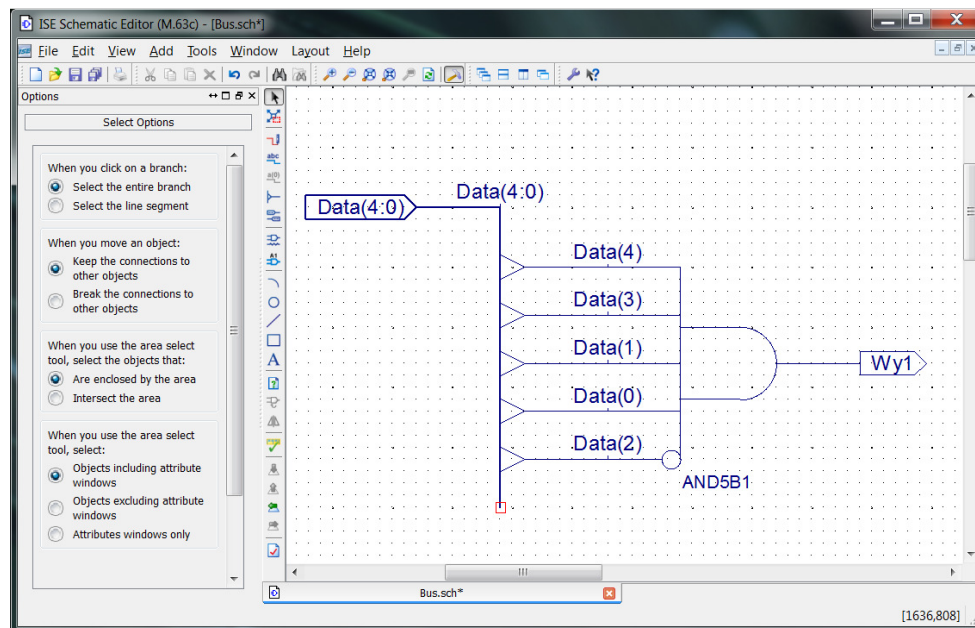
Po utworzeniu nowego pliku wg powyższych kroków środowisko automatycznie otwiera w obszarze roboczym Nawigatora edytor schematów ECS. Dla schematu już istniejącego edytor ten można uruchomić klikając dwukrotnie plik .sch w drzewie elementów źródłowych projektu (zakładka *Design*).

Domyślnie edytor jest wyświetlany jako podokno w obszarze roboczym Nawigatora, ale możliwa jest także jego praca niezależna (rys. 4). Przełączenie pomiędzy tymi dwoma trybami pracy umożliwiają klawisze  /  (menu *Window* → *Float / Dock*).

Podczas edycji schematu należy umieszczać symbole elementów logicznych wybrane w zakładce *Symbols* widocznej po lewej stronie obszaru roboczego (klawisz  na pasku narzędzi). Do rysowania połączeń służy polecenie menu *Add* → *Wire* () , własne nazwy można im nadawać poleceniem *Add* → *Net Name* (). Sygnały WE/WY projektu należy umieścić jako znaczniki (porty) WE/WY (menu *Add* → *I/O Marker*, ).




Dwukrotne kliknięcie dowolnego elementu na schemacie (kursor w trybie *Select*, ) otwiera okno z jego atrybutami. Poprzez atrybuty połączenia z portem WE/WY można nadać mu nazwę własną lub zmienić jego kierunek (WE lub WY).

Szczegółowych informacji nt. edytora ECS można szukać w jego systemie pomocy *Help* → *Help Topics*. Opisy wszystkich elementów logicznych (bramki, przerzutniki itp.) zawarte są w dokumencie *Libraries Guide* dostępnym w systemie pomocy. Opisy poszczególnych elementów można także wywołać klawiszem *Symbol Info* na dole zakładki *Symbols*.



Rys. 4 Edytor schematów ECS (i przykład definicji magistrali wielobitowej).

Uwagi szczegółowe:

- ☞ Źródłami sygnałów logicznej 1 oraz 0 są elementy vcc oraz gnd; bramka negacji nosi nazwę inv.
- ☞ Rysunek 4 ilustruje zasadę konstruowania magistral sygnałowych: połączenie staje się magistralą, jeśli w jego nazwie zostanie podany zakres indeksu k:l (np. `Data(4:0)`), a dostęp do poszczególnych składowych uzyskuje się poprzez odwołanie do konkretnej wartości indeksu w nazwie połączenia odchodzącego od magistrali (np. `Data(0)`). Zakres indeksu nie musi być malejący ani kończyć się na 0, choć tak standardowo się przyjmuje. Elementem graficznym przedstawiającym dołączenie linii do magistrali jest tzw. „bus tap” ().
- ☞ Podczas pracy z edytorem schematów w zakładce Options dostępne są różne przydatne opcje aktualnie wybranego narzędzia, np. zaznaczanie całości połączenia lub tylko pojedynczych jego odcinków, automatyczne lub ręczne trasowanie ścieżki połączeń podczas ich dodawania (Autorouter, ), itp.
- ☞ Przydatne skróty klawiszowe: F8 / F7 = Zoom In/Out, F5 = Refresh.
- ☞ Po zakończeniu edycji schematu należy sprawdzić jego poprawność poleceniem Tools → Check Schematic (klawisz ); jeśli znajdowane są błędy, raportowane symbole lub połączenia można szybko odnaleźć na schemacie poleceniem Edit → Find (Ctrl+F).
- ☞ Nazwy portów na schemacie muszą być poprawnymi identyfikatorami języka VHDL: muszą zaczynać się od litery, nie mogą być słowami kluczowymi, np. „in”, „out”, itp. Błędy tego rodzaju nie zawsze są wykrywane przez polecenie Check Schematic.
- ☞ Dwa połączenia o tych samych nazwach, nawet jeśli wizualnie oddzielne na schemacie, są uważane za zwarte i często powodują błędy. Sytuacja taka zazwyczaj powstaje po usunięciu tylko jednego segmentu dużego rozbudowanego połączenia: pozostałe po nim dwie części mają tę samą nazwę i pozostają zwarte. Zmiana nazwy

jednego połączenia problemu nie rozwiązuje (nazwa drugiego połączenia zostanie również zmieniona) i należy wówczas użyć polecenia Edit → Rename (Bus / Net) z wybraną opcją Rename the branch.

3 Symulacja projektu

Symulacja przygotowanego projektu wymaga:

- 1) utworzenia pliku VHDL z wektorami pobudzeń dla portów WE,
- 2) wywołania symulatora ModelSim-SE, który obliczy oraz przedstawi graficznie wygenerowane przez układ odpowiedzi na portach WY.

Język VHDL będzie omawiany na wykładzie, natomiast podane niżej informacje wstępne, choć fragmentaryczne, są wystarczające do pisania prostych wektorów pobudzeń na początkowych zajęciach.

3.1 Utworzenie pliku VHDL oraz definiowanie pobudzeń testowych

System ISE automatycznie generuje odpowiedni szablon VHDL dla wskazanego schematu (zob. przykład na rys. 5), zadaniem użytkownika jest tylko dodać do niego polecenia definiujące przebiegi czasowe sygnałów WE.

- 1° Wybierz polecenie *Project → New Source...*, wybierz rodzaj *VHDL Test Bench* oraz podaj nazwę pliku; w następnym oknie zaznacz plik schematowy jako obiekt symulacji.
- 2° Po zatwierdzeniu parametrów zostanie utworzony plik o rozszerzeniu .vhd z automatycznie utworzoną jednostką testową (ENTITY) oraz architekturą (ARCHITECTURE). Wygenerowane nazwy jednostki oraz architektury nie są w tym momencie istotne i należy pozostawić je bez zmian, uzupełnienia natomiast wymagać będzie treść architektury zawarta pomiędzy liniami BEGIN ... END.
- 3° Przed modyfikacją treści architektury należy jeszcze zwrócić uwagę na jej część deklaracyjną przed słowem BEGIN. Powinny znajdować się w niej automatycznie wygenerowane: deklaracja symulowanej jednostki (COMPONENT *nazwa_pliku*) z portami WE/WY jak na schemacie oraz definicje odpowiadających im sygnałów (SIGNAL ...). Identyczne nazwy sygnałów oraz portów w języku VHDL nie powodują konfliktów; ponadto duże i małe litery nie są rozróżniane w identyfikatorach, więc tego typu różnice mogą wystąpić w porównaniu do nazw występujących na schemacie.
☞ Tworzenie pliku powiedzie się tylko dla poprawnie skonstruowanego schematu. Jeśli plik vhd nie powstaje lub ma błędną treść (np. nie zawiera wszystkich portów znajdujących się na schemacie), należy wrócić do edycji pliku sch, sprawdzić jego poprawność poleceniem Tools → Check Schematic i usunąć błędy.
- 4° W treści architektury (po słowie BEGIN) powinna znajdować się instrukcja instancji zadeklarowanego wyżej komponentu UUT: (...) ;. Należy pozostawić ją bez zmian, natomiast dalsze linie (Clock proces definition, Stimulus proces, ...) usunąć – zostaną zastąpione poleceniami własnymi.
- 5° W miejscu usuniętych linii należy dopisać własne pobudzenia tych i tylko tych sygnałów, które odpowiadają portom WE. Najprościej można to zrobić instrukcjami przypisań

```

1  LIBRARY ieee;
2  USE ieee.std_logic_1164.ALL;
3  USE ieee.numeric_std.ALL;
4  LIBRARY UNISIM;
5  USE UNISIM.vcomponents.ALL;
6
7  ENTITY Top_sch_tbw IS
8  END Top_sch_tbw;
9
10 ARCHITECTURE behavioral OF Top_sch_tbw IS
11
12     COMPONENT Top
13     PORT( We2      : IN STD_LOGIC;
14           We1      : IN STD_LOGIC;
15           Wy       : OUT  STD_LOGIC);
16     END COMPONENT;
17
18     SIGNAL We2      : STD_LOGIC;
19     SIGNAL We1      : STD_LOGIC;
20     SIGNAL Wy       : STD_LOGIC;
21
22 BEGIN
23
24     UUT: Top PORT MAP(
25         We2 => We2,
26         We1 => We1,
27         Wy  => Wy
28     );
29
30     WE1 <= '0', '1' after 100 ns, '0' after 300 ns;
31     WE2 <= '0', '1' after 200 ns, '0' after 400 ns;
32
33
34 END;

```

Rys. 5 Szablon kodu VHDL automatycznie wygenerowany dla prostego schematu, uzupełniony o instrukcje przypisania pobudzeń do portów wejściowych (pominięto linie komentarzy rozpoczynające się znakami '--'). Linie 1÷5 to deklaracje bibliotek, 7÷8 – definicja jednostki, a 10÷34 – definicja architektury, w tym:
 12÷16 – deklaracja testowanego komponentu, 18÷20 – definicje sygnałów odpowiadających portom komponentu, 24÷28 – instrukcja instancji testowanego komponentu z przypisaniem sygnałów do portów, 30÷31 – dopisane instrukcje przypisać sygnałów WE.

współbieżnych '<=', których uproszczoną składnię wystarczająco tłumaczą następujące przykłady:

```

we1 <= '0', '1' after 100 ns, '0' after 300 ns;
we2 <= '0', '1' after 200 ns, '0' after 400 ns;

```

Dla każdego portu WE należy podać dokładnie jedną instrukcję przypisania. W przykładach powyższych we1 i we2 są nazwami portów jak na schemacie, '0' oraz '1' są przypisywanymi wartościami – stałymi logicznymi, natomiast po słowach after podawane są momenty czasu, w których dane przypisanie ma mieć miejsce. Efekt powyższych dwóch instrukcji można zobaczyć na rys. 6: oba sygnały są początkowo inicjalizowane zerem logicznym, po czym na każdym z nich pojawia się trwający 200 ns impuls jedynkowy. Różne przesunięcia czasowe impulsu dają efekt dwubitowego kodu Gray'a.

☞ *Podawane w tej instrukcji wartości czasu są momentami wykonania przypisań, a nie długością ich trwania; momenty przypisani muszą tworzyć ciąg rosnący.*

☞ *Oznaczenia jednostek czasu w języku VHDL: fs, ps, ns, us, ms, sec.*

Sygnały zegarowe

Gdy zachodzi potrzeba generacji fali prostokątnej o wypełnieniu 50% i stałym okresie, należy:

a) dopisać inicjalizację wartości początkowej sygnału do jego definicji w części deklaracyjnej:

```
SIGNAL Clk : STD_LOGIC := '0'; --dopisano tekst podkreślony
```

b) w treści architektury zastosować przypisanie jak w poniższym przykładzie:

```
Clk <= not Clk after 500 ns;
```

gdzie wartość 500 ns jest zadaną wartością *półokresu*, a Clk jest przykładową nazwą portu.

Magistrale

Sygnałom, które są wektorami (tzn. odpowiadają portom magistralowym), przypisuje się stałe ujęte w znaki "...", np.:

```
SIGNAL BUS4b : STD_LOGIC_VECTOR( 3 DOWNT0 0 );  
(...)  
BUS4b <= "0000", "0001" after 100 ns, "0011" after 300 ns;
```









Stałe wektorowe, których długość jest wielokrotnością 4, można zapisywać w notacji heksadecymalnej z przedrostkiem X, np.: "0011" = X"3", "11110011" = X"F3", itp. (ale "011" ≠ X"3", bo X"3" = "0011").

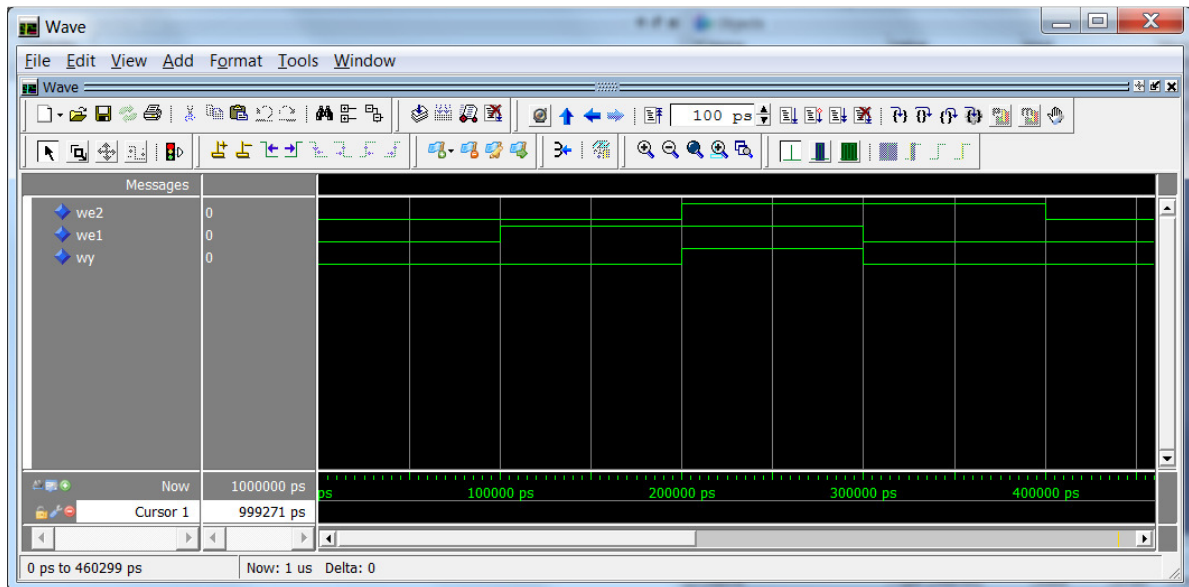
3.2 Wywołanie symulatora ModelSim

W oknie plików źródłowych Nawigatora (rys. 1a) wybierz opcję *View: Simulation* oraz zaznacz utworzony plik VHDL z pobudzeniami. Uruchom proces *ModelSim Simulator* → *Simulate Behavioral Model* lub *ModelSim Simulator* → *Simulate Post-Fit Model*, w zależności od wybranego typu symulacji (rozwijana lista wyboru na szczycie okna).

- ☞ W przypadku wybrania symulacji czasowej post-fit przed uruchomieniem symulatora może okazać się konieczna synteza i implementacja układu; jeśli nie zakończy się powodzeniem, zamiast oczekiwanej pracy z aplikacją ModelSim trzeba będzie wrócić do poprawiania błędów wykrytych w źródłach projektu.
- ☞ Przy uruchamianiu symulatora w oknie Hierarchy musi być zaznaczony plik .vhd z pobudzeniami, a nie podporządkowany mu schemat UUT (również widoczny poniżej w drzewie!).

Symulator ModelSim jest produktem firmy MentorGraphics i pracuje we własnym środowisku z szeregiem specyficznych obszarów roboczych; okno z obliczonymi przebiegami czasowymi (Wave) pokazuje rys. 6.

- ☞ Przełączanie podokien ModelSim do / z trybu niezależnego umożliwiają klawisze  / .
- ☞ Przy analizie wykresów ważne jest ustawienie odpowiedniego powiększenia skali czasowej (polecenia Wave → Zoom → In / Out / Full / ..., klawisze   ). Ponadto przy precyzyjnym wyznaczaniu opóźnień pomocne są polecenia ustawiające kursory: Insert Cursor , Find Previous Transition , Find Next Transition , itd.
- ☞ Moduł poddawany symulacji post-fit powinien być modulem będącym na szczycie hierarchii plików źródłowych w środowisku ISE. Ustawienie szczytu hierarchii wykonuje się poleceniem Set as Top Module, które jest dostępne w menu kontekstowym modułu widocznego w drzewie plików źródłowych (jeśli jest ono nieaktywne, dany moduł już znajduje się na szczycie hierarchii).



Rys. 6 Okno z przebiegami czasowymi symulatora ModelSim.

Nawigator ISE domyślnie wywołuje symulator ModelSim z symulacją trwającą 1000 ns. Kolejne przebiegi wydłużające czas symulacji można uzyskać wpisując w panelu *Transcript* na dole okna ModelSim polecenie `run <time>`, np. `run 10 us`. Polecenie *Simulate* → *Run* → *Restart* (lub po prostu `restart` w panelu *Transcript*) wraca do chwili zero.

Podczas symulacji behawioralnej możliwe jest śledzenie w oknie *Wave* nie tylko portów badanego modułu, ale też wszystkich jego sygnałów wewnętrznych. Sygnały te można odszukać w panelu *Objects* symulatora po zaznaczeniu elementu UUT w panelu *Sim*. Po kliknięciu prawym klawiszem myszy na sygnał, który chcemy śledzić, należy wybrać polecenie *Add to Wave*, po czym uruchomić symulację ponownie (*Simulate* → *Run* → *Restart* + *Simulate* → *Run* → *Run -All*).

- ☞ Aby można było rozpoznać w symulatorze sygnały wewnętrzne układu warto nadać połączeniom na schemacie nazwy znaczące w miejsce domyślnie generowanych przez ISE nazw automatycznych typu `XLXN_xx`.
- ☞ W symulacji typu Post-fit sygnałami wewnętrznymi, których zmiany także można analizować, są sygnały biegnące pomiędzy elementami występującymi w rzeczywistym układzie CPLD lub FPGA (bramkami, przerzutnikami, buforami, itp.). Podczas implementacji projektu ich nazwy są tworzone jako pochodne nazw portów i połączeń występujących na schemacie.
- ☞ Domyślnie symulator pamięta historię zmian tylko dla sygnałów wyświetlanych w oknie *Wave* i dlatego po dodaniu nowego sygnału jego historia jest pusta (należy wówczas ponownie wykonać symulację poleceniami `restart` i `run`, jak opisano to powyżej). Aby obejść tę niedogodność można włączyć rejestrowanie historii zmian wszystkich sygnałów poleceniem `log -r /*`. Polecenie to można wpisać ręcznie w oknie *Transcript* zaraz po uruchomieniu symulatora, albo zapisać w tzw. pliku skryptu użytkownika (nazwa identyczna jak jednostka VHDL + rozszerzenie `.udo`, plik

generowany automatycznie przez nawigator ISE). Polecenia skryptu użytkownika są wykonywane każdorazowo przy starcie symulatora.

4 Implementacja projektu oraz konfiguracja układu

4.1 Określenie lokalizacji sygnałów WE/WY

Przypisanie sygnałów WE/WY projektu do konkretnych wyprowadzeń obudowy układu programowalnego jest fragmentem szerszego zagadnienia, którym jest definiowanie tzw. ograniczeń projektowych (*User Constraints*). Sformułowane ograniczenia są przechowywane w pliku tekstowym o rozszerzeniu UCF, który jest jednym z (ważnych!) elementów źródłowych projektu i jest widoczny w Nawigatorze jako element w drzewie plików wejściowych dla *View = Implementation*.

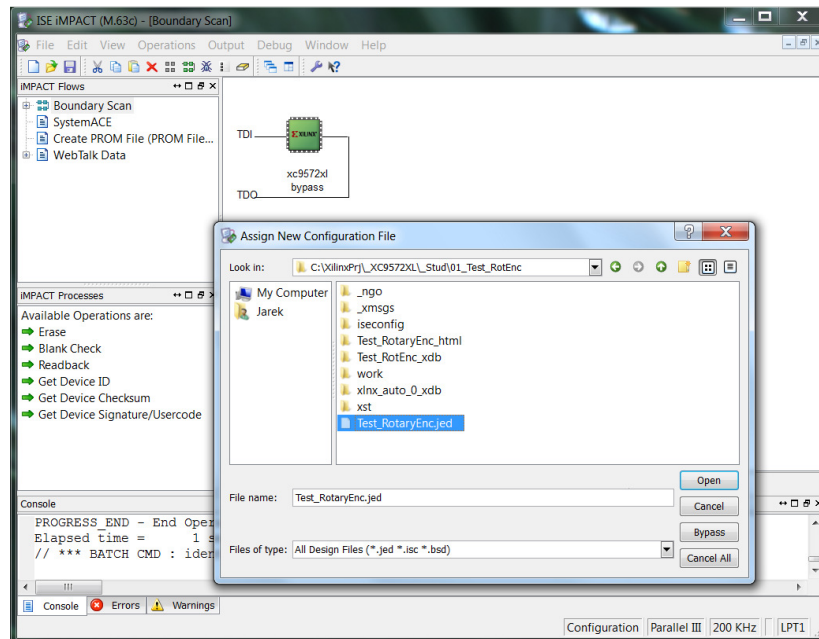
Podczas pracy z płytą ZL-9572 należy korzystać z pliku UCF dostępnego na stronie WWW, który zawiera poprawne definicje przypisań wszystkich wyprowadzeń. Plik ten należy skopiować do folderu projektu, dodać go poleceniem „Project → Add Source” i następnie usunąć w nim znaki komentarza (#) w liniach opisujących sygnały rzeczywiście używane w projekcie.

W przypadku ogólnym, aby utworzyć nowy plik UCF oraz przypisać wyprowadzenia należy ręcznie dodać nowe źródło UCF do projektu (menu *Project → New Source → Implementation Constraints File*), następnie otworzyć go do edycji (proces *User Constraints → Edit Constraints (Text)*) i samodzielnie wpisać odpowiednie linie z poleceniami LOC (*Location*):

```
#Format: NET "NazwaPortuSCH" LOC = "Wyprowadzenie";  
NET "We1" LOC = "P13";  
NET "We2" LOC = "P12";  
NET "Wy" LOC = "P24";  
...
```

Numery wyprowadzeń zależą od typu obudowy używanego układu. Dla obudowy typu PLCC numeracja wyprowadzeń jest liniowa i symbole mają postać „Pn” (P1, P2, ...); dla obudów z dwuwymiarową matrycą wyprowadzeń (np. obudowy *Ball Grid Array*, BGA, używane w układach FPGA), symbole mają format „szachowy”, np. A1, C35 itp. W każdym przypadku należy sprawdzić w dokumentacji płyty, do którego wyprowadzenia obudowy powinien być dołączony każdy port występujący na schemacie i opisać to odpowiednio w pliku UCF.

- ☞ Jeśli w projekcie pozostają porty, dla których nie podano poleceń LOC w pliku UCF, program automatycznie przypisze im lokalizację wg własnych kryteriów. Implementacja będzie wówczas przebiegała bez żadnych komunikatów o błędach lub ostrzeżeniach, ale są niewielkie szanse na to, że sygnały trafią w odpowiednie miejsca i projekt będzie działał po zaprogramowaniu w sprzęcie; zazwyczaj efektem jest np. zapalanie losowych diod. Wniosek: wszystkie porty projektu powinny być uwzględnione w pliku UCF.
- ☞ Obecność w pliku UCF lokacji sygnału, który nie występuje w projekcie, jest błędem przerywającym proces implementacji.



Rys. 7 Poprawnie wykryty układ w aplikacji iMPACT z oknem wyboru pliku konfiguracyjnego.

4.2 Zaprogramowanie układu

1° Dla zaznaczonego głównego pliku schematowego uruchom proces *Implement Design* → *Generate Programming File*. Jeśli zakończy się powodzeniem, w katalogu roboczym projektu powstanie plik o rozszerzeniu .jed gotowy do przesłania do układu CPLD.

☞ *Implementacja projektów CPLD składa się z procesów Synthesize, Translate oraz Fit. Jeśli którykolwiek nie zakończy się pomyślnie, należy odszukać w oknie konsoli komunikaty o błędach i wrócić do ich usunięcia. Najczęściej błędy procesu Synthesize dotyczą kodu VHDL lub schematu, błędy Translate – pliku UCF, błędy Fit – problemów z przypisaniem wyprowadzeń, niedostatecznymi zasobami w wybranym układzie itp.*

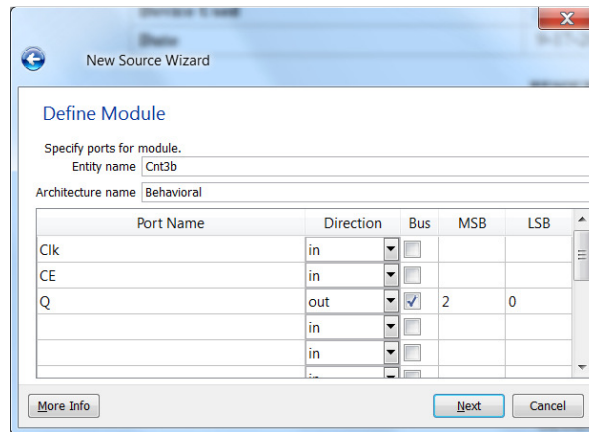
2° Podłącz sprzęt do zasilania oraz poprzez kabel JTAG do komputera i uruchom aplikację iMPACT (proces *Configure Target Device* dla szczytowego elementu hierarchii źródłowej).

3° Jeśli się pojawi, zamknij okno *New iMPACT Project* bez tworzenia projektu oraz dwukrotnie kliknij opcję *Boundary Scan* w podoknie *iMPACT Flows* (lewy górny róg okna głównego). Następnie wybierz polecenie *File* → *Initialize Chain (Ctrl+I)*.

☞ *W tym momencie program iMPACT musi automatycznie wykryć i poprawnie zidentyfikować dołączony układ CPLD, tak jak pokazuje to rys. 7. Jeśli tak się nie stanie, oznacza to problem sprzętowy: sprawdź jeszcze raz podłączenie kabli, zasilanie płyty, itp.*

4° W oknie wyboru pliku konfiguracyjnego (rys. 7) wskaż plik .jed wygenerowany w katalogu głównym projektu, następnie zaakceptuj zaproponowane ustawienia *Device Programming Properties*.

5° W tym momencie aplikacja iMPACT jest gotowa do zaprogramowania układu: kliknij prawym klawiszem myszy na jego symbol oraz wybierz polecenie *Program...*; jeśli



Rys. 8 Definicja portów podczas tworzenia nowego modułu VHDL.

transmisja poprzez kabel JTAG odbędzie się pomyślnie, pojawi się niebieski komunikat *Programming succeeded*.

☞ W przypadku problemów z transmisją można wykonać test łącza JTAG poleceniem Debug → IDCODE Looping.

- 6° Układ CPLD został skonfigurowany zgodnie z przygotowanym projektem i rozpoczął pracę – sprawdź jej poprawność na płycie laboratoryjnej.

5 Opis układu w języku VHDL

Język VHDL jest podstawowym formatem opisu danych w środowisku ISE dla ścieżki projektowej *XST VHDL* i nie wymaga żadnych zewnętrznych edytorów. Aby utworzyć nowy moduł w języku VHDL i dodać go do projektu:

- 1° W nawigаторze wybierz polecenie *Project → New Source...*; wybierz rodzaj *VHDL Module*, podaj nazwę pliku oraz naciśnij klawisz *Next*.

- 2° W oknie *Define Module* (rys. 8) podaj nazwy jednostki i architektury oraz opisz porty jednostki. Dla każdego portu wpisz jego nazwę, wybierz kierunek oraz, w przypadku magistral, w polach MSB / LSB podaj zakres indeksu sygnałów składowych.

☞ Ze względu na możliwości syntezy nie należy stosować innych trybów pracy portów jak dwa podstawowe: *in* oraz *out*.

- 3° Po zatwierdzeniu podanych parametrów nowopowstały plik *.vhd* zostanie automatycznie dodany do projektu i otworzony do edycji. Początkowa treść pliku będzie zawierała definicję jednostki (z podanymi wcześniej portami) oraz definicję jednej, pustej, architektury, jak na rys. 9.

- 4° Szkielet kodu należy uzupełnić wpisując instrukcje VHDL jako treść architektury.

☞ Przy opisie podstawowych układów kombinacyjnych oraz sekwencyjnych należy wzorować się na przykładach zawartych w dokumencie „XST User Guide...”, rozdział „XST HDL Coding Techniques”. Pomocne mogą być też szablony, których bibliotekę otwiera w oknie Nawigatora polecenie Edit → Language Templates... (💡; patrz gałąź VHLD → Synthesis Constructs → Coding Examples).


```
library IEEE;
use IEEE.STD_LOGIC_1164.ALL;
use IEEE.STD_LOGIC_ARITH.ALL;
use IEEE.STD_LOGIC_UNSIGNED.ALL;

---- Uncomment the following library declaration if instantiating
---- any Xilinx primitives in this code.
--library UNISIM;
--use UNISIM.VComponents.all;

entity Cnt3b is
  Port ( Clk : in  STD_LOGIC;
        CE : in  STD_LOGIC;
        Q : out STD_LOGIC_VECTOR (2 downto 0));
end Cnt3b;

architecture Behavioral of Cnt3b is

begin

end Behavioral;
```

Rys. 9 Pusty szablon VHDL wygenerowany dla parametrów jak na rys. 8.

5° Dla przygotowanego modułu VHDL można utworzyć symbol uruchamiając dla niego proces *Design Utilities* → *Create Schematic Symbol*. Po umieszczeniu takiego symbolu na schemacie powstaje hierarchia różnych plików źródłowych (SCH na szczycie + VHDL jako submoduł). Domyślnie każdy symbol jest tworzony jako prostokąt z dołączonymi wyprowadzeniami, które odpowiadają portom jednostki VHDL: po lewej stronie porty WE, po prawej WY. Aby go zmienić należy poddać symbol edycji: w edytorze schematów ECS po jego zaznaczeniu dostępne jest polecenie *Edit* → *Symbol*.

☞ *Podana powyżej procedura tworzenia symboli może być zastosowana również do schematów. Schematy mogą być także submodułami, a liczba poziomów w hierarchii plików źródłowych oraz jej konfiguracja (VHDL vs. schematy) może być dowolna.*

Po wskazaniu modułu VHDL jako głównego pliku projektu, pozostałe kroki projektowe (symulacja, przypisanie wyprowadzeń, implementacja oraz zaprogramowanie układu) wykonuje się identycznie, jak przedstawiono to w rozdziałach 3 i 4.

Literatura

- 1) *ISE DS Software Manuals – PDF Collection: Libraries Guides*, dok. pakietu ISE.
- 2) *ISE DS Software Manuals – PDF Collection: XST User Guide*, dok. pakietu ISE.
- 3) Pomoc on-line aplikacji pakietu ISE.
- 4) *ISE Quick Start Tutorial*, Xilinx Inc. www.xilinx.com.
- 5) *Programmable Logic Design Quick Start Guide* (ug500.pdf), Xilinx Inc. www.xilinx.com