

Sprawozdanie z logiki układów cyfrowych		
Prowadzący	Mgr inż. Antoni Sterna	
Temat zajęć		
Termin zajęć	czw 7:30-9:00 13 paź 2016	
skład grupy	Sebastian Korniewicz	226183
	Bartosz Rodziewicz	226105

1.Opis problemu, założenia projektu

Celem ćwiczenia było stworzenie układu cyfrowego składającego się z 4 wejść i jednego wyjścia w którym dla wartości na wejściu od 0 do 12 zwracana jest wartość 1 na wyjściu. Układ miał zostać wykonany w dwóch wersjach: w pierwszej za pomocą bramek NOT oraz NAND, w drugiej za pomocą bramek NOT oraz NOR.

2.Przebieg ćwiczenia

Na początku stworzyliśmy tabelę prawdy zadanego układu (a,b,c,d- wejścia, y-wyjście).

a	b	c	d	y
0	0	0	0	1
0	0	0	1	1
0	0	1	0	1
0	0	1	1	1
0	1	0	0	1
0	1	0	1	1
0	1	1	0	1
0	1	1	1	1
1	0	0	0	1
1	0	0	1	1
1	0	1	0	1
1	0	1	1	1
1	1	0	0	1
1	1	0	1	0
1	1	1	0	0
1	1	1	1	0

Aby możliwie zminimalizować formułę boolowską użyliśmy metodę Karnaugh

ab \ cd	00	01	11	10
00	1	1	1	1
01	1	1	1	1
11	1			
10	1	1	1	1

$$y = \overline{a} + \overline{b} + \overline{c} \overline{d}$$
$$y = \overline{a} + \overline{b} + \overline{c} \overline{d} = \overline{\overline{\overline{a}} + \overline{\overline{b}} + \overline{\overline{c} \overline{d}}} = \overline{\overline{a} * \overline{\overline{b}} * \overline{\overline{c} \overline{d}}} = \overline{a * b * \overline{\overline{c} \overline{d}}} = \overline{a * b * \overline{\overline{c} \overline{d}}} = \overline{\overline{\overline{a} * b * \overline{\overline{c} \overline{d}}}}$$

$$\begin{aligned} a &= \overline{\overline{a}} \\ \overline{a} + \overline{b} &= \overline{a * b} \\ \overline{a + b} &= \overline{a} * \overline{b} \end{aligned}$$

The diagram shows a 4-input AND gate implemented using three 2-input AND gates and two inverters. The inputs are labeled a, b, c, and d. The output is labeled y. The logic is as follows: inputs a and b are connected to the first 2-input AND gate. Its output is connected to an inverter. Inputs c and d are each connected to an inverter, and their outputs are connected to the second 2-input AND gate. The output of the first inverter and the output of the second 2-input AND gate are connected to the inputs of the third 2-input AND gate, which produces the final output y.

$$y = \overline{a} + \overline{b} + \overline{c} \overline{d} = \overline{\overline{a} + \overline{b}} + \overline{\overline{c} * \overline{d}} = \overline{\overline{a} + \overline{b}} + \overline{\overline{c} + \overline{d}} = \overline{\overline{a} + \overline{b}} + \overline{c + d} = \overline{\overline{\overline{a} + \overline{b}} + c + d}$$

```

graph LR
    a((a)) --> inv1[Inverter]
    b((b)) --> inv2[Inverter]
    inv1 --> or1[OR Gate]
    inv2 --> or1
    or1 --> inv3[Inverter]
    c((c)) --> or2[OR Gate]
    inv3 --> or2
    or2 --> inv4[Inverter]
    inv4 --> y((y))
  
```

3.Uwagi i wnioski

-prawa de Morgana znacząco przyspieszają projektowanie prostych układów cyfrowych wykorzystujących z góry założone bramki logiczne