گزارش کار تمرین کامپیوتری میانترم CAD

بابک حسینی محتشم 810101408 1403/8

توضيح مسير داده:

در این پروژه هدف پیاده سازی ماژول محاسبه (In(1+x) با استفاده از سری مکلورن بود که توانایی انتخاب درجه سری تا حداکثر ۸ را به ما میدهد. پیادهسازی آن به صورت پایپلاین چهار مرحلهای صورت گرفت. قطعات مورد استفاده در این مدار عبارتاند از: ۴ ست رجیستر که برای جدا سازی چهار مرحله، ۹ مولتیپلکسر که از ۴ تا برای انتخاب ضریب جمله، از ۴ تا برای انتخاب مقدار از ورودی یا از مرحله آخر و از یکی برای تعیین اینکه آیا باید تا مرحله آخر ضرایب حساب شوند یا تا یکی از مراحل میانی محاسبه جملات ادامه داشته باشد استفاده کردم. همچنین از یک شمارنده دو بیتی برای کنترلر نیز استفاده شد که به کمک آن تعیین میشود که آیا یک بار چهار داده به انتها رسیدند یا خیر. از یک شمارنده جانسون هم برای تعیین اینکه کدام ضریب استفاده بشود استفاده کردم. یک مقایسه خیر. از یک شمارنده جانسون هم برای تعیین اینکه کدام ضریب استفاده شد. در نهایت هم چهار سری قطعات کننده هم برای مقایسه اینکه ۸ کوچکتر از ۴ هست یا نه استفاده شد. در نهایت هم چهار سری قطعات محاسباتی که شامل دو ضربکننده و یک جمع کننده به همراه تشخیص دهنده سرریز و البته یک گیت or

توضيح كنترلر:

Idle: منتظر فعال شدن سيكنال Start هستيم.

Wait: منتظر غيرفعال شدن سيگنال Start برای شروع کار مدار میمانيم.

N را از ورودی میخوانیم در رجیستر مینویسیم.

الکا: چهار X اول را خوانده و ماژول شروع به کار میکند و تا رسیدن اولین X به مرحله آخر در این استیت میمانیم سپس بررسی میکنیم اگر N کوچکتر از چهار بود به N1 وگرنه به N3 میرویم.

NI4: در این استیت همین طور وروی میگیریم و ماژول به کار خود ادامه میدهد.

Ng4: در این استیت چهار ورودی از مرحله آخر دریافت میشوند و تا رسیدن اولین آنها به مرحله آخر در این استیت میمانیم و سپس به Loop میرویم.

Loop این استیت مشابه استیت Ng4 است و پس از چهار مرحله به استیت Ng4 برمیگردیم و تفاوت این استیت با Ng4 در این است که برعکس استیت پیش در این استیت ورودی از بیرون میآید. همچنین در این استیت sel_decode غیرفعال است که یعنی تمام ماژولهای محاسباتی، جمله خود را حساب میکنند.

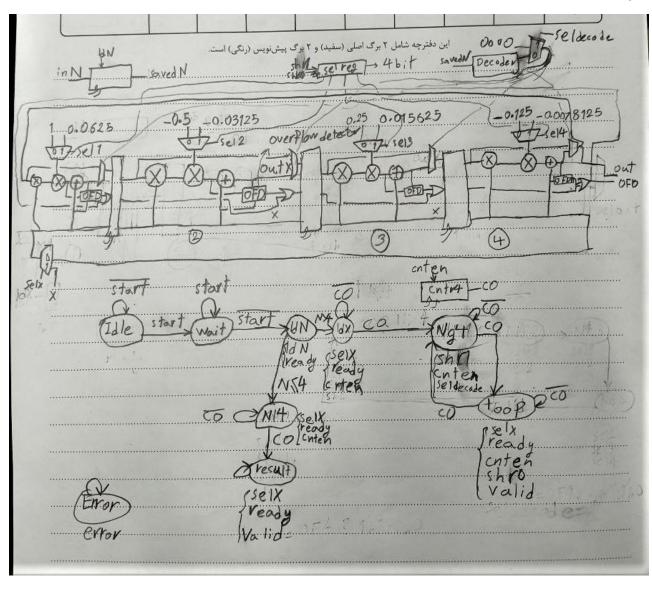
تغییرات در مسیرداده:

در طرح اولیه اشتباه محاسباتی انجام داده بودم که باعث شده بود عبارت حاصل ضربدر X شود و با X جمع شود که اشتباه می شد پس در پیاده سازی wire جدایی برای ارسال توان فعلی X به مرحله بعدی ایجاد کردم که به نام powerx در شکل مشخص است. همچنین موقع پیاده سازی مشکلی در گرفتن اولین ورودی پیش می آمد که برای رفع این مشکل رجیستر چهارمی را در ابتدا ایجاد کردم. همچنین روی تمام ورودی های استیج اول یک مولتی پلکسر قرار دادم که سیگنال X تعیین می کند کی ورودی جدید خوانده شود و کی ورودی استیج آخر. اشتباهی هم در محاسبه ضرایب ثابت وجود داشت که در طرح اولیه توان هایی از X را نوشته بودم.

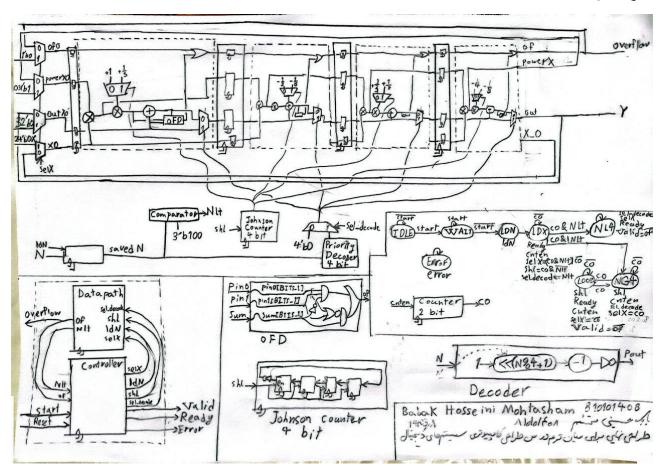
تغییرات در کنترلر:

در طرح اولیه دو استیت NIA و NIA بسیار مشابه میکردند پس استیت result را به NIA تغییر نام دادم و NIA قدیمی را با IdX ترکیب کردم. همچنین برای اضافه نکردن استیت بیشتر و کار کردن ماژول تعدادی از سیگنالها را به صورت mealy پیاده کردم و تغییراتی در سیگنالها بوجود آوردم.

طرح اوليه:



طرح نهایی:



نتایج شبیه سازی:

```
// x=0.09375 ln=0.08961215868 ans=0.08961215661838650703
// x=-0.375 ln=-0.47000362924 ans=-0.4699789742
// x=0.3515625 ln=0.30126133057 ans=0.30125439912080764771
// x=0.2890625 ln=0.25391520998 ans=0.25391396461054682732

// x=0.9921875 ln=0.68923328123 ans=0.63440362270921468735 using formula=0.634403626209939
// x=-1 ln=undefined ans=overflow
// x=-0.2890625 ln=-0.00784317746 ans=-0.00784317823
// x=0 ln=0 ans=0
```