

کالیبراسیون هوشمند مبدل‌های SAR ADC

رویکرد یادگیری ماشین آگاه از سخت‌افزار (Hardware-Aware AI)



ارائه‌دهنده: علی بختیاری

فصحتی درس: طراحی مدارهای واسط - دکتر امین

شاخص‌های کلیدی عملکرد در ADC

$$\text{ENOB} = \frac{\text{SNDR} - 1.76}{6.02}$$

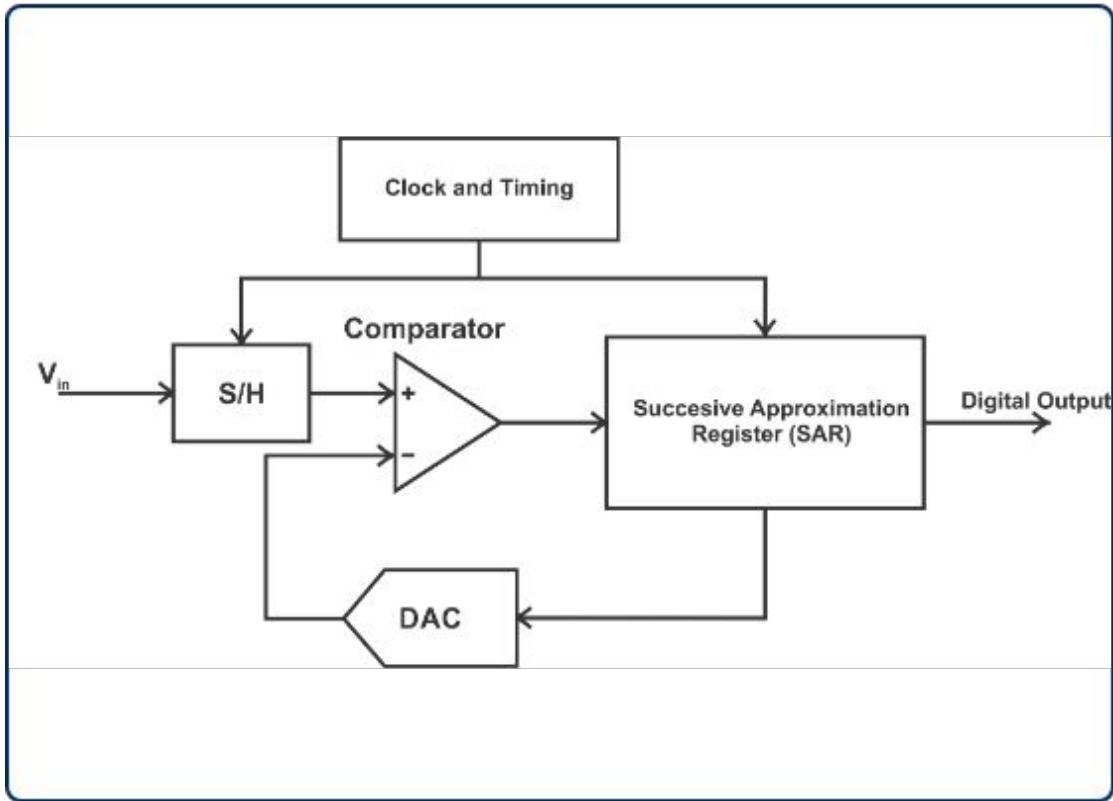
در این بخش، پارامترهای اصلی که در اثر کالیبراسیون بهبود می‌یابند را تحلیل می‌کنیم:

SFDR: میزان پاکی طیفی سیگنال در حضور هارمونیک‌ها.

SNDR: معیار اصلی برای سنجش نویز و اعوجاج کل.

ENOB: تعداد بیت‌های واقعی که ADC تحويل می‌دهد.

مروی بر معماری SAR ADC

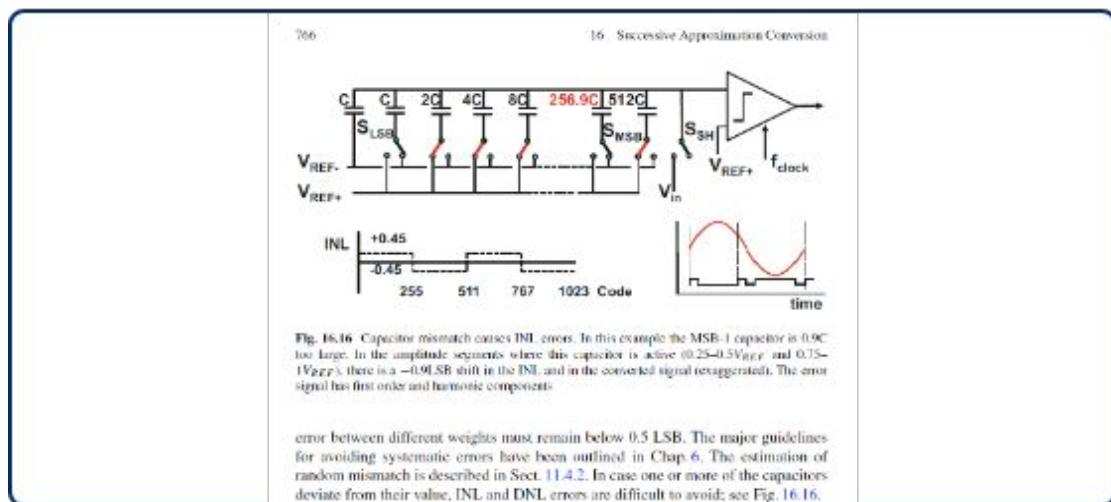


ساختار SAR ADC به دلیل استفاده حداقلی از قطعات آنالوگ (تنهای یک مقایسه‌گر) بسیار محبوب است:

- آرایه خازنی که به عنوان نمونه‌بردار و DAC عمل می‌کند. **CDAC**
- مقایسه ولتاژ ورودی با ولتاژ DAC. **Comparator**
- پیاده‌سازی الگوریتم Binary Search برای تعیین بیت‌ها. **SAR Logic**

مدل سازی ریاضی عدم تطابق خازنی

این انحراف از وزن ایدهآل باعث ایجاد خطأ در کدهای میانی شده و خطینگی (Linearity) (Mid-scale) سیستم را به شدت کاهش می‌دهد.



ΔW

در حالت ایدهآل، وزن هر خازن $w_i = 2^i$ است. اما به دلیل خطای ساخت:

$$V_{out} = \sum_{i=0}^{N-1} d_i \cdot (2^i + \Delta w_i)$$

منابع تولید خطا در تکنولوژی نانومتری



Dynamic Effects

تغییرات دما و ریپل ولتاژ مرجع که خطاهای غیرخطی مرتبه دوم ایجاد می‌کنند.



Parasitic Capacitance

اثرات پارازیتی مسیرهای فلزی (Routing) که وزن خازن‌ها را تغییر می‌دهند.

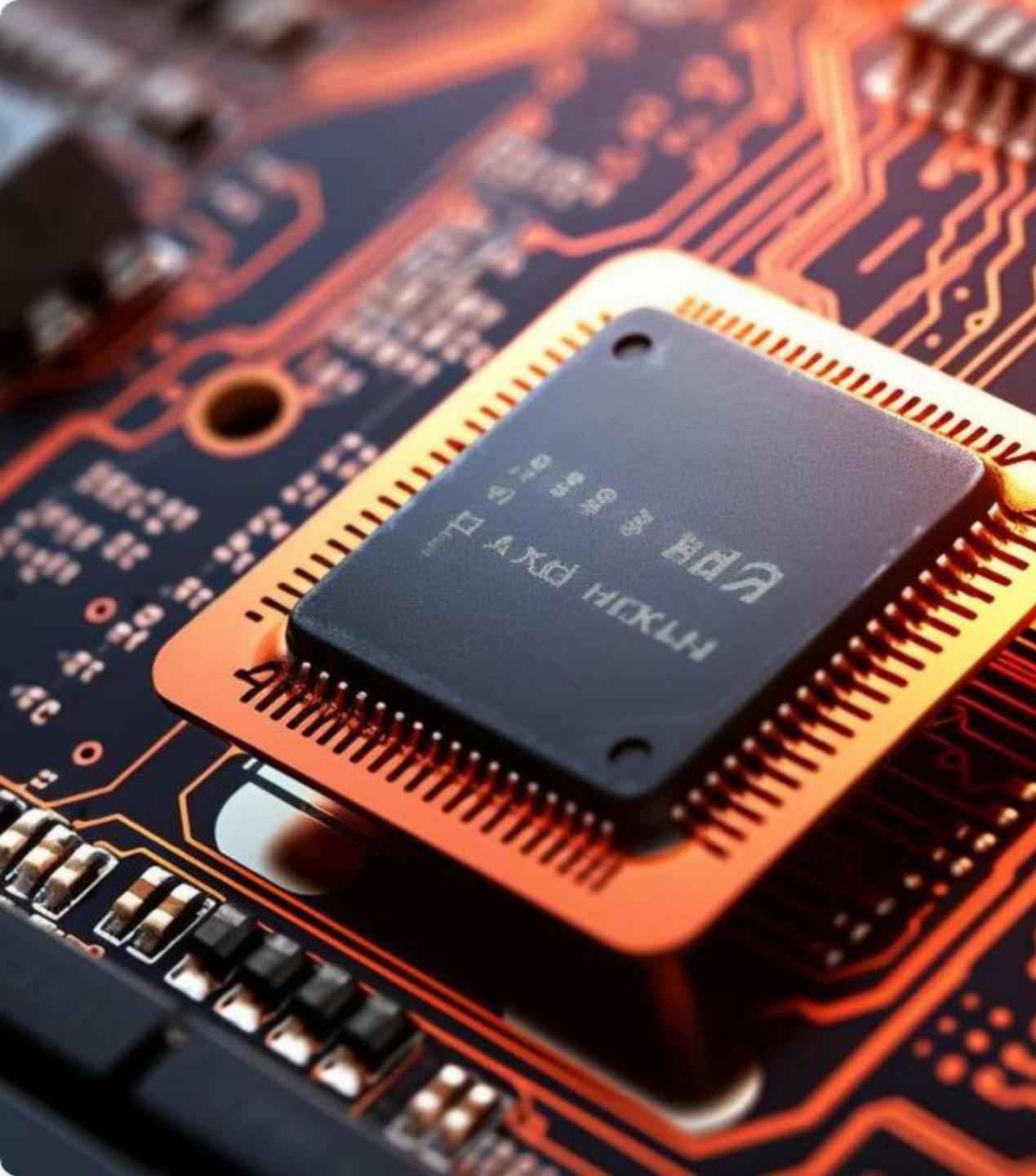


Process Variation

تغییرات لبه‌های خازن در لیتوگرافی که باعث عدم تطابق فیزیکی می‌شود.

مقایسه روش‌های کالیبراسیون

ویژگی	(کلاسیک) LMS روش	(پیشنهادی) ML روش
مدل‌سازی خط‌آغاز	فقط خطاهای خطی	خطاهای غیرخطی و مرتبه بالا
سرعت همگرایی	متوسط تا کند	بسیار سریع
(Blind) کالیبراسیون کور	دشوار و محدود	بسیار کارآمد
سربار محاسباتی	کم	متغیر (نیاز به بهینه‌سازی)



نگاشت معکوس با شبکه عصبی

هدف یادگیری ماشین، یادگیری تابع معکوس اعوجاج مدار است. شبکه عصبی کدهای نادقيق را در ورودی گرفته و با تخمین وزن‌های واقعی، مقدار دیجیتال صحیح را بازیابی می‌کند.

این فرآیند در پس زمینه (Background) انجام می‌شود، لذا ADC هرگز متوقف نمی‌شود.

کوانتیزاسیون: شبکه عصبی

6-bit

دقت بهینه برای کالیبراسیون آن-چیپ

برای پیاده‌سازی روی چیپ، نمی‌توان از اعداد ۳۲ بیتی استفاده کرد.
با تکنیک Quantization:

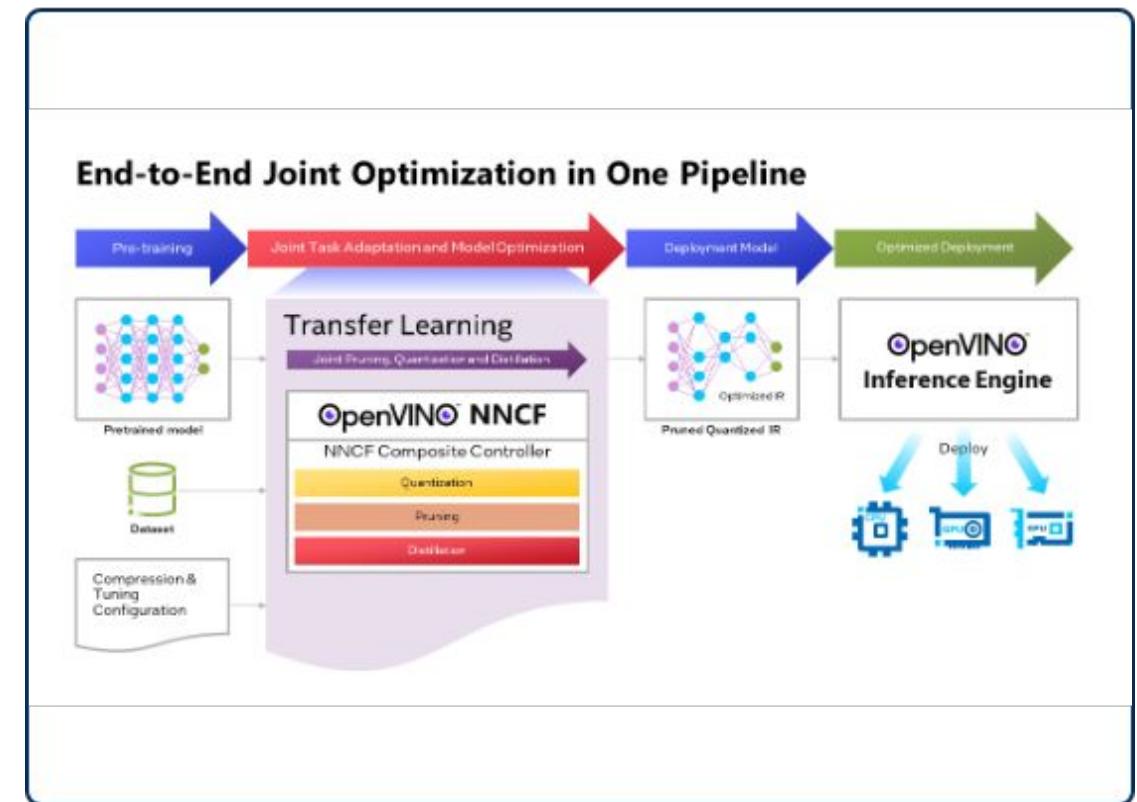
- ✓ تبدیل ضربکننده‌ها به Shift-and-Add.
- ✓ کاهش دقت وزن‌ها به ۴ الی ۶ بیت.
- ✓ صرفه‌جویی ۸۰ درصدی در توان مصرفی بخش دیجیتال.

و توابع فعال ساز (Pruning) هرس کردن

حذف یالهای غیرضروری

در کالیبراسیون ADC، بسیاری از اتصالات شبکه عصبی وزن نزدیکی به صفر دارند. با هرس کردن آنها:

- مساحت اشغال شده در سیلیکون کاهش می‌یابد.
- توابع پیچیده مانند ReLU و tanh با LUT جایگزین می‌شوند.



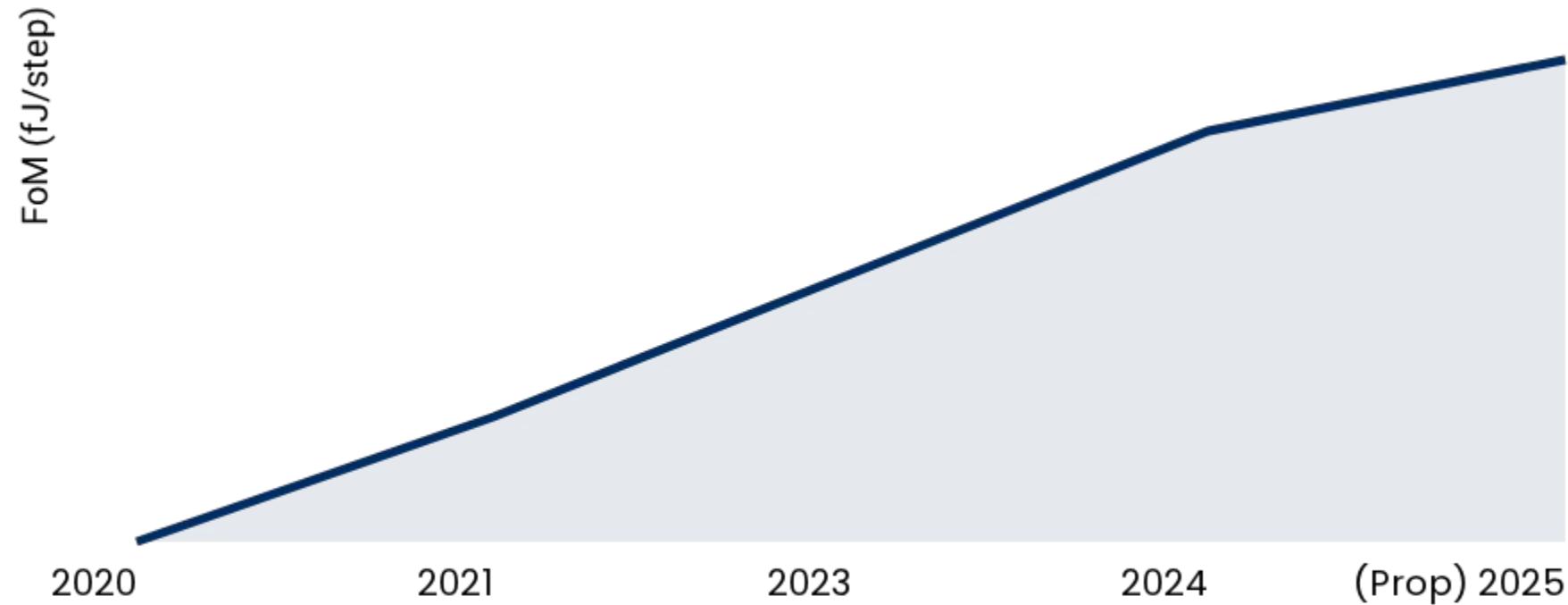
Walden FoM : بهره‌وری انرژی

هدف نهایی، کاهش توان مصرفی به ازای هر گام تبدیل است

$$FoM_W = \frac{\text{Power}}{2^{\text{ENO}B} \cdot f_s}$$

را به شدت بهبود می‌دهد ENOB ، کالیبراسیون هوشمند با افزایش

روند بهبود بهره‌وری در سال‌های اخیر

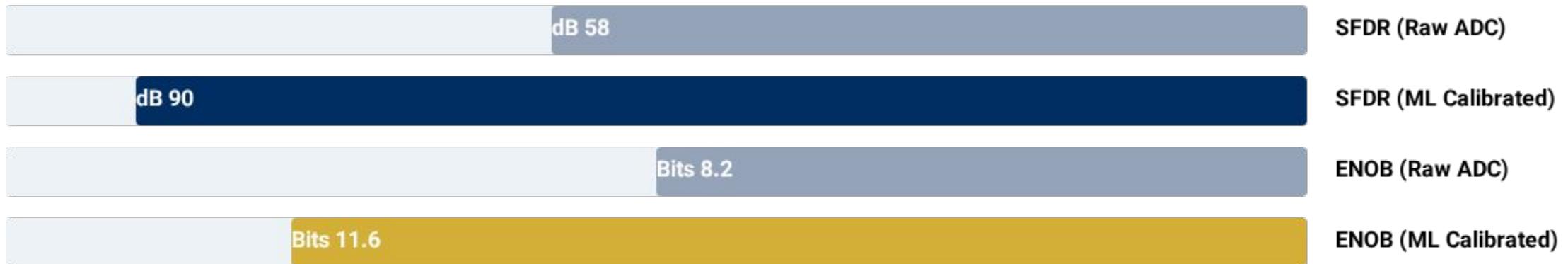


AI کاهش مداوم فمتوزول بر هر گام تبدیل با استفاده از

مطالعه موردی مقالات برتر (JSSC/IEEE)

مرجع	نوع معماري ML	تكنلوجى	SFDR بفبد
ISSCC 2024	RNN-based Background	5nm FinFET	+18 dB
JSSC 2025	Quantized MLP	28nm CMOS	+22 dB
IEEE Surveys	Hardware-Aware AI	Flexible	+25 dB

تحلیل نتایج قبل و بعد از کالیبراسیون



کالیبراسیون هوشمند باعث بازیابی بیش از ۳ بیت از دقت از دست رفته می‌شود.

نتیجه‌گیری و چشم‌انداز

کلیبراسیون ML تنها راهکار برای مدل‌سازی خطاهای پیچیده در تکنولوژی FinFET است.

رویکرد Hardware-Aware پیاده‌سازی روی چیپ را با توان بسیار پایین میسر کرده است.

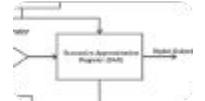
آینده طراحی مدارهای آنالوگ، به شدت با هوش مصنوعی گره خورده است.

با تشکر از توجه شما

منابع

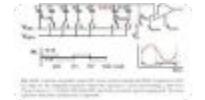
https://www.allaboutcircuits.com/uploads-thumbnails/SAR_ADC_architecture-applications-support_circuitry_featured.png

Source: www.allaboutcircuits.com



<https://preview.reddit.it/adc-inl-due-to-cap-mismatch-v0-d21snirffx5c1.png?width=907&format=png&auto=webp&s=c6f130093d37dc6907b713d38616d64760190ccd>

Source: www.reddit.com



<https://chipedge.com/resources/wp-content/uploads/2024/11/Blog-feature-Image-9.jpg>

Source: chipedge.com



https://miro.medium.com/0*zA-ZbyB-fu5gs--k.png

Source: medium.com

