



PONTIFÍCIA UNIVERSIDADE CATÓLICA DE SÃO PAULO
CENTRO DAS CIÊNCIAS EXATAS E TECNOLOGIA
CURSO: CIÊNCIA DA COMPUTAÇÃO
DISCIPLINA: DESCRIÇÃO DE SISTEMAS DIGITAIS
PROFESSORA: EDITH RANZINI

Medidor de Pulso

PETER THOMAS KIM
LEONARDO MALAMAN
VINICIUS SILVA

SÃO PAULO
2020

INTRODUÇÃO

Este documento tem o objetivo de descrever o desenvolvimento de um medidor de pulso que será desenvolvido na linguagem VHDL (Linguagem de descrição de hardware VHSIC "Very High Speed Integrated Circuits").

DESCRIÇÃO DO PROJETO

O projeto tem como finalidade a criação de um medidor de pulso, onde a entrada será fornecida pelo usuário pressionando um botão e a partir desse momento, começa a contar o tempo até que o usuário solte o botão, conforme a quantidade de segundos que o botão se manteve pressionado, a saída vai ser quantos *clocks* foram registrados nesse período.

ELABORAÇÃO DO PROJETO

O projeto foi elaborado em um esquema de abordagem top-down. Onde em primeiro lugar se foi discutido com o grupo quais processos deveríamos implementar, depois iniciamos a modelagem.



Transação de Estados – Figura 1

UNIDADE DE CONTROLE

Seguindo a imagem da figura 1, utilizamos 3 estados para mapear os estados das ações. O primeiro estado aguarda o usuário pressionar o botão, quando é pressionado parte imediatamente para o segundo estado onde se registra o tempo em pulsos em clocks e quando o botão deixa de ser pressionado é mostrado o tempo em intervalos de clocks.

O reset pode ser acionado a qualquer momento e fará com que restabeleça todos os estados.

A entrada é o sinal que irá iniciar a contagem dos pulsos de clocks. A saída é o tempo em pulsos, em clocks que o botão ficou pressionado.

FLUXO DE DADOS

1 pulsobotao, 1 contador e 1 pulso (em forma de botão).

Contador:

Contar a soma do pulso em clock

Pulso:

Função do botão

pulsobotao:

Transforma o pulso em clocks

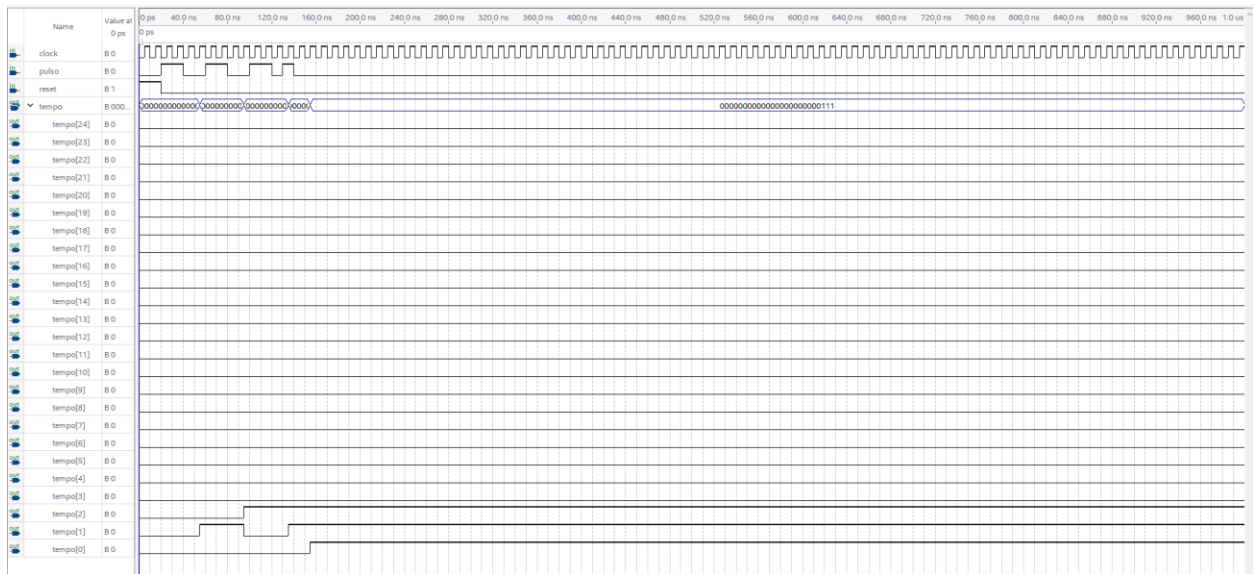
SISTEMA DIGITAL



Figura 2

UC (pulsobotao:div) recebe o pulso do botão, gera sinal para o FD (contador:cnt), que são para inicializar o contador e a saída do FD. Todos recebem o reset e clock.

TESTBENCH



<https://imgur.com/a/gnHnQIS> (Se a imagem estiver ruim par a visualização, o link para a imagem na escala real)

RESULTADOS

Os resultados obtidos com a elaboração do projeto foram, vários diagramas do projeto, modelo em código vhdl e o modelo funcional do projeto.

Os resultados não foram muito satisfatórios pois não podemos desenvolver realmente um aparelho que mostre no display o tempo que o botão foi pressionado. Porem foi satisfatório o fato de o código não apresentar erros.

CONCLUSÃO

Nosso grupo aprendeu como esquematizar projeto em vhdl, quais abordagens utilizar, desconstruir o problema em estágios: fluxo de dados, transação de estados, diagrama de blocos. Montar o testbench para realização de testes.

REFERÊNCIAS

https://moodle.pucsp.br/pluginfile.php/10794/mod_resource/content/1/Pinagem%20Basys%202.pdf