

# PLD's

## DISPOSITIVOS LOGICOS PROGRAMABLES

*Una alternativa en el Diseño de  
Sistemas Digitales.*

# Introducción

- ↓ La realidad del diseño lógico actual
  - *Complejidad creciente*
  - *Tiempos menores de introducción al mercado*
  - *Disminución costos*
  
- ↓ Las exigencias que plantea son
  - *Confiabilidad*
  - *Accesibilidad para pruebas*
  
- ↓ La meta principal es
  - *Contar con una solución de uso universal*

# Beneficios de una solución universal

- ↓ Fácil adaptabilidad a cambios de diseño
  - *Aumento de la vida comercial útil del producto*
- ↓ Mayor desempeño
  - *Rápido, pequeño, confiable y fácil de armar*
- ↓ Mejora en cuanto al aprovechamiento de los recursos de ingeniería
  - *Menor costo de desarrollo*

## Posibles soluciones

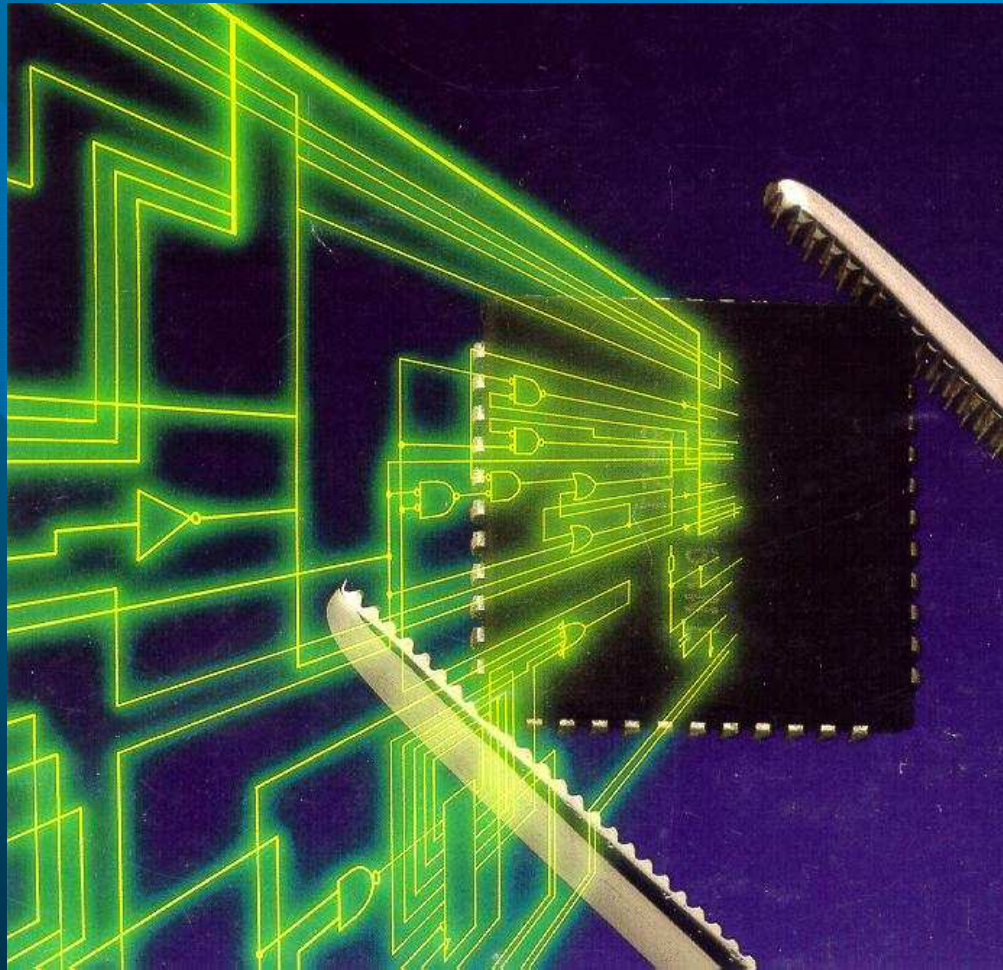
- ↓ Se pueden usar CHIPS estándar
  - *Pocos transistores ( $<100$ )*
  - *Funciones simples y fijas*
  - *Los diseños ocupan mucho espacio en circuito impreso*
- ↓ Dispositivos lógicos programables
  - *Muchos transistores ( $\approx 500$  millones en FPGA's)*
  - *Funciones complejas y configurables por el usuario mediante programación*
  - *Los interruptores programables limitan la velocidad la rapidez de los circuitos implementados.*



## Posibles soluciones

- ↓ Chips diseñados a la medida (ASIC-Application-specific integrated circuits)
  - *Son más rápidos por lo que el desempeño del circuito aumenta*
  - *Se pueden tener más circuitos lógicos*
  - *El costo de producir estos chips es elevado*
  - *Se requiere una area menor de circuito impreso*
  - *EL tiempo de fabricación es grande*

## ¿ Qué es un PLD ?



*Es un circuito integrado que contiene una gran cantidad de elementos lógicos y a través de la programación se interconectan para que realicen una función específica.*

# ¿ Qué es un PLD ?

## Conceptos Fundamentales

La fabricación de los dispositivos de lógica programable se basa en los siguientes conceptos:

Funcionalidad completa: se fundamenta en el hecho de que cualquier función lógica se puede realizar mediante suma de productos.

Celdas de Funciones Universales: también se denominan generadores de funciones, y que son bloques lógicos configurados para procesar cualquier función lógica, similares en su funcionamiento a una memoria. En estas celdas se almacenan los datos de salida del circuito combinacional en vez de implementar físicamente la ecuación booleana.



## ¿ Qué es un PLD ?

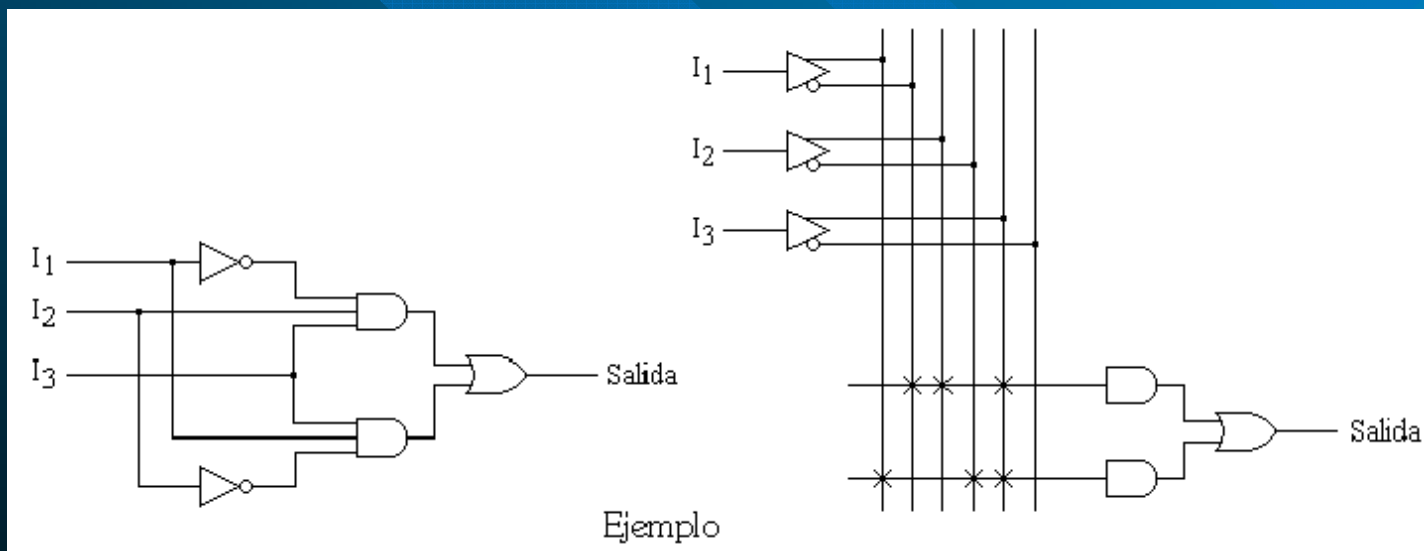
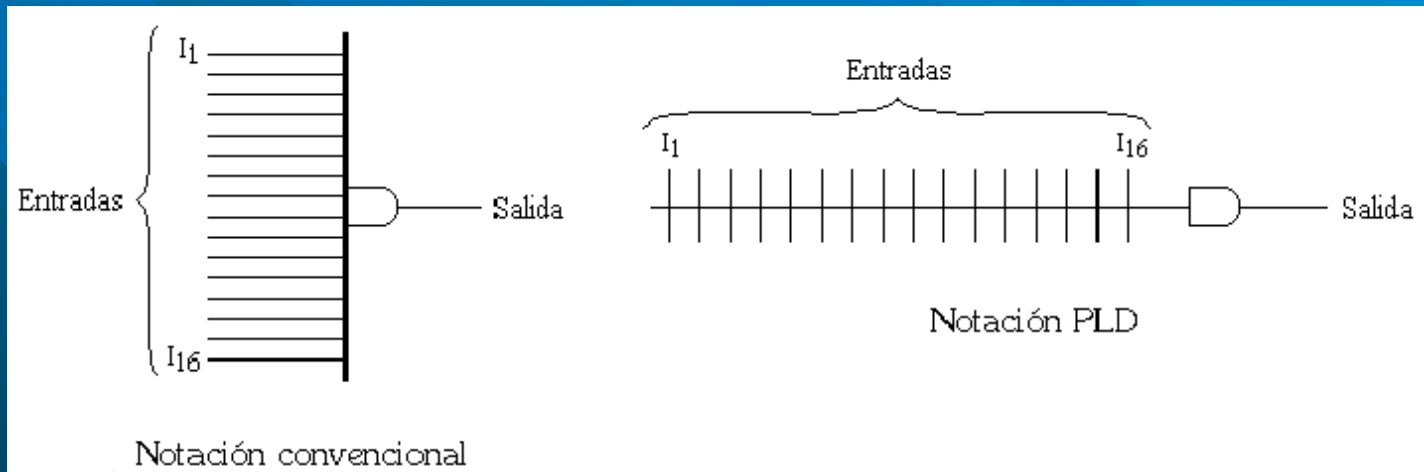
Un Dispositivo Lógico Programable o PLD, es un dispositivo cuyas características pueden ser modificadas y almacenadas mediante programación.

El dispositivo programable más simple es el PAL (Programmable Array Logic), cuyo circuito interno consiste de una matriz de conexiones de compuertas AND y un arreglo de compuertas OR.

Una matriz de conexiones es una red de conductores distribuidos en filas y columnas con un fusible en cada punto de intersección, mediante el cual se seleccionan cuáles entradas del dispositivo serán conectadas al arreglo AND y cuyas salidas, a su vez, se envían al arreglo OR, para obtener una función lógica en forma de suma de productos.



# Notación convencional y notación PLD

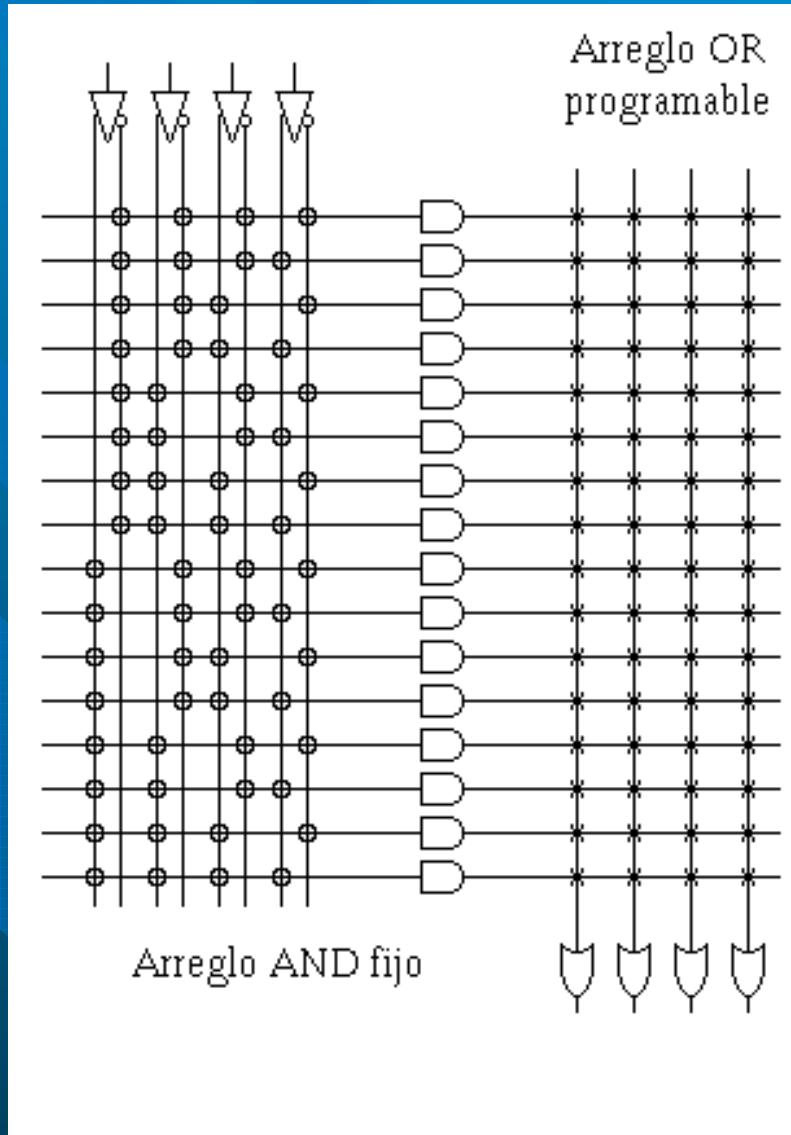


# Configuraciones básicas



# Configuración PLE/PROM

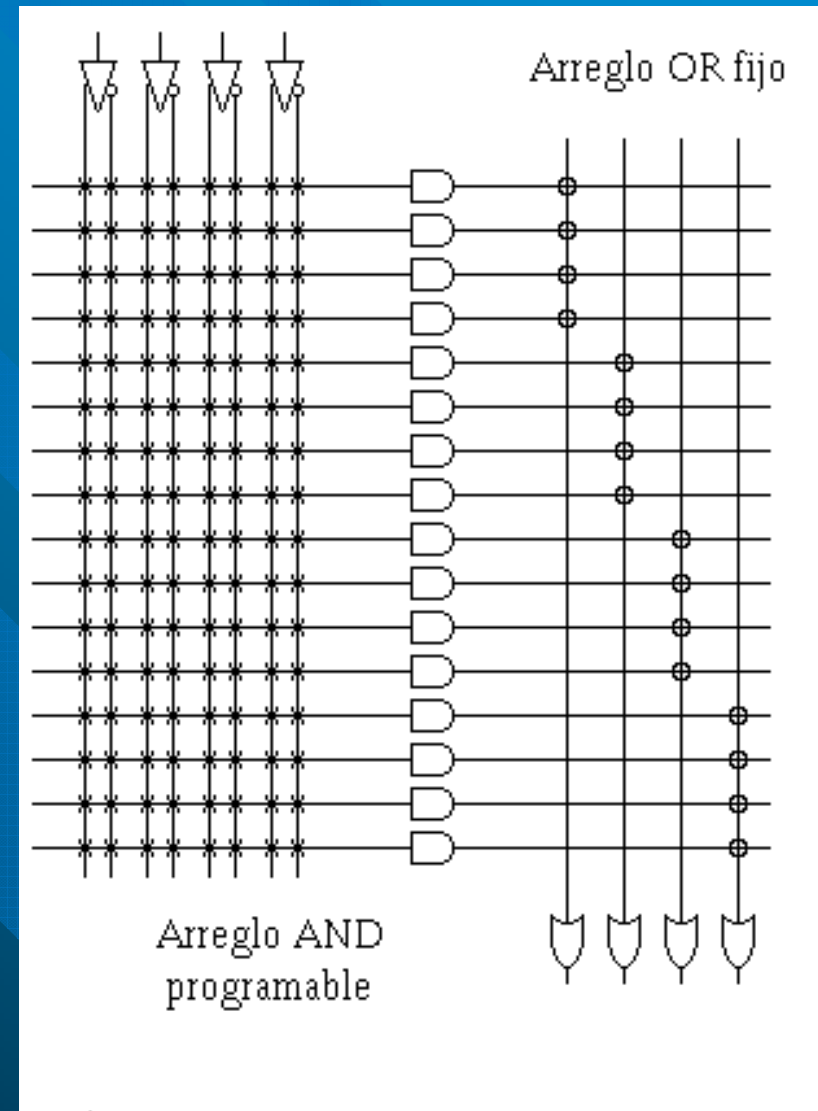
PLE (Programmable Logic Element) : no se utiliza como un dispositivo lógico, sino como una memoria direccionable, debido a las limitaciones que presenta con las compuertas AND fijas.





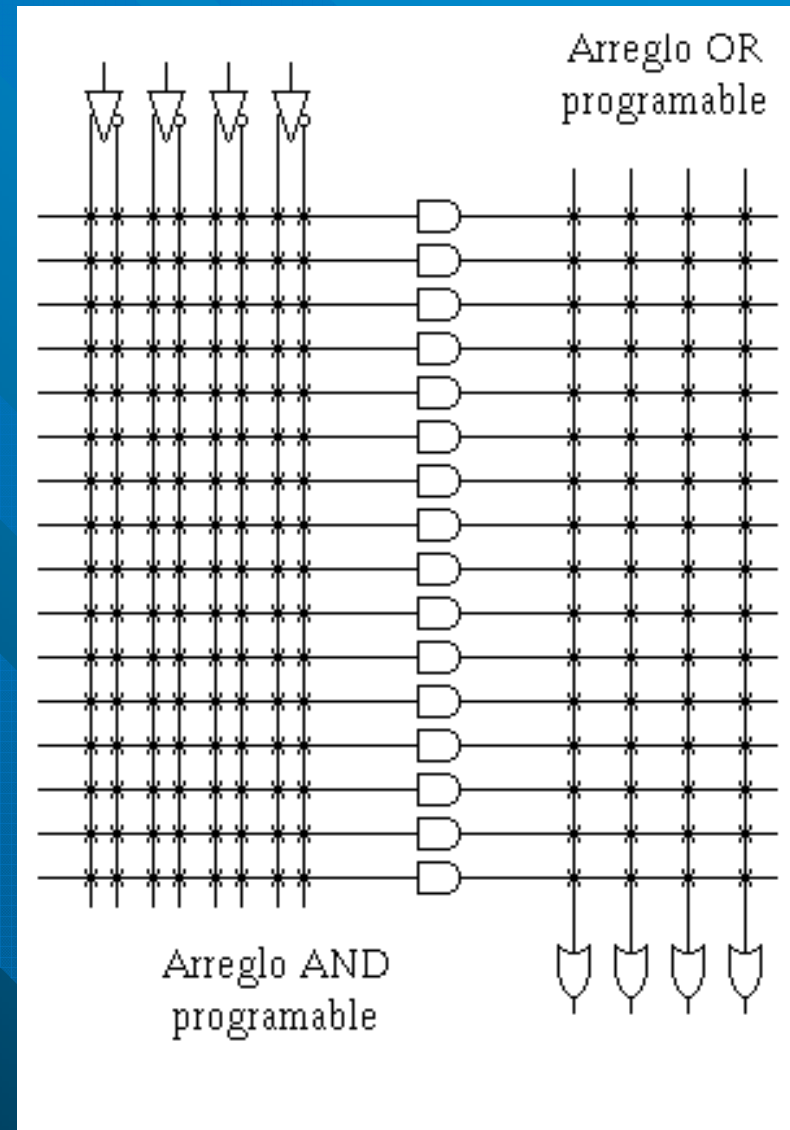
# Configuración PAL

PAL (Programmable Array Logic): se desarrolló para superar algunas limitaciones del PLA, como retardos provocados por la implementación de fusibles adicionales, que resultan de la utilización de dos arreglos programables y de la complejidad del circuito.



# Configuración PLA

PLA (Programmable Logic Array): éste se desarrolló para superar las limitaciones de la memoria PROM. Este dispositivo se llama también FPLA (Arreglo Lógico Programable en Campo), ya que es el usuario quien lo programa, no el fabricante.



# Clasificación de los PLD's

## Productos comerciales

PLD's

SPLD's

CPLD's

FPGA's

Fabricante	SPLD
Altera	Clásicos, FLASHLogic
Atmel	PAL
Cypress	PAL
Lattice	GAL
Philips	PLA, PAL
Vantis	PAL

Fabricante	CPLD
Altera	MAX 5000, 7000 Y 9000
Atmel	ATF, ATV
Cypress	FLASH370, ULTRA37000
Lattice	IspLSI 1000 a 8000
Philips	XPLA
Vantis	MACH 1 a 5
Xilinx	XC9500, CoolRunner

Fabricante	FPGA
Actel	ACT 1 a 3 , MX, SX
Altera	FLEX 6000, 8000 Y 10K
Atmel	AT6000, AT40K
Lucent	ORCA 1 a 3
QuickLogic	pASIC1 a 3
Vantis	VF1
Xilinx	XC4000, Virtex, Spartan



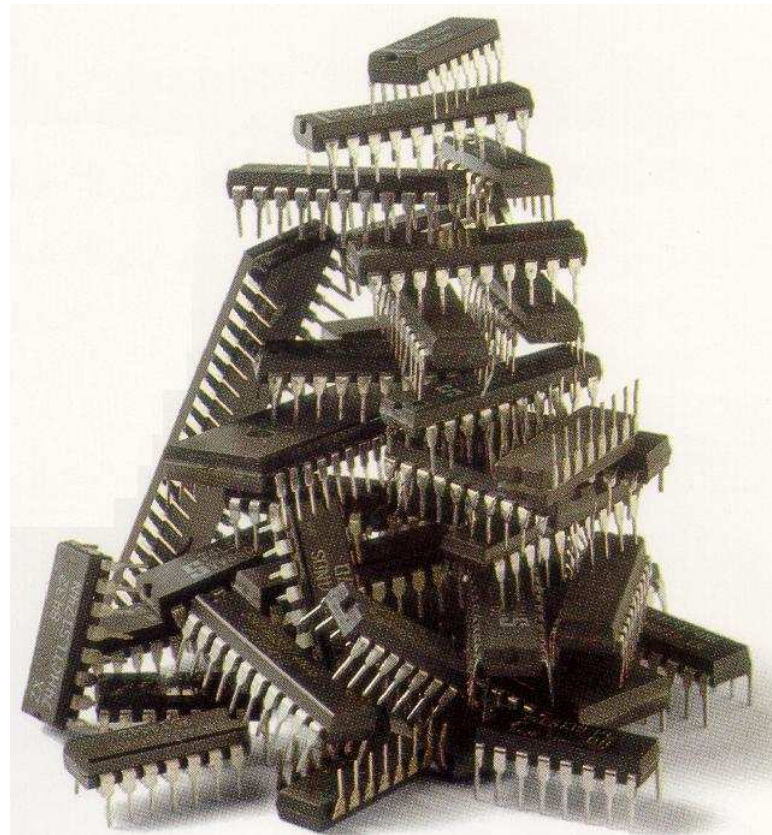
# Integración en un SPLD

Sustituye a 100 C.I. SSI  
TTL o CMOS



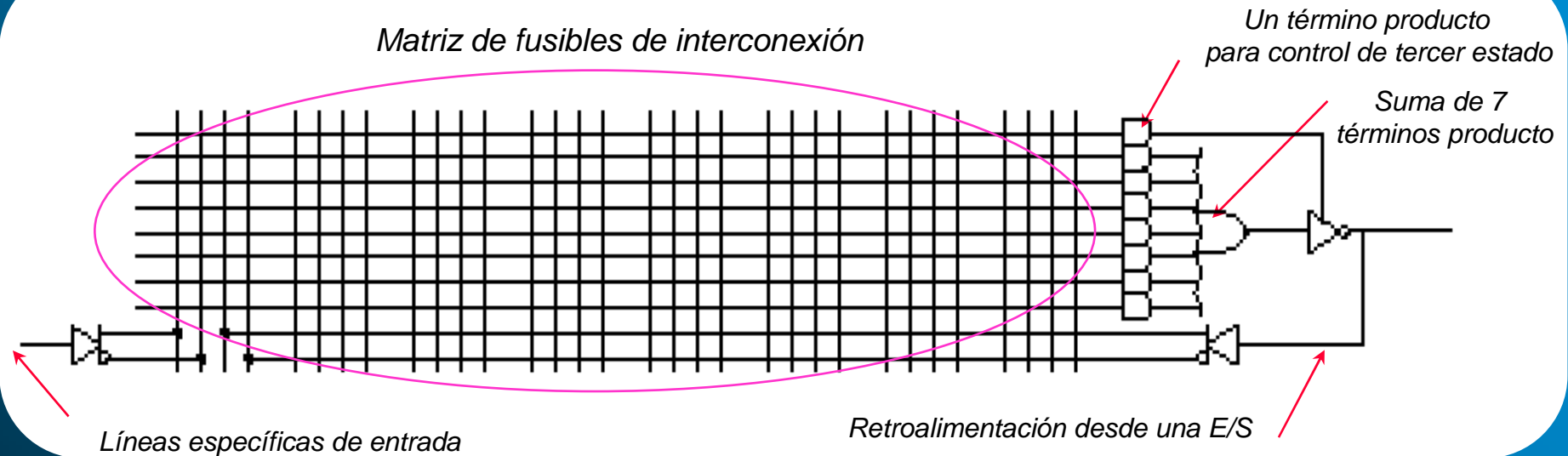
PAL's ó GAL's

*Soy un SPLD*



C.I. Series 74xx y 40xx

# Arquitectura PAL



## ↓ La Esquema circuital de un PAL

- Se cuenta a lo largo de **TODO EL CHIP** con los *literales* de todas las variables de entrada (la variable y la variable negada)
- Mediante lógica cableada es posible generar *términos producto* (**AND**) de la cantidad de *literales* que se desee
- Para generar la función sólo es posible sumar (**OR**) hasta 7 u 8 *términos producto*

# PAL16L8

64 AND de 32 entradas

8 OR de 7 entradas

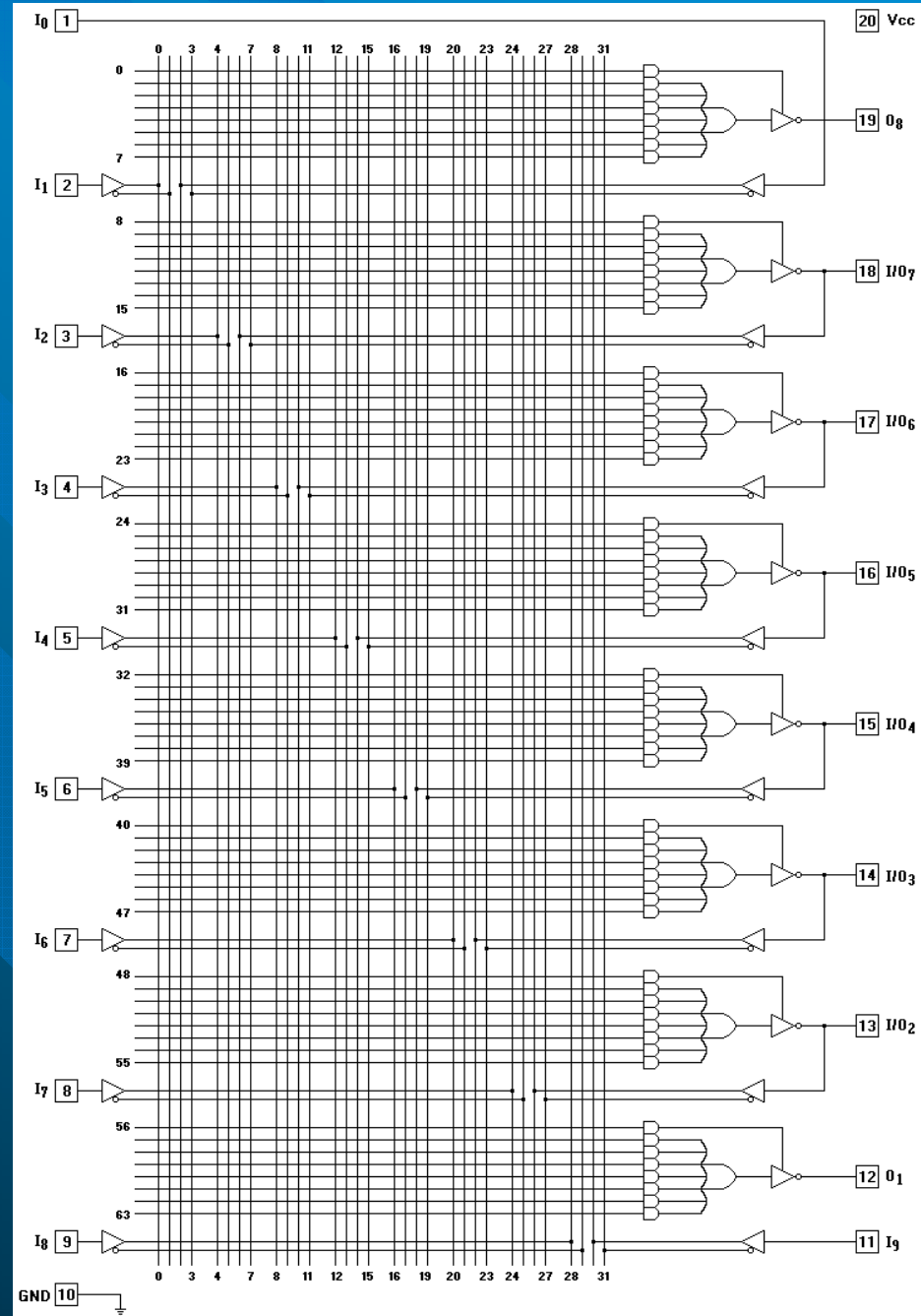
8 Inversores de tercer estado

16 Buffers doble salida

Aproximadamente :

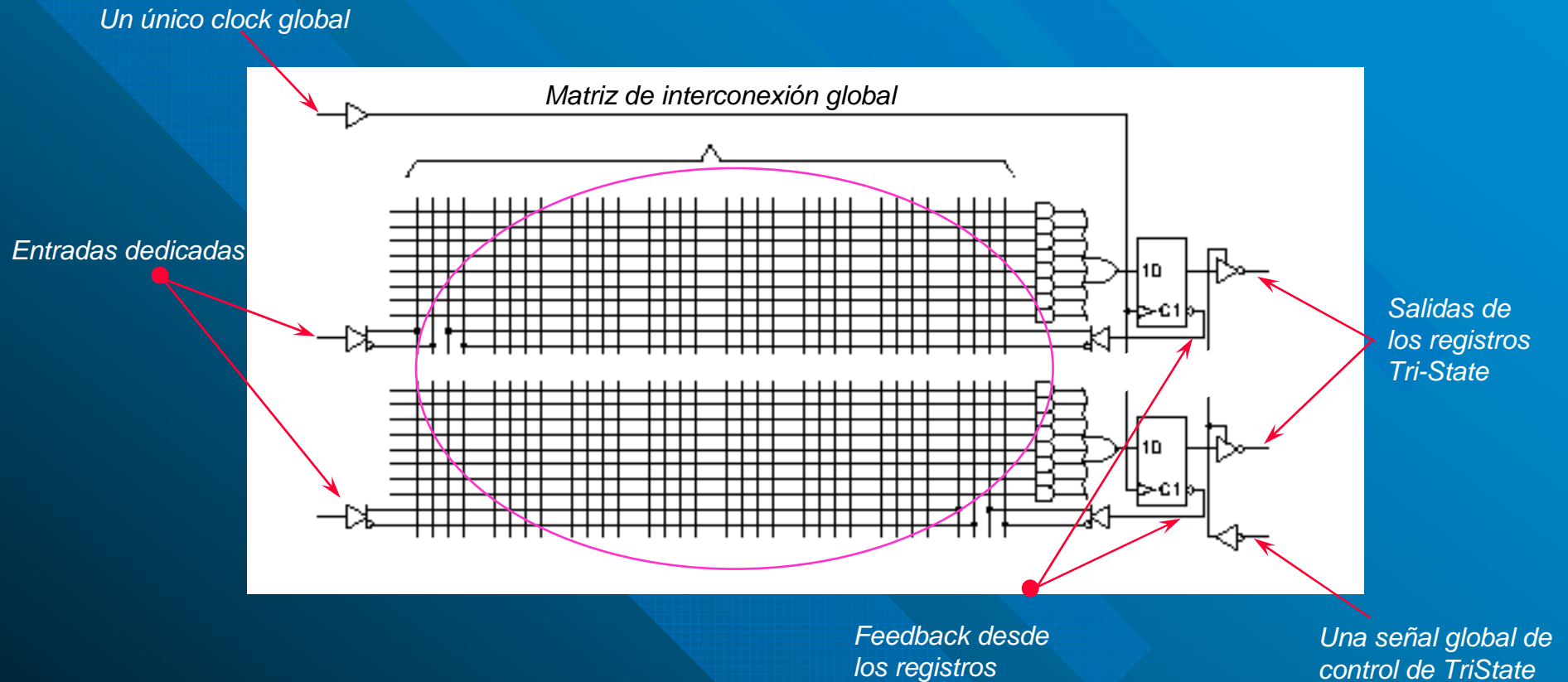
200 C.I. SSI (TTL o CMOS)

serie 74xx o 40xx





# PAL16R8



- ↓ Incorporación de elementos de memoria
- Ideal para la síntesis de máquinas secuenciales

# Arreglo Lógico Genérico (GAL)

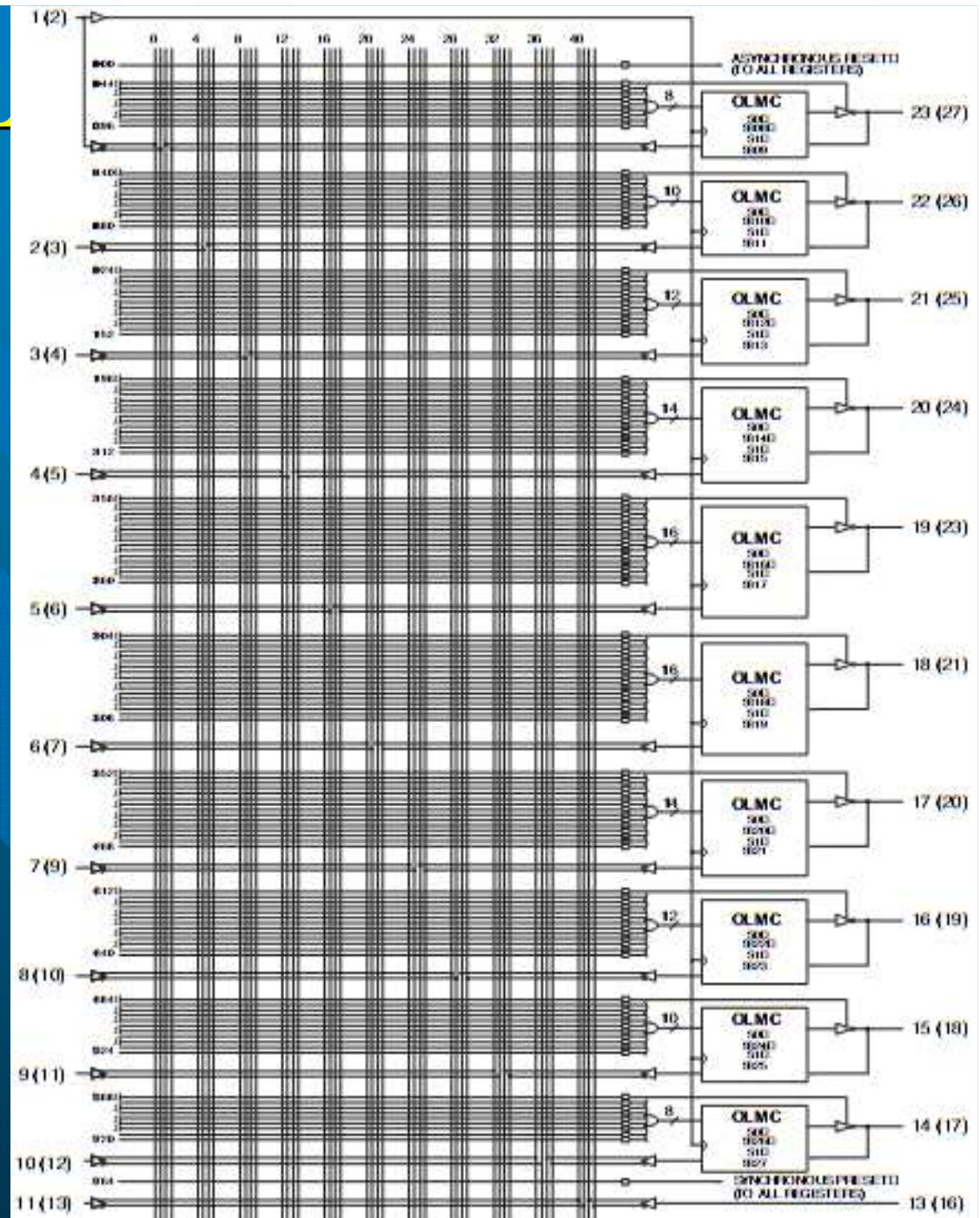
El Arreglo Lógico Genérico (GAL) es similar al PAL, ya que se forma con arreglos AND programables y OR fijo, con una salida lógica programable. La principal diferencia entre los GAL y PAL radica en la macrocelda configurable de salida de las GAL

# Arquitectura GAL

- Incorpora macroceldas lógicas de salida OLMC (Output Logic Macrocell)
- Modelos:
  - GAL16V8
  - GAL20V8
  - GAL22V10
  - GAL26V12

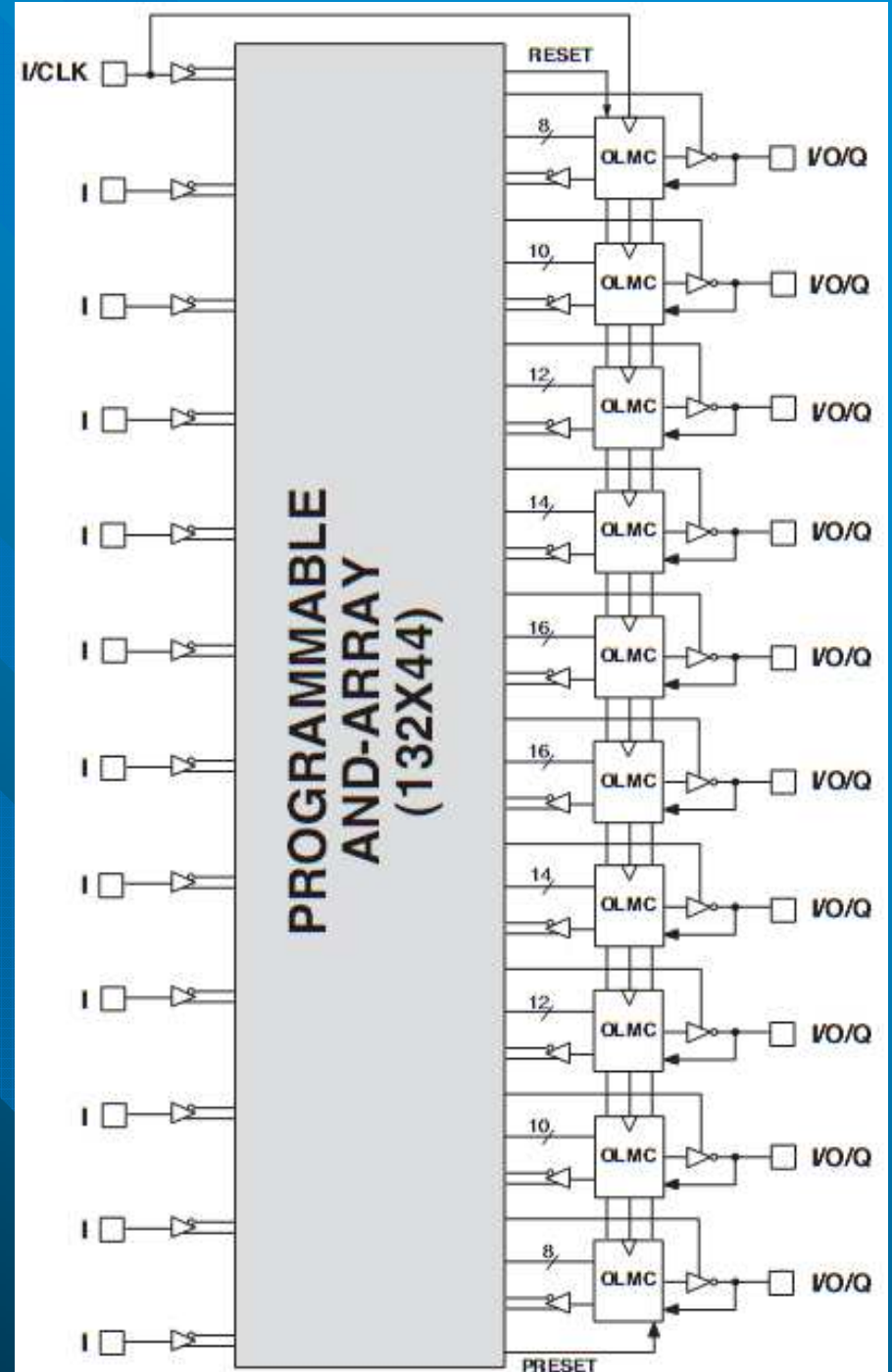
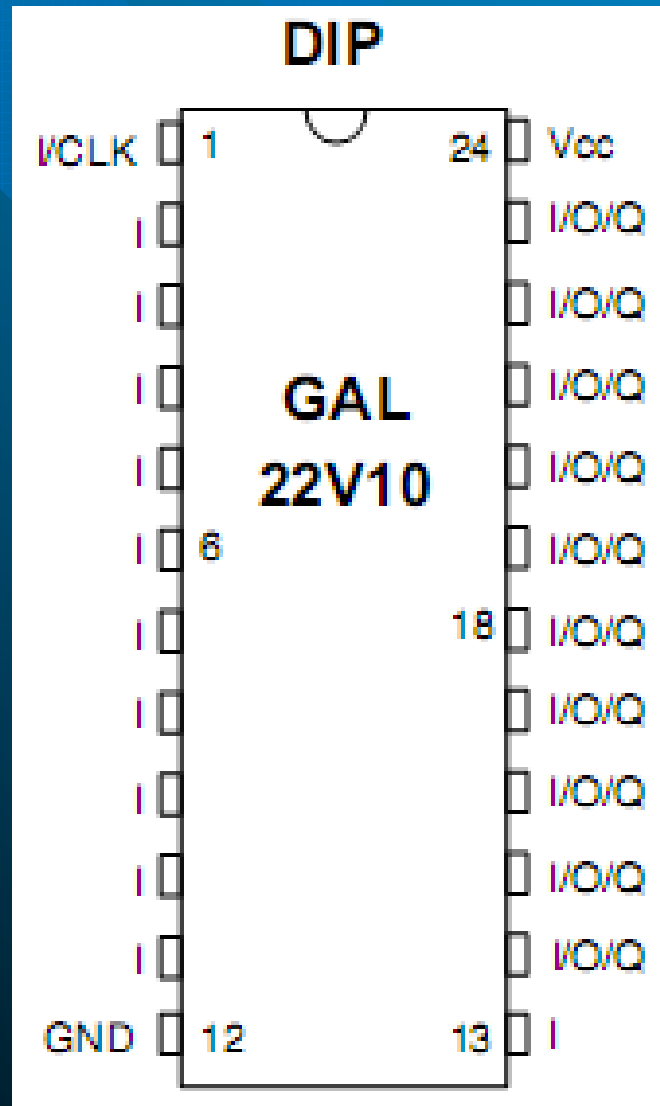
## # de pines I/O

## # de macroceldas

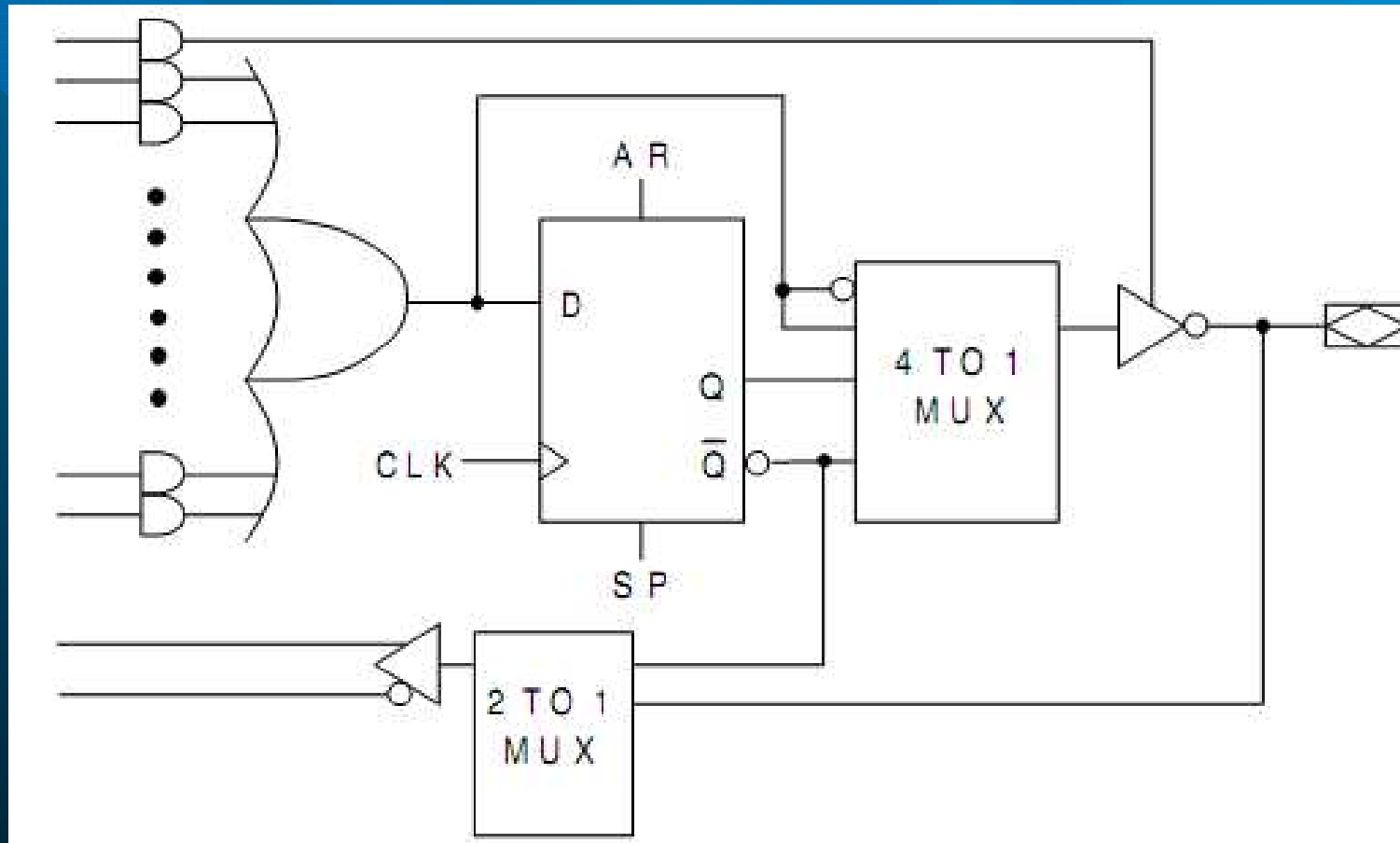




# Arquitectura GAL22V10



# Arquitectura GAL22V10



# Arquitectura GAL22V10

Características principales de la macrocelda:

- Se tiene un término producto para el reset asíncrono (AR) y otro para el preset síncrono (SP).
- La señal de reloj (CLK) esta conectada al pin 1 de la GAL.
- Todos los FF's funcionan en flanco de subida del CLK.
- Estas señales (AR,SP,CLK) son comunes a todos los FF's de las macroceldas.
- Cada macrocelda tiene un término producto para el control de salida con el buffer de tercer estado.

# Arquitectura GAL22V10

- Se tiene un # variable de términos producto por cada macrocelda de salida

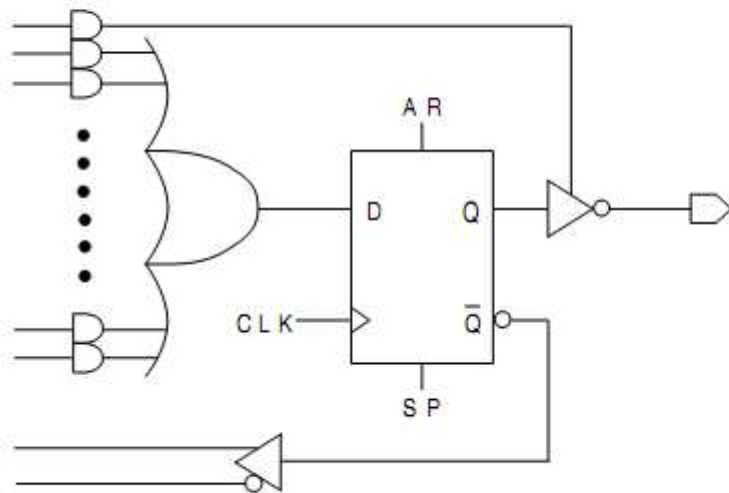
Pin de salida	# de términos producto
23	8
22	10
21	12
20	14
19	16
18	16
17	14
16	12
15	10
14	8



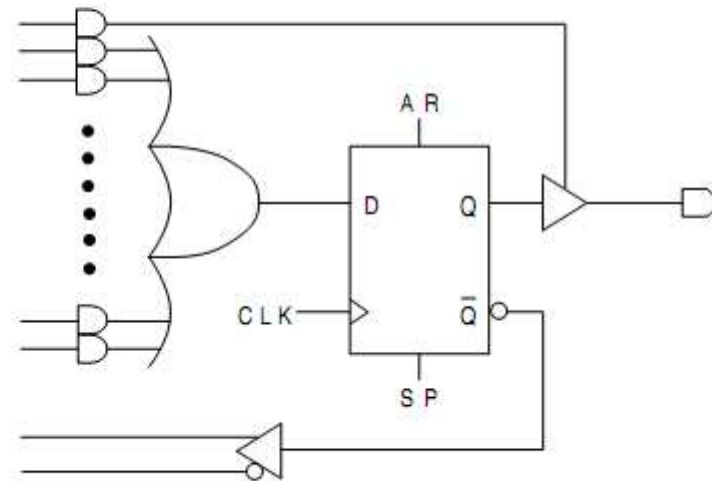
# Arquitectura GAL22V10

- Cada macrocelda tiene dos modos de funcionamiento primario: registrado y combinatorio.

## Registered Mode



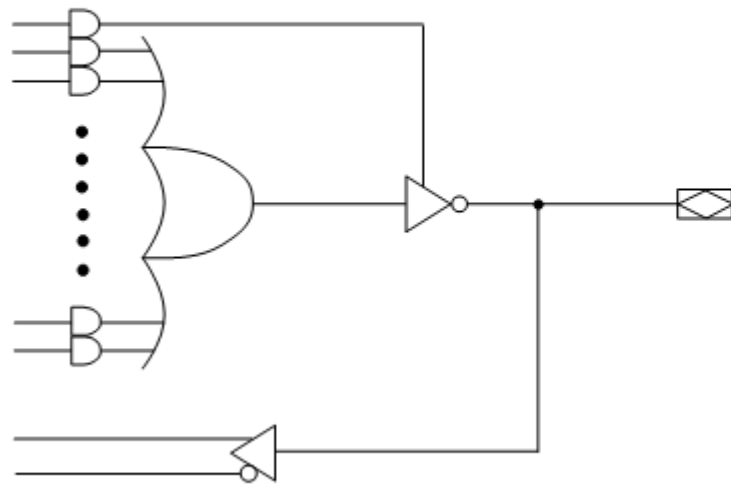
ACTIVE LOW



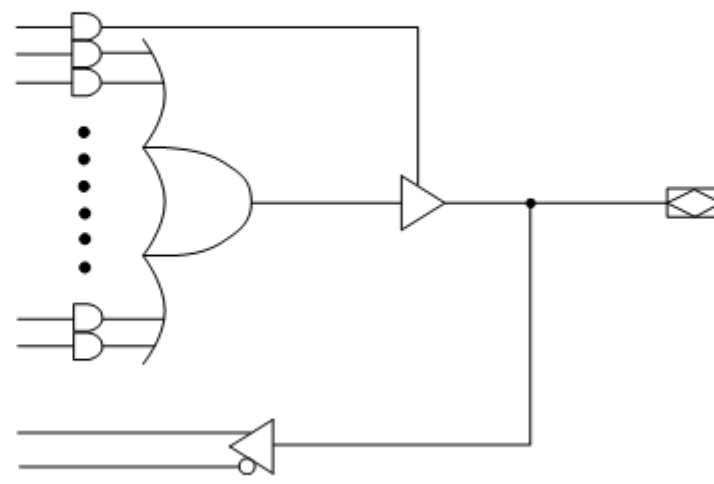
ACTIVE HIGH

# Arquitectura GAL22V10

## Combinatorial Mode



ACTIVE LOW



ACTIVE HIGH

# Limitaciones de los SPLD

- ↓ Reducida cantidad de macroceldas.
- ↓ La exigencia de optar entre la retroalimentación desde la macrocelda o desde la entrada fuerza que ante la necesidad de un flip-flop o de un término lógico intermedio a veces se deba perder una posible terminal de entrada/salida.
- ↓ La distribución de todas las señales por todo el chip consume mucha superficie del silicio y genera retardos capacitivos de importancia.
- ↓ En los primeros PAL, el uso de fusibles afectaba seriamente la confiabilidad del dispositivo.