



INSTITUTO POLITÉCNICO NACIONAL

SECRETARÍA ACADÉMICA

DIRECCIÓN DE EDUCACIÓN SUPERIOR

PROGRAMA SINTÉTICO

UNIDAD ACADÉMICA: ESCUELA SUPERIOR DE COMPUTO.

PROGRAMA Ingeniería En Sistemas Computacionales

ACADÉMICO:

UNIDAD DE APRENDIZAJE: Diseño de Sistemas Digitales

NIVEL: II

OBJETIVO GENERAL:

Conocer y aplicar los elementos de diseño secuencial de los sistemas digitales usando los lenguajes de descripción de hardware en dispositivos lógicos programables.

CONTENIDOS:

- I. Flip-Flop's y Registros.
- II. Memorias.
- III. Diseño de Sistemas Secuenciales.
- IV. Contadores.
- V. Maquina de estado algorítmica

ORIENTACIÓN DIDÁCTICA:

Se utilizará la metodología del aprendizaje grupal, la cual requiere la participación activa y constante de los alumnos en la búsqueda, lectura y análisis de la información que posibilite la integración de los aspectos teóricos y prácticos.

EVALUACIÓN Y ACREDITACIÓN:

- Asistencia a clases teóricas
- Asistencia en clases prácticas
- Exámenes exploratorios
- Registro de tareas
- Registro de participación en clase
- Entrega de prácticas de laboratorio
- Registro de proyecto final

BIBLIOGRAFÍA:

Brown, Stehhen. Fundamentos de lógica digital con diseño VHDL. Mc Graw Hill Interamericana Editores. México, 2006, Segunda Edición, 933 pags. ISBN 970-10-5609-4.

Morris Mano, M. Diseño digital. Pearson Prentice Hall Editores. México, 2003, Tercera Edición, 511 pags. ISBN 970-26-0438-9.

Pedroni, Volnei A. Circuit desing with VHDL. MIT Press Edition. Cambridge, Massachusetts, 2004, 363 pags. ISBN 0-262-16224-5.

Perry, Douglas L. VHDL programming by example. Mc Graw Hill Edition. USA, 2002, Cuarta Edición, 476 pags. ISBN

Tocci, Ronald J. Sistemas digitales principios y aplicaciones. Pearson. México, 2007, Decima Edición, 939 pags. ISBN 970-26-0970-4.



INSTITUTO POLITÉCNICO NACIONAL

SECRETARÍA ACADÉMICA

DIRECCIÓN DE EDUCACIÓN SUPERIOR

UNIDAD ACADÉMICA: Escuela Superior de Computo.

PROGRAMA ACADÉMICO: Ingeniería en Sistemas Computacionales.

PROFESIONAL ASOCIADO: Analista Programador de Sistemas de Información.

ÁREA FORMATIVA: Profesional

MODALIDAD: Presencial

UNIDAD DE APRENDIZAJE: Diseño de Sistemas Digitales

TIPO DE UNIDAD DE APRENDIZAJE: teórico - práctica, obligatoria.

VIGENCIA:

NIVEL: II.

CRÉDITOS: SATCA.

PROPÓSITO GENERAL

Competencias que conforman la Unidad de Aprendizaje:

- Conocer los elementos de los sistemas digitales secuenciales
- Desarrollar la habilidad de diseñar sistemas lógicos secuenciales
- Capacidad de trabajo en equipo
- Capacidad de síntesis de problemas
- Capacidad para resolver problemas

Relaciones con otras unidades de aprendizaje:

- Vertical
 - Fundamentos de diseño digital
 - Arquitectura de computadoras

OBJETIVO GENERAL

Conocer y aplicar los elementos de diseño secuencial de los sistemas digitales usando los lenguajes de descripción de hardware en dispositivos lógicos programables.

TIEMPOS ASIGNADOS

HORAS TEORÍA/SEMANA:3.0

HORAS PRÁCTICA/SEMANA:1.5

HORAS TEORÍA/SEMESTRE: 54

HORAS PRÁCTICA/SEMESTRE:27

HORAS TOTALES/SEMESTRE:81

UNIDAD DE APRENDIZAJE DISEÑADA

Diseño de Sistemas Digitales **POR:**
Academia de Sistemas Digitales

REVISADA POR: Subdirección Académica

APROBADA POR:

Consejo Técnico Consultivo Escolar.
(Anotar la fecha de la reunión en la que se aprobó)
Nombre y Firma del Presidente del CTCE.
Sello de la UA

AUTORIZADO POR: Comisión de Programas Académicos del Consejo General Consultivo del IPN.

(Anotar la fecha de la reunión del Consejo General Consultivo, en la que se sometió a su aprobación por el pleno)

Nombre y firma del Secretario Técnico de la Comisión de Programas Académicos
Sello Oficial de la DES

N° UNIDAD TEMÁTICA: I		NOMBRE: Flip-Flop's y registros				
OBJETIVO PARTICULAR						
Conocer e implementar los distintos tipos de Flip-Flop's, así como las diferentes configuraciones usadas para crear registros con distintas funciones, para el diseño lógico secuencial.						
No.	CONTENIDOS	HORAS AD Actividades de docencia (a)		HORAS TAA Actividades de Aprendizaje Autónomo (b)		CLAVE BIBLIOGRÁFICA
		T	P	T	P	
1.1	Latch S-R, J-K, T, D	0.5		0.5		1B, 2B, 5B
1.2	Flip-Flop S-R, J-K, T, D	1.0		1.0		1B, 2B, 5B
1.2.1	Tiempos importantes en los Flip-Flops					
1.2.2	Conversión entre Flip-Flop's					
1.3	Representación de Flip-Flop's con HDL	0.5		0.5		1B, 2B, 5B
1.4	Definición y clasificación de los registros	1.5		1.5		1B, 2B, 5B
1.4.1	Registros entrada serial salida serial					
1.4.2	Registros entrada serial salida paralela		0.5		1.0	
1.4.3	Registros entrada paralela salida serial		0.5		1.0	
1.4.4	Registros entrada paralela salida paralela		0.5		1.0	
1.5	Control de carga síncrona en los registros	0.5		0.5		1B, 2B, 5B
1.6	Control de carga asíncrona en los registros	0.5		0.5		1B,2B,3B,4B
1.7	Diseño de registros con HDL	0.5		0.5		1B,2B,3B,4B
1.8	Registro barrel shifter y diseño con HDL	0.5		0.5		1B,2B,3B,4B
1.9	Aplicaciones con registros	1.5		1.5		1B,2B,3B,4B
	Subtotales por Unidad temática*:	7.0	1.5	7.0	3.0	
ESTRATEGIAS DE APRENDIZAJE						
<ul style="list-style-type: none"> Indagación previa de los temas a tratar en cada clase Exposición de diferentes conceptos de acuerdo al tema tratado Solución de problemas referentes a los temas expuestos Participación en clases Realización de tareas Realización de prácticas 						
EVALUACIÓN DE LOS APRENDIZAJES						
<ul style="list-style-type: none"> Alumno <ul style="list-style-type: none"> 10% Participación en clase y tareas 40% Realización de prácticas 50% Solución de examen exploratorio Docente <ul style="list-style-type: none"> 10% Registro de participación en clase 10% Registro de tareas 30% Registro de entrega de prácticas 50% Examen exploratorio 						

INSTITUTO POLITÉCNICO NACIONAL

SECRETARÍA ACADÉMICA

DIRECCIÓN DE EDUCACIÓN SUPERIOR

UNIDAD DE APRENDIZAJE: Diseño de Sistema Digitales

HOJA: 5 DE 11

N° UNIDAD TEMÁTICA: II		NOMBRE: Memorias				
OBJETIVO PARTICULAR						
Conocer y diseñar los distintos tipos de memorias, así como su implementación en HDL para el diseño lógico secuencial.						
No.	CONTENIDOS	HORAS AD Actividades de docencia (a)		HORAS TAA Actividades de Aprendizaje Autónomo (b)		CLAVE BIBLIOGRÁFICA
		T	P	T	P	
2.1	Clasificación y conceptos	0.5		0.5		1B, 2B, 5B
2.2	Memorias RAM	1.5		1.5		1B, 2B, 5B
2.2.1	Memorias SRAM					
2.2.2	Memorias DRAM					
2.3	Memorias ROM	1.5		1.5		1B, 2B, 5B
2.3.1	Memoria ROM					
2.3.2	Memoria PROM					
2.3.3	Memoria EPROM					
2.3.4	Memoria EEPROM					
2.3.5	Memoria Flash					
2.4	Tipos especiales de memorias	0.5		0.5		1B, 2B, 5B
2.4.1	Memoria FIFO					
2.4.2	Memoria NVRAM					
2.5	Módulos de memorias	0.5	0.5	0.5	1.0	1B, 2B, 5B
2.6	Manejo de arreglos con HDL	0.5	0.5	0.5	1.0	1B,2B,3B,4B
2.7	Diseño de memorias RAM, ROM y FIFO con HDL	1.0	0.5	1.0	1.0	1B,2B,3B,4B
	Subtotales por Unidad temática*:	6.0	1.5	6.0	3.0	
ESTRATEGIAS DE APRENDIZAJE						
<ul style="list-style-type: none"> Indagación previa de los temas a tratar en cada clase Exposición de diferentes conceptos de acuerdo al tema tratado Solución de problemas referentes a los temas expuestos Participación en clases Realización de tareas Realización de prácticas 						
EVALUACIÓN DE LOS APRENDIZAJES						
<ul style="list-style-type: none"> Alumno <ul style="list-style-type: none"> 10% Participación en clase y tareas 40% Realización de prácticas 50% Solución de examen exploratorio Docente <ul style="list-style-type: none"> 10% Registro de participación en clase 10% Registro de tareas 30% Registro de entrega de prácticas 50% Examen exploratorio 						



INSTITUTO POLITÉCNICO NACIONAL

SECRETARÍA ACADÉMICA

DIRECCIÓN DE EDUCACIÓN SUPERIOR

UNIDAD DE APRENDIZAJE: Diseño de Sistema Digitales

HOJA: 6 DE 11

N°UNIDAD TEMÁTICA: III

NOMBRE: Diseño de Sistemas Secuenciales

OBJETIVO PARTICULAR

Conocer los modelos de Mealy y Moore para el diseño de circuitos lógicos secuenciales empleando dispositivos lógicos programables.

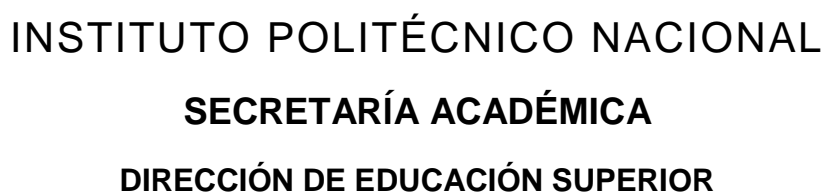
No.	CONTENIDOS	HORAS AD Actividades de docencia (a)		HORAS TAA Actividades de Aprendizaje Autónomo (b)		CLAVE BIBLIOGRÁFICA
		T	P	T	P	
3.1	Definición de AFD (Autómata finito determinista)	0.5		0.5		1B, 2B, 5B
3.1.1	Definición de AFD con salida					
3.1.2	Definición de AFD sin salida					
3.2	Maquina de Mealy	0.5		0.5		1B, 2B, 5B
3.3	Maquina de Moore	0.5		0.5		1B, 2B, 5B
3.4	Teorema de conversión entre maquinas	0.5		0.5		1B, 2B, 5B
3.5	Diseño usando Flip-Flop's J-K, S-R, T, D	1.0		1.0		1B, 2B, 5B
3.6	Reducción de estados usando método tabular	0.5		0.5		1B, 2B, 5B
3.7	Reducción de estados usando implicantes	0.5		0.5		1B, 2B, 5B
3.8	Diseño secuencial usando HDL	1.0	0.5	1.0	2.5	1B,2B,3B,4B
3.9	Aplicaciones con autómatas y HDL	1.0	1.0	1.0	3.5	1B,2B,3B,4B
Subtotales por Unidad temática*:		6.0	1.5	6.0	6.0	

ESTRATEGIAS DE APRENDIZAJE

- Indagación previa de los temas a tratar en cada clase
- Exposición de diferentes conceptos de acuerdo al tema tratado
- Solución de problemas referentes a los temas expuestos
- Participación en clases
- Realización de tareas
- Realización de prácticas

EVALUACIÓN DE LOS APRENDIZAJES

- Alumno
 - 10% Participación en clase y tareas
 - 40% Realización de prácticas
 - 50% Solución de examen exploratorio
- Docente
 - 10% Registro de participación en clase
 - 10% Registro de tareas
 - 30% Registro de entrega de prácticas
 - 50% Examen exploratorio



HOJA: 7 DE 11

N° UNIDAD TEMÁTICA: IV		NOMBRE: Contadores				
OBJETIVO PARTICULAR						
Conocer y diseñar los distintos tipos de contadores, así como su implementación con HDL para el diseño lógico secuencial.						
No.	CONTENIDOS	HORAS AD Actividades de docencia (a)		HORAS TAA Actividades de Aprendizaje Autónomo (b)		CLAVE BIBLIOGRÁFICA
		T	P	T	P	
4.1	Diseño de contadores síncronos	1.0	0.5	1.0	1.0	1B, 2B, 5B
4.1.1	Diseño de contadores secuenciales					
4.1.2	Diseño de contadores secuenciales con HDL					
4.1.3	Diseño de contadores no secuenciales					
4.1.4	Diseño de contadores no secuenciales con HDL					
4.2	Diseño de contadores asíncronos	0.5		0.5		1B, 2B, 5B
4.3	Diseño de contador Johnson	0.5	0.5	0.5	0.5	1B,2B,3B,4B
4.3.1	Diseño de contador Johnson con HDL					
4.4	Diseño de contador de anillo	0.5	0.5	0.5	0.5	1B,2B,3B,4B
4.4.1	Diseño de contador de anillo con HDL					
4.5	Diseño de contador BCD	0.5	0.5	0.5	0.5	1B,2B,3B,4B
4.5.1	Diseño de contador BCD con HDL					
	Subtotales por Unidad temática*:	3.0	2.0	3.0	2.5	
ESTRATEGIAS DE APRENDIZAJE						
<ul style="list-style-type: none"> • Indagación previa de los temas a tratar en cada clase • Exposición de diferentes conceptos de acuerdo al tema tratado • Solución de problemas referentes a los temas expuestos • Participación en clases • Realización de tareas • Realización de prácticas 						
EVALUACIÓN DE LOS APRENDIZAJES						
<ul style="list-style-type: none"> • Alumno <ul style="list-style-type: none"> ○ 10% Participación en clase y tareas ○ 40% Realización de prácticas ○ 50% Solución de examen exploratorio • Docente <ul style="list-style-type: none"> ○ 10% Registro de participación en clase ○ 10% Registro de tareas ○ 30% Registro de entrega de prácticas ○ 50% Examen exploratorio 						

Nº UNIDAD TEMÁTICA: V		NOMBRE: Maquina de estado algorítmica				
OBJETIVO PARTICULAR						
Conocer la metodología para el diseño de circuitos lógicos secuenciales mediante el uso de cartas ASM y HDL usando dispositivos lógicos programables.						
No.	CONTENIDOS	HORAS AD Actividades de docencia (a)		HORAS TAA Actividades de Aprendizaje Autónomo (b)		CLAVE BIBLIOGRÁFICA
		T	P	T	P	
5.1	Carta ASM	0.5		0.5		1B, 2B, 5B
5.2	Diseño de la ruta de datos	0.5		0.5		1B, 2B, 5B
5.3	Autómata de la unidad de control	0.5		0.5		1B, 2B, 5B
5.4	Diseño usando paquetes y componentes	0.5	0.5	0.5	0.5	1B,2B,3B,4B
5.5	Manejo de archivos con HDL	0.5	0.5	0.5	0.5	1B,2B,3B,4B
5.6	Manejo de funciones y procedimientos con HDL	0.5	0.5	0.5	0.5	1B,2B,3B,4B
5.7	Aplicaciones con cartas ASM	2.0	1.0	2.0	2.0	1B,2B,3B,4B
	Subtotales por Unidad temática*:	5.0	2.5	5.0	3.5	
ESTRATEGIAS DE APRENDIZAJE						
<ul style="list-style-type: none"> Indagación previa de los temas a tratar en cada clase Exposición de diferentes conceptos de acuerdo al tema tratado Solución de problemas referentes a los temas expuestos Participación en clases Realización de tareas Realización de prácticas 						
EVALUACIÓN DE LOS APRENDIZAJES						
<ul style="list-style-type: none"> Alumno <ul style="list-style-type: none"> 10% Participación en clase y tareas 10% Realización de prácticas 30% Diseño e implementación de proyecto final 50% Solución de examen exploratorio Docente <ul style="list-style-type: none"> 5% Registro de participación en clase 5% Registro de tareas 10% Registro de entrega de prácticas 30% Registro de proyecto final 50% Examen exploratorio 						



INSTITUTO POLITÉCNICO NACIONAL

SECRETARÍA ACADÉMICA

DIRECCIÓN DE EDUCACIÓN SUPERIOR

UNIDAD DE APRENDIZAJE:

HOJA: 9 DE 11

RELACIÓN DE PRÁCTICAS

PRÁCTICA No.	NOMBRE DE LA PRÁCTICA	UNIDADES TEMÁTICAS	DURACIÓN	LUGAR DE REALIZACIÓN
1	Registros y su aplicación Objetivo: Realizar registros paralelo-paralelo, paralelo-serie, serie-paralelo, serie-serie, con carga, sin carga y su aplicación utilizando HDL y dispositivos lógicos programables.	II	4.5	Laboratorio de Electrónica Digital.
2	Memorias y su aplicación Objetivo: Realizar una memoria RAM, ROM, FIFO utilizando HDL y dispositivos lógicos programables.	III	4.5	Laboratorio de Electrónica Digital.
3	Sistemas secuenciales Objetivo: Realizar distintas aplicaciones de las maquinas de Mealy y Moore utilizando HDL y dispositivos lógicos programables.	IV	7.5	Laboratorio de Electrónica Digital.
4	Contadores Objetivo: Realizar contadores síncronos secuenciales, no secuenciales, Johnson, de anillo, BCD utilizando HDL y dispositivos lógicos programables.	V	4.5	Laboratorio de Electrónica Digital.
5	Maquinas de estado algorítmicas Objetivo: Realizar distintas aplicaciones mediante el uso de cartas ASM, HDL y dispositivos lógicos programables como ALU optimizada, Multiplicador usando el algoritmo BOOTH, Divisor, Cerradura electrónica, Algoritmo de ordenación de números, Manejo de Display's (marquesina), Manejo LCD, etc.	VI	6.0	Laboratorio de Electrónica Digital.
		TOTAL DE HORAS	27.0	

EVALUACIÓN Y ACREDITACIÓN:

- Alumno

Realización de prácticas en el laboratorio de Electrónica Digital.

- Docente

Registro de entrega de prácticas realizadas, asistencia a laboratorio de Electrónica Digital.

Unidad Temática I 35%

Unidad Temática II 35%

Unidad Temática III 35%

Unidad Temática IV 35%

Unidad Temática V 10%

La calificación final es el promedio de todas las unidades temáticas, en éste promedio esta incluido el porcentaje que contribuye cada practica a cada unidad temática.



INSTITUTO POLITÉCNICO NACIONAL

SECRETARÍA ACADÉMICA

DIRECCIÓN DE EDUCACIÓN SUPERIOR

UNIDAD DE APRENDIZAJE:

HOJA: 10

DE 11

PROCEDIMIENTO DE EVALUACIÓN

1.- Está unidad de aprendizaje puede acreditarse también mediante:

- Acreditación en otra UA del IPN
- Acreditación en una institución educativa externa al IPN nacional o internacional
- Desempeño laboral inherente a la unidad de aprendizaje

2.- Los procedimientos para evaluar a los alumnos es el siguiente:

Registro de participación en clase

Registro de tareas

Registro de entrega de prácticas

Registro de proyecto final

Examen exploratorio

Cada unidad temática tendrá los siguientes porcentajes:

Unidad I. 15%

Unidad II. 20%

Unidad III. 25%

Unidad IV. 15%

Unidad V. 25%

CLAVE	B	C	BIBLIOGRAFÍA
1	x		Brown, Stehhen. <u>Fundamentos de lógica digital con diseño VHDL</u> . Mc Graw Hill Interamericana Editores. México, Segunda Edición, 933 pags. ISBN 970-10-5609-4.
2	x		Morris Mano, M. <u>Diseño digital</u> . Pearson Prentice Hall Editores. México, 2003, Tercera Edición, 511 pags. ISBN 970-26-0438-9.
3	x		Pedroni, Volnei A. <u>Circuit desing with VHDL</u> . MIT Press Edition. Cambridge, Massachusetts, 2004,363 pags. ISBN 0-262-16224-5.
4	x		Perry, Douglas L. <u>VHDL programming by example</u> . Mc Graw Hill Edition. USA,2002, Cuarta Edición, 476 pags. ISBN
5	x		Ronald J. <u>Sistemas digitales principios y aplicaciones</u> . Pearson Education. México, Decima Edición, 939 pags. ISBN 970-26-0970-4



INSTITUTO POLITÉCNICO NACIONAL
SECRETARÍA ACADÉMICA
DIRECCIÓN DE EDUCACIÓN SUPERIOR

PERFIL DOCENTE POR UNIDAD DE APRENDIZAJE

1. DATOS GENERALES

UNIDAD ACADÉMICA: ESCUELA SUPERIOR DE COMPUTO

PROGRAMA Diseño de Sistemas Digitales

ACADÉMICO: _____ **NIVEL**

II

ÁREA DE FORMACIÓN:

Institucional	Científica Básica	Profesional	Terminal y de Integración
---------------	----------------------	-------------	------------------------------

ACADEMIA: Academia de Sistemas Digitales

UNIDAD DE APRENDIZAJE: Diseño de Sistemas
Digitales

ESPECIALIDAD Y NIVEL ACADÉMICO REQUERIDO:

Maestría y/o Doctorado

Especialidad: Electrónica ó Sistemas Computacionales

2. **OBJETIVO DE LA UNIDAD DE APRENDIZAJE:** Conocer y aplicar los elementos de diseño secuencial de los sistemas digitales usando los lenguajes de descripción de hardware en dispositivos lógicos programables.

3. **PERFIL DOCENTE:**

CONOCIMIENTOS	EXPERIENCIA PROFESIONAL	HABILIDADES	ACTITUDES
<ul style="list-style-type: none">• Circuitos lógicos combinacionales• Circuitos lógicos secuenciales• lenguaje de descripción de hardware• Maquinas de Estado• Programación con algún lenguaje• Conocimientos de dispositivos lógicos programables	<ul style="list-style-type: none">• Experiencia en la docencia (preferencia no indispensable).• Experiencia en la industria (preferencia no indispensable).	<ul style="list-style-type: none">• Habilidad para el manejo de grupos• Fluidez verbal de ideas• Capacidad de transmitir conocimientos	<ul style="list-style-type: none">• Actitud de servicio y compromiso• Responsabilidad• Tolerancia• Honestidad• Respeto• Ética profesional

ELABORÓ

REVISÓ

AUTORIZÓ

Nombre y firma del Presidente de Academia

Nombre y firma del Subdirector Académico

Nombre del Director de la Unidad Académica

Víctor Hugo García Ortega

Flavio Arturo Sánchez Garfías

Apolinar Francisco Cruz Lázaro