



## Aula 00 - Pré-curso

### Objetivos de Aprendizagem

Esta aula é uma introdução ao curso apenas e cumpre apenas a parte *Introdução* do programa da disciplina.

Tempo estimado em minutos				
Ciclo	Est.	Ex.	Tot.	Dif.
1	25	-	25	Fácil
	25	0	25	

### Objetivos Específicos

Os objetivos específicos para esta aula são:

1. Apresentar o curso.
2. Motivar a aprendizagem da linguagem.
3. Preparar o ambiente necessário para o curso.

### Dimensões Cobertas

Esta tabela mostra as dimensões do conhecimento cobertas por cada objetivo específico.

Dimensão do Conhecimento	Dimensão do Processo Cognitivo					
	Conhecimento Lembrar	Entender	Competência Aplicar	Analisar	Habilidade Sintetizar	Criar
Efetivo	1,2					
Conceitual						
Procedural	3					
Metacognitivo						

### Objetos de Aprendizagem

#### Ciclo 1 (único)

1. **Vídeo 1:** (máx. 5min) Professores falando sobre:

- Boas vindas e apresentação dos professores;
- O propósito do curso;
- Pré-requisitos;
- A dinâmica do curso;
- Avaliação que será utilizada no curso;
- O que o aluno será capaz depois do curso.

Objetivos	1	2	3
Vídeos	1 X		
	2	X	
	3		X
Textos	1	X	
	2		X
Avaliação	1		X
	2	X	X

2. **Vídeo 2:** (máx. 5min) Professor discursa sobre: o motivo de aprender VHDL; a utilização na vida profissional e como *hobby*; e diferenças entre VHDL e Verilog.
3. **Texto 1:** (livre) notícia sobre VHDL (não obrigatória).
4. **Vídeo 3:** (máx. 10min) Guia em vídeo tutorial mostrando a instalação do GHDL e do GTKWave.
5. **Texto 2:** (máx. 10min, alternativa ao vídeo 3) Guia de como baixar e instalar o GHDL e o GTKWave.
6. **Avaliação 1:** (max. 10min) Auto avaliação onde o aluno simula localmente uma descrição fornecida pelo professor, com o intuito de verificar se o ambiente foi corretamente instalado. Não obrigatória e não conta na nota do curso. Não é necessário submissão.
7. **Avaliação 2:** (máx. 5min) Questionário de múltipla escolha sobre o que foi apresentado. Condicional para avançar deste ciclo, permite múltiplas respostas, não conta na nota do curso. A avaliação é para que o aluno saiba se tem os pré-requisitos necessários e se entendeu a motivação para aprender VHDL.

Tempo total estimado para este ciclo: 25min.