



# Aula 01 - A linguagem VHDL

## Objetivos de Aprendizagem

Esta aula apresenta a linguagem VHDL e como ela pode ser usada para descrever, simular, verificar e sintetizar circuitos digitais.

Contribui com os itens 1 e 2 do *Conteúdo e Skills* e com o *Objetivo de Aprendizagem 1* do PEA.

Tempo estimado em minutos				
Ciclo	Est.	Ex.	Tot.	Dif.
1	15	-	15	Fácil
	15	0	15	

## Objetivos Específicos

Os objetivos específicos para esta aula são:

1. Motivação para aprender VHDL;
2. Vantagens e desvantagens de uma HDL;
3. Contexto histórico.

## Dimensões Cobertas

Esta tabela mostra as dimensões do conhecimento cobertas por cada objetivo específico.

Dimensão do Conhecimento	Dimensão do Processo Cognitivo					
	Conhecimento		Competência		Habilidade	
	Lembrar	Entender	Aplicar	Analisar	Sintetizar	Criar
Efetivo		3				
Conceitual		1,2				
Procedural						
Metacognitivo						

## Objetos de Aprendizagem

### Ciclo 1

1. **Vídeo 1:** (máx. 10 min) Slide narrado:

- Contexto histórico;
- VHDL e relação com diagramas esquemáticos;
- Motivação para aprender VHDL;
- Exemplo de circuito descrito em VHDL e sintetizado;

Objetivos	1	2	3
Vídeo	1	X	X
Textos	1		X
Avaliação	1	X	X

- Diferença para uma linguagem procedural de programação (modelo de concorrência);
- Principais vantagens e desvantagens.

2. **Texto 1:** (leitura opcional) Contexto histórico do VHDL.

3. **Avaliação 1:** (máx. 5min) Questionário de múltipla escolha sobre o que foi apresentado no vídeo. Permite múltiplas tentativas, não conta na nota do curso mas é condicional para seguir o curso.

Tempo total estimado para este ciclo: 15 min.