

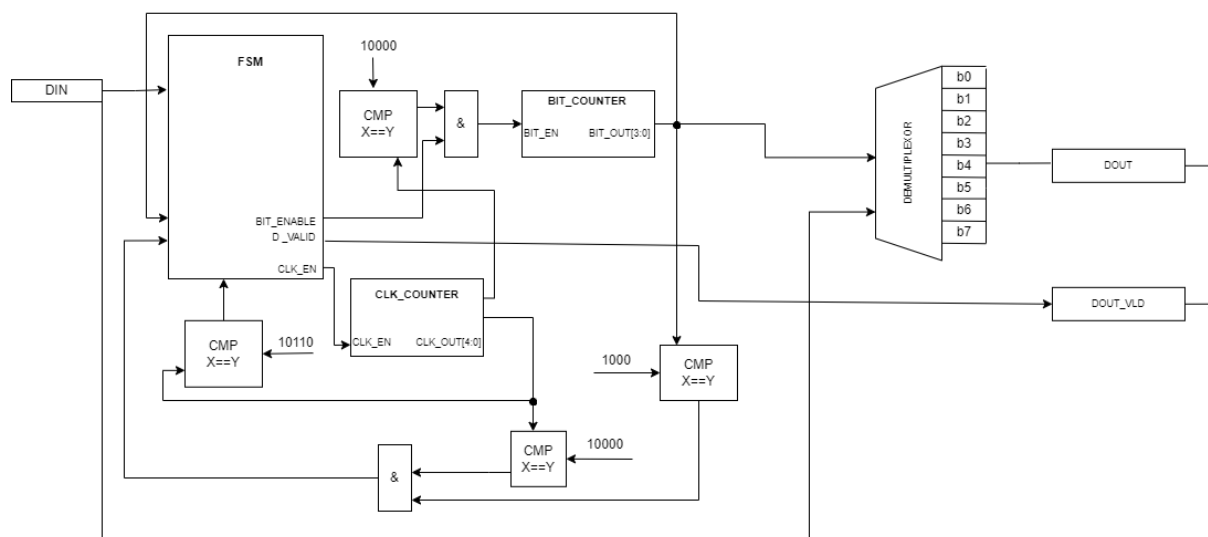
## Příloha: Výstupní zpráva (Ukázka)

**Jméno:** Miroslav Bálek

**Login:** xbalek02

### Architektura navrženého obvodu

#### Schéma obvodu



#### Popis funkce

Obvod se skládá z:

- FSM – Konečný automat
- Počítadla:
  - CLK\_COUNTER - Slouží k počítání tiků hodinového signálu
  - BIT\_COUNTER - Slouží k počítání datových bitů
  - DEMULTIPLEXOR - Přepínač pro paralelní zobrazení dat

Obvod se skládá z FSM viz. níže, dále se skládá z CLK\_COUNTER sloužící k počítání hod. signálů. Dále se skládá z BIT\_COUNTER sloužící k počítání datových bitů. Vstupem do obvodu je datová linka DIN, na níž jsou přenášeny data. Po příchodu start bitu je zpracováno 8 sériových datových bitů jednou za 16 hod. sig., počítáno díky CLK\_COUNTER, které se po přijetí ukončovacího bitu end bit zobrazí paralelně na výstupu DOUT pomocí demultiplexoru (adresování je realizováno pomocí BIT\_COUNTER). Validita dat na výstupu DOUT je potvrzena výstupem DOUT\_VALID, a to nastavením jeho hodnoty do log. 1 po dobu jednoho hod. signálu.

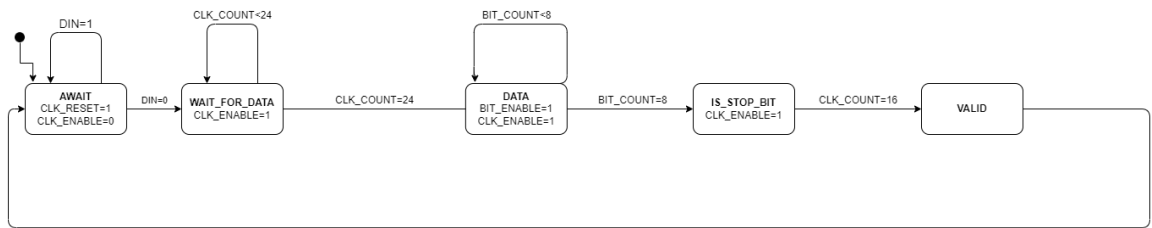
### Návrh automatu (Finite State Maschine)

#### Schéma automatu

##### Legenda:

- DIN – Datový vstup
- CLK\_COUNT – Počítadlo hodinových tiků
- CLK\_EN – Povoluje běh CLK\_COUNT
- BIT\_COUNT – Počítadlo přijatých bitů
- BIT\_EN – Povoluje běh BIT\_COUNT

- CLK\_RESET – Slouží k vynulování CLK\_COUNT



Obvod čeká ve stavu AWAIT, dokud se na datovém vstupu DIN neobjeví logická 0. Poté přechází do stavu WAIT\_FOR\_DATA. V tomto stavu obvod čeká dvacet čtyři hodinových signálů a automat přechází do stavu DATA. Zde dochází ke zaznamenávání osmi bitů. Následně přechází automat do stavu IS\_STOP\_BIT, kde čeká na příjem tzv. stop bitu. Po přijmutí tohoto stop bitu přechází automat do stavu VALID na výstupu D\_VALID podobu jednoho hod. signálu zobrazí log. 1 a automat se vrací do původního stavu AWAIT.

