

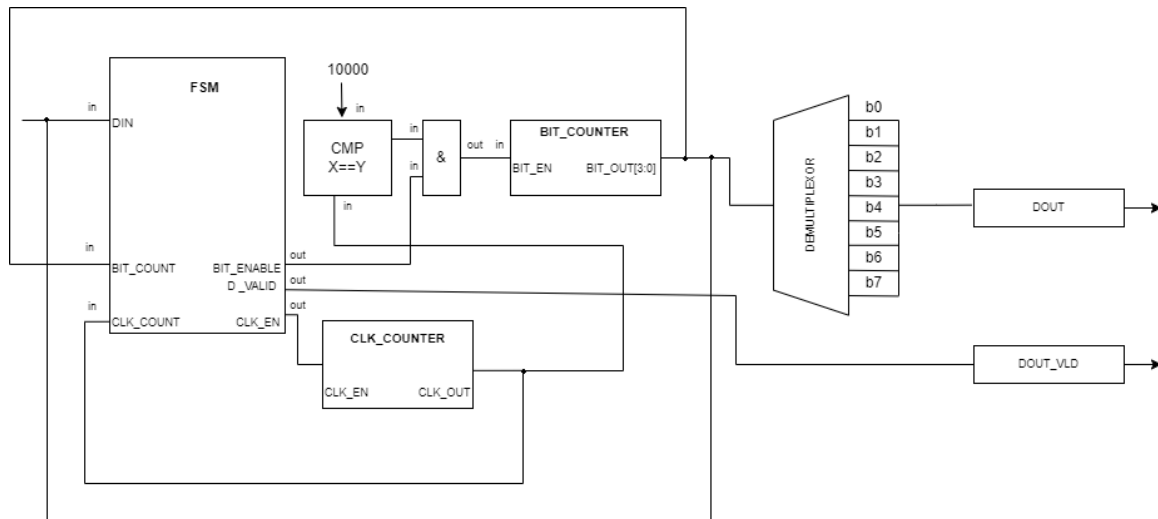
## Příloha: Výstupní zpráva

**Jméno: Miroslav Bálek**

**Login: xbalek02**

### Architektura navrženého obvodu

#### Schéma obvodu



Obrázek 1: RTL obvod

#### Popis funkce

Obvod se skládá z:

- FSM – Konečný automat
- Počítadla:
  - CLK\_COUNTER - Slouží k počítání tiků hodinového signálu
  - BIT\_COUNTER - Slouží k počítání datových bitů
  - DEMULTIPLEXOR - Přepínač pro paralelní zobrazení dat

Obvod se skládá z FSM viz. níže, dále se skládá z CLK\_COUNTER sloužící k počítání hod. signálů. Dále se skládá z BIT\_COUNTER sloužící k počítání datových bitů. Vstupem do obvodu je datová linka DIN, na níž jsou přenášeny data. Po příchodu *start bitu* je zpracováno 8 sériových datových bitů (jednou za 16 hod. sig.), které se po přijetí ukončovacího bitu *end bit* zobrazí paralelně na výstupu DOUT pomocí demultiplexoru. Validita dat na výstupu DOUT je potvrzena výstupem DOUT\_VALID, a to nastavením jeho hodnoty do log. 1 po dobu jednoho hod. signálu.

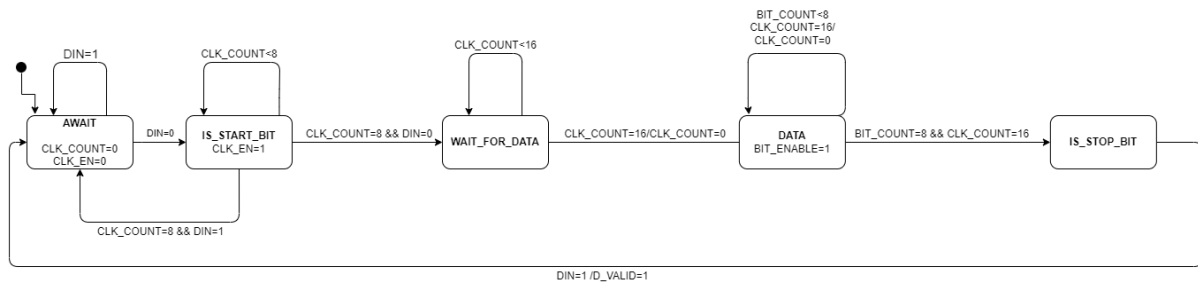
#### Návrh automatu (Finite State Maschine)

##### Schéma automatu

##### Legenda:

- DIN – Datový vstup
- CLK\_COUNT – Počítadlo hodinových tiků
- CLK\_EN – Povoluje běh CLK\_COUNT
- BIT\_COUNT – Počítadlo bitů

- BIT\_EN – Povoluje běh BIT\_COUNT



Obrázek 2: Konečný automat FSM

Automat čeká ve stavu AWAIT, dokud se na datovém vstupu DIN neobjeví logická 0. Poté přechází do stavu IS\_START\_BIT. V tomto stavu obvod čeká osm hodinových signálů, a následně ověřuje hodnotu na vstupu DIN, pokud je hodnota rovna logické 1, automat se vrátí do stavu AWAIT. Pokud je na vstupu stále 0, automat přechází do stavu WAIT\_FOR\_DATA, kde setrvá následujících osm hodin signálu. A následně přechází do stavu DATA, kde dochází ke zaznamenávání osmi bitů. Následně přechází automat do stavu IS\_STOP\_BIT, kde čeká na příjem tzv. stop bitu. Po přijetí tohoto stop bitu se na výstupu D\_VALID podobu jednoho hodinového signálu zobrazí log. 1. Následně se automat vrací do původního stavu čekající na příjem dalších dat.