

PF – ARQUITETURA AVANÇADA

- 1) (1,5 pontos) Seria possível realizar o projeto de um processador onde o tamanho em bits do PC fosse diferente do REM? Nesse caso, qual dos dois registradores deveria ter o maior tamanho? Por quê?
- 2) (2,0 pontos) Um computador possui um conjunto de 128 instruções de um operando; supondo que sua memória tenha capacidade de armazenar 512 palavras e que cada instrução tem o tamanho de uma palavra do processador e palavra de memória, responda as perguntas a seguir:
 - a) Qual o tamanho em bits do REM, RDM, RI, ACC e PC?
 - b) Qual a capacidade da memória em bytes?
 - c) Se alterarmos o tamanho das instruções para 17 bits, mantendo inalterado o tamanho do REM, quantas novas instruções poderiam ser criadas?
- 3) (1,5 pontos) Explique porque a técnica de DMA é melhor que a E/S programada e a E/S controla por interrupção?
- 4) (2,0 pontos) Suponha um pipeline com quatro estágios: busca de instrução (FI), decodificação de instrução e cálculo de endereço (DE), busca dos operandos (FO) e executar (EX). Desenhe um diagrama com o visto em sala de aula, para uma sequência de 10 instruções onde a 5ª instrução é um desvio que é tomado para a instrução, a instrução 15 é um desvio que é tomado para a instrução 7 e onde haja dependência de dados. Mostre também a penalidade total de desvio se nenhuma técnica com previsão de desvio for tomada.
- 5) (1,0 pontos) Explique as vantagens e desvantagens de uma arquitetura NUMA.
- 6) (2,0 pontos) Suponha que um sistema de multiprocessadores simétricos utilizem o protocolo MESI para consistência das memórias cache. Suponha ainda, que um processador consiga realizar ... sucesso em uma linha que está atualmente na cache local. Explique o efeito que isso pode ... nesta linha poderia estar nos seguintes estados: compartilhada, exclusiva e modificada.

PF – ARQUITETURA AVANÇADA - GABARITO

- 1) Sim. Observe a arquitetura do 8086. Temos o IP (ou PC) com tamanho de 16 bits, que nos dá no máximo 64K combinações possíveis. O REM e o Barramento de Dados são de 20 bits, que resulta em $2^{20} = 1M$ palavras de memória. O 8086 utiliza dois registradores para compor o endereço de 20 bits: o registrador de segmento e o registrador offset, ambos com tamanho de 16 bits. O registrador que deveria ter o menor tamanho é o PC, pois podemos combiná-lo com outro registrador, para compor o endereço de 20 bits.

2)

- a) Como a memória tem 512 palavras (29 palavras) chegamos à conclusão que são necessárias 9 linhas para endereçar todas estas palavras de memória. Portanto o barramento de endereço e o REM são de 9 bits.

Ender (Binário)	Ender (Hexa)	Ender (Decimal)	Conteúdo
000000000	000	0	
000000001	001	1	
000000010	002	2	
...	
111111111	1FF	511	

Com 512 palavras de memória, chegamos à conclusão que o operando deverá ter um tamanho de 9 bits, para endereçar qualquer posição (ou palavra) de memória. Como temos um conjunto de 128 instruções, necessitamos de $\log_2 128 = 7$ bits para o código de operação. Portanto, o tamanho da instrução será de 16 bits: 7 (para o código de operação) mais 9 (para o operando).

Como o tamanho da instrução é igual ao tamanho da palavra do processador e tamanho da palavra de memória, chegamos à conclusão que o barramento de dados, o RI, o ACC e o RDM terão também 16 bits.

O tamanho do PC é igual ao tamanho do barramento de endereço, ou seja, 9 bits.

- b) O tamanho da palavra de memória é de 16 bits, ou seja, 2 bytes. Temos, portanto, uma memória com 512 palavras de memória de 16 bits cada, ou 1024 palavras de memória de 8 bits (1 byte cada).
- c) Neste caso, aumentaremos o tamanho do campo código de operação de 7 para 8 bits, pois o operando permanece com o mesmo tamanho (9 bits). Com 8 bits temos um total de $2^8 = 256$ combinações possíveis, ou seja, um total de 256 instruções.