



LABORATORIO DE SISTEMAS EMPOTRADOS

PRÁCTICA 1

Objetivo:

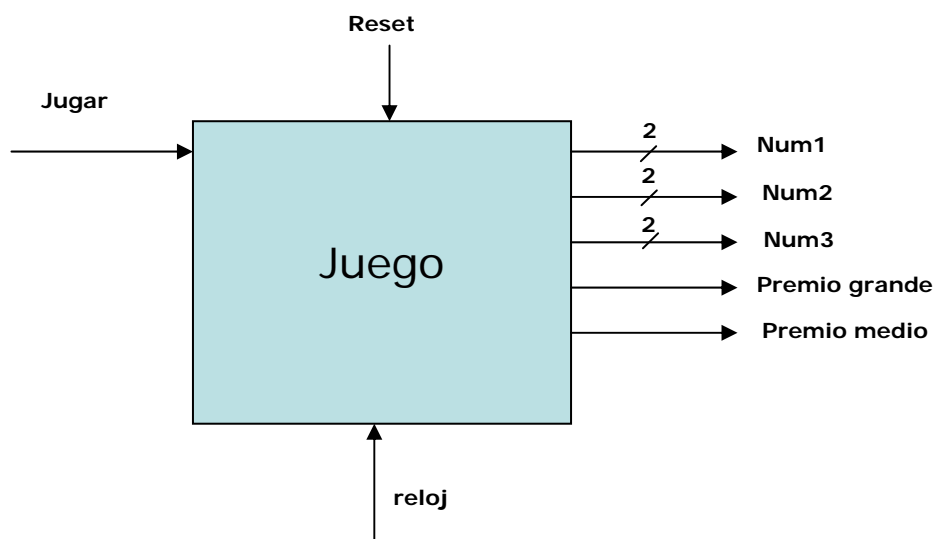
Diseño e implementación de un sistema secuencial síncrono modular sobre FPGAs.

Realización:

La práctica constará de dos partes:

a.- Máquina tragaperras con 2 premios

Se debe diseñar un circuito que genere tres números aleatorios de 2 bits. Las entradas del circuito serán *jugar*, *reset*, y *reloj* y las salidas *Num1*, *Num2*, *Num3* (de 2 bits cada uno, que se visualizan en el banco de leds) y dos premios *Premio_grande* y *Premio_medio* (que se visualizan en los display 7 segmentos) La señal de reset inicializa todos los registros y contadores a 0.



El flanco de bajada de la entrada *jugar* se utiliza para generar tres números aleatorios: el primer flanco de bajada genera el 1er número (*Num1*), el segundo flanco de bajada el 2º (*Num2*) y el 3er flanco de bajada el 3er número (*Num3*). Los 3 números se visualizan en los leds (2 bits por número, en total 6 leds).

Los premios por la jugada son:

A.- Premio grande los 3 números son iguales.

B.- Premio medio hay 2 números iguales.

Si el premio es el grande se enciende el segmento superior de un display 7 segmentos. Si el premio es el medio se enciende sólo el segmento central. Hasta que no se generan los 3 números no se visualiza el premio.

Se puede jugar de nuevo volviendo a generar un flanco de bajada de la entrada *jugar*.

b.- Máquina tragaperras con luces intermitentes.

Hay que modificar el diseño anterior para que si el premio es el grande se encienden y apagan todos los leds del display 7 segmentos menos el central con una frecuencia de aproximadamente 1Hz. Si el premio es

el medio se enciende y apaga sólo el segmento central.

c.- Parte opcional.

Modificar el diseño para que se generen 3 números del 0 al 9, y visualizarlos en los displays 7 segmentos. Los premios grande y medio se visualizarán en el banco de leds a gusto del diseñador.

Simulación

Hacer el diseño en papel y luego sintetizarlo utilizando la herramienta ISE. Es imprescindible realizar una simulación de cada uno de los apartados, durante la cual se pueda demostrar que funciona para todas las posibles combinaciones de las entradas. Se recuerda que para simular es necesario quitar el divisor de frecuencias, y sólo cuando se haya terminado de simular y se esté seguro de que el circuito funciona, se añadirá el divisor de frecuencias (o el eliminador de rebotes) y se generará el mapa de bits para volcarlo sobre la FPGA.

Módulos disponibles

Para la realización de los circuitos se dispone de los siguientes módulos:

- Eliminador de rebotes (debouncer.vhd)
- Divisor de frecuencias para generar una frecuencia de 1Hz.
- Conversor 7 segmentos