实验日志

一,总线

结合 4.1.6 思考题 (3,4,6), 试述如何构造总线电路?

(3) 实验电路中 BIDIR 端口的用途是什么?

答:作为总线,BIDIR是双向数据端口,可以输入输出数据到寄存器中,是数据变换操作的中间平台。

(4): 举例说明画电路图中连线 bus line (粗线)和 node line (细线)的区别。总线与支线命名方式是什么?

答: 如 sw_bus 与 K[7..0],sw_bus 是一位信号,它的连线为细线。K[7..0]是七位信号,它的连线是细线。细线只能用于一位信号,粗线可用于多位信号。粗线表示的总线命名方式采用 Namepm..n],与总线相连的支线命名为 Name [m],Name [m-1],……,Name [n+1]。

(6): exp bus. vhd 代码中如何实现双向总线的定义与缓冲?

答: 定义: L:inout std_logic_vector (7 downto 0) 即定义一个可输入可输出的八位标准逻辑向量。

缓冲: 多路选择器

本题答: 定义一个八位的双向的数据端口,作为信号的输入或者输出。 电路图使用 BIDIR 端口, VHDL 用 inout 来定义。

- 1. 数据总线电路需要满足双向输送数据的功能。
- 2. 地址总线以及控制总线只能单向传送控制信号,这两类总线要控制地址信号或者控制信号的单向传输性质。
- 3. 总线电路的命名格式需要规范。
- 4. 设计总线时需要注意,同一时间最多只能有一个端口向总线输送数据。但是能同时有多个端口从总线接收数据。因此我们设计总线的时候需要注意双向总线的缓冲,可以利用三态门来限制各个端口向总线输入数据。
- 5. 设计总线时要注意总线宽度和各个端口的宽度需要保持一致。

二,运算器

#试述实验8运算器如何实现复合运算?

答:输入数据到 DR1,DR2(或者先输入到 R4,R5 中再传给 DR1,DR2),算数运算单元计算出当前这步的结果后将结果存储到 R4 或者 R5 中。之后可以选择是否将 R4,R5 的值传输给 DR1,DR2,接着进行对 DR1,DR2 中的值下一步运算,重复这样的操作,直到得到最终结果。

例如: 计算 A+B - (notA and B) +B

		O ps	200. ₀ ns	400.	0 ns	600.	0 ns	800.	0 ns	1.0	us	1.2 0	15
	Name	18.3 ns											
0	Clk	Ĭп											
1	■ SW ALU R45_BUS	1111	0111	10	11	1101	1011	1101	1110	1011	1101		_
6	Id_r1 r2 r4 r5	0000	1000 0100	0010	0001	1000	0010	1000	0100	0010			
11	■ M CN S		000000	011001	100010	000000	011001	000	000	(000110			
18	 I	00	05 X 0A	X	1			1			00		_
27	∄ L							ÿ.		ZZ			_
36	L Tresult	ZZ	05 X 0A	OF	OA	OF	1	9	OA	χ ο	F		_
45	# A	00	\supset	05		$\overline{}$	OF	\square X \square					_
54	● B		00 X								OA.		_
63	# R4		00		0	F	\Box X \Box	1	9				_
72	 ₹ R5		00		\Box X							0A	Ī
81	● DR1	00	\sim	05		=	OF						
90	■ DR2		00 X								OA		-

0-100ns:设置初态,sw|alu|r45_bus 均为 1, ld_r1|r2|r4|r5 均为 0, m|cn|s 均为 0

100-200ns:SW BUS 为 0, 1ddr1 为 1, 输入数据 A 到 DR1

200-300ns:SW BUS 为 0, 1ddr2 为 1, 输入数据 B 到 DR2

300-400ns:ALU_BUS 为 0,1dr4 为 1, MCNS 为 011001, A+B->R4

400-500ns:ALU_BUS 为 0,1dr5 为 1, MCNS 为 100010, notA and B->R5

500-600ns:R4 BUS 为 0,1ddr1 为 1,R4->DR1

600-700ns:ALU BUS 为 0,1dr4 为 1, MCNS 为 011001, (A+B)+B->R4

700-800ns:R4 BUS 为 0,1ddr1 为 1,R4->DR1

800-900ns: R5 BUS 为 0,1ddr2 为 1, R5->DR2

900-1000ns:ALU_BUS 为 0,1dr4 为 1, MCNS 为 000110, (A+B+B)-(notA and

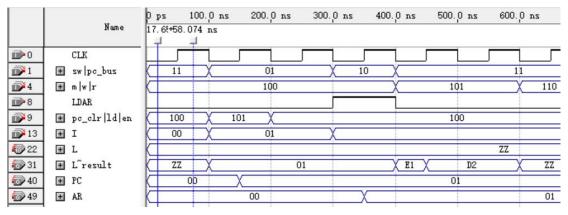
B) -> R4

1.0-1.1us:R4_BUS 为 0, 输出 R4 的值, 验证最终结果是否正确以及是否存入 R4

三,存储器

#分析仿真结果图 4-3-14 中 200ns 后执行读 M[01] 中数据时为何会先出现 E1?

答:在时钟有效源到来前,读信号已经有效,而地址 M[01]还未传给存储器,此时地址为 M[00],所以读出数据 E1。

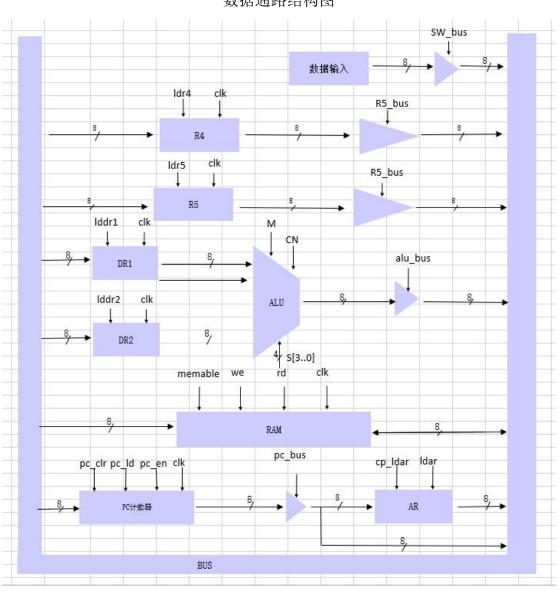


四,数据通路

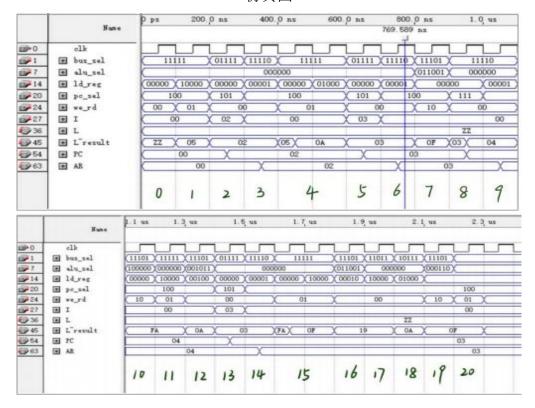
#完成表格中的"画数据通路结构图&实验步骤记录"

#完成上述仿真,完成文档: 仿真图截图并标记序号,依据序号说明其每一步的 功能

数据通路结构图



仿真图



仿真说明

												1	空制	言号						_						
		B U	4_B U		B	P C B U	D R	D R	D R	D D R	D A		CP LD		С	s				1 C L	6 1 L	6 1 P		w		补充
序号	状态	-	-	S	-	-	5	4	delicion	ald frames	R	T	AR	M		-	200		64/44			40.00	-	E	D	
0	初始	1	1	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	输出高阻态
1	从00单元读数 05装裁到DR1									1															1	DR1=05
2	置数法产生02 地址, 02->PC	0																		1	0	1				PC=02
3	02HIPC=>AR					0														1	0	0			1	AR=02
4	从02单元读数 0A装载到DR2								1																1	DR2=0A
5	置数法产生03 地址,03->PC	0.																		1	0	1				PC=03
6	03tHrPC=>AR				П	0										Г				1	0	0			1	AR=03
7	A+B->03单元			Т	0		T			П				0	1	1	0	0	1					1		A+B=0F
8	计数法产生04 地址					0														1	1	1				PC=04
9	04thPC->AR				L	0														1	0	0			1	AR=04
10	/A->04单元				0									1	0	0	0	0	0					1		/A=FA
11	从04单元读数 FA装载到DR1									1															1	DR1=FA
12	((/A)and B)- >R4				0			1						0	.0	1	0	1	1							R4=0A
13	置數法产生03 地址,03~>PC	0																		1	0	1				PC=03
14	03tHrPC=>AR					0														1	0	0			1	AR=03
15	从03年元读取 A加B的结果装 载到DR1									1															1	DR1=OF
16	(A+B)+B->R5				0		1							0	1	1	0	0	1							R5=19
17	R5->DR1			0						1																DR1=19
18	R4->DR2		0						1																	DR2=0A
19	进行运算 (A+B)- ((/A) and b)+B, 并将结 果存入03单元				0									0	0	0	1	1	0:					1		(A+B) - ((/A) and b) +B=0F
20	读取03年元																								1	0F