# 实验日志

1. 总线

# 结合4.1.6思考题（3,4,6），试述如何构造总线电路？

（3）实验电路中BIDIR端口的用途是什么？

答：作为总线，BIDIR是双向数据端口，可以输入输出数据到寄存器中，是数据变换操作的中间平台。

（4）：举例说明画电路图中连线bus line（粗线）和node line（细线）的区别。总线与支线命名方式是什么？

答：如sw\_bus与K[7..0]，sw\_bus是一位信号，它的连线为细线。K[7..0]是七位信号，它的连线是细线。细线只能用于一位信号，粗线可用于多位信号。粗线表示的总线命名方式采用Namepm..n]，与总线相连的支线命名为Name[m]，Name[m-1]，……，Name[n+1]。

（6）：exp\_bus.vhd 代码中如何实现双向总线的定义与缓冲？

答：定义：L:inout std\_logic\_vector(7 downto 0)即定义一个可输入可输出的八位标准逻辑向量。

缓冲：多路选择器

本题答：定义一个八位的双向的数据端口，作为信号的输入或者输出。

电路图使用BIDIR端口，VHDL用inout来定义。

1.数据总线电路需要满足双向输送数据的功能。

2.地址总线以及控制总线只能单向传送控制信号，这两类总线要控制地址信号或者控制信号的单向传输性质。

3.总线电路的命名格式需要规范。

4.设计总线时需要注意，同一时间最多只能有一个端口向总线输送数据。但是能同时有多个端口从总线接收数据。因此我们设计总线的时候需要注意双向总线的缓冲，可以利用三态门来限制各个端口向总线输入数据。

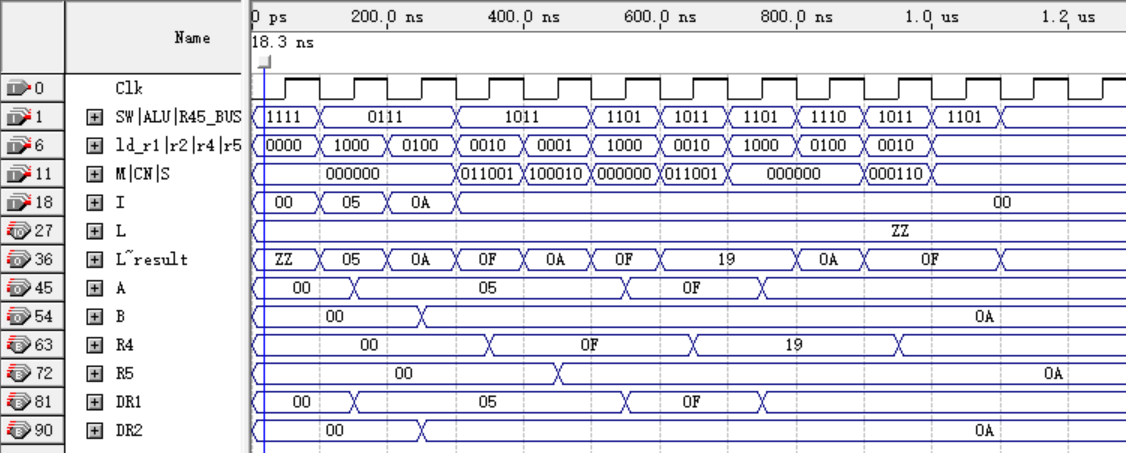
5.设计总线时要注意总线宽度和各个端口的宽度需要保持一致。

1. 运算器

#试述实验8运算器如何实现复合运算？

答：输入数据到 DR1，DR2(或者先输入到 R4,R5 中再传给DR1,DR2)，算数运算单元计算出当前这步的结果后将结果存储到 R4 或者 R5 中。之后可以选择是否将 R4,R5 的值传输给 DR1,DR2，接着进行对 DR1，DR2 中的值下一步运算，重复这样的操作，直到得到最终结果。

例如：计算 A+B -（notA and B）+B



0-100ns:设置初态，sw|alu|r45\_bus 均为 1，ld\_r1|r2|r4|r5 均为 0，m|cn|s 均为0

100-200ns:SW\_BUS 为 0，lddr1 为 1，输入数据 A 到 DR1

200-300ns:SW\_BUS 为 0，lddr2 为 1，输入数据 B 到 DR2

300-400ns:ALU\_BUS 为 0,ldr4 为 1，MCNS 为 011001，A+B->R4

400-500ns:ALU\_BUS 为 0,ldr5 为 1，MCNS 为 100010，notA and B->R5

500-600ns:R4\_BUS 为 0,lddr1 为 1，R4->DR1

600-700ns:ALU\_BUS 为 0,ldr4 为 1，MCNS 为 011001，(A+B)+B->R4

700-800ns:R4\_BUS 为 0,lddr1 为 1，R4->DR1

800-900ns: R5\_BUS 为 0,lddr2 为 1，R5->DR2

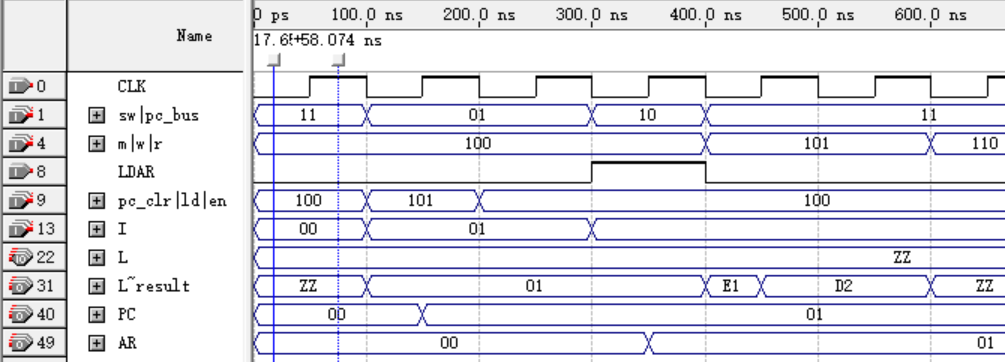
900-1000ns:ALU\_BUS 为 0,ldr4 为 1，MCNS 为000110，(A+B+B)-(notA and B)->R4

1.0-1.1us:R4\_BUS 为 0，输出 R4 的值，验证最终结果是否正确以及是否存入R4

1. 存储器

#分析仿真结果图4-3-14中200ns后执行读M[01]中数据时为何会先出现E1？

答：在时钟有效源到来前，读信号已经有效，而地址M[01]还未传给存储器，此时地址为M[00],所以读出数据E1。

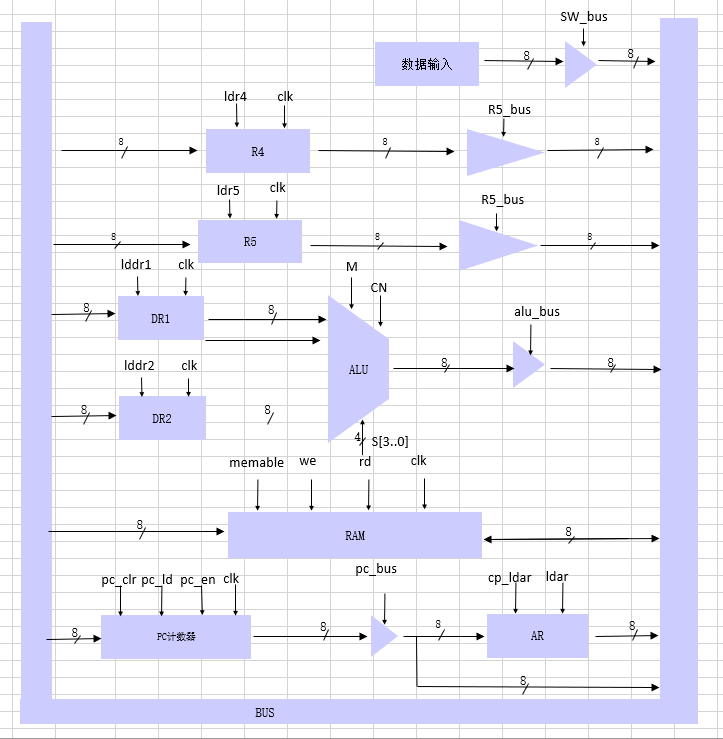


1. 数据通路

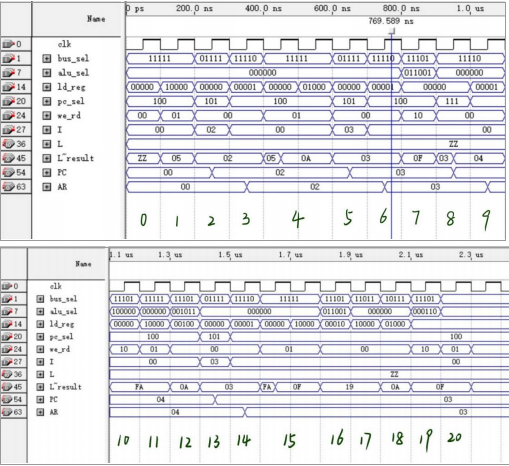
#完成表格中的“画数据通路结构图&实验步骤记录”

#完成上述仿真，完成文档：仿真图截图并标记序号，依据序号说明其每一步的功能

数据通路结构图



仿真图



仿真说明

