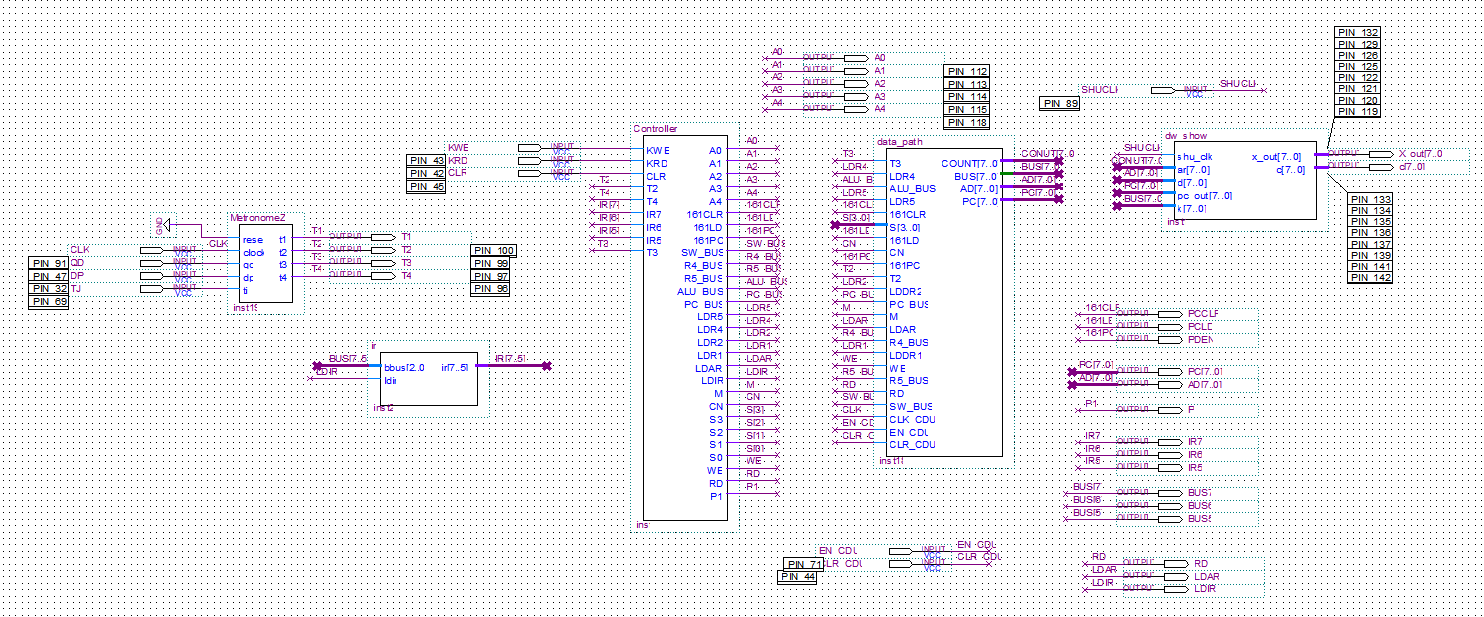
**模型机实验报告**

1. 实验目标任务
2. 掌握计算机的组成，工作原理；
3. 掌握计算机执行及其指令的工作过程；
4. 掌握微指令，微程序的设计及调试方法；
5. 通过单步运行若干条微指令，深入理解模型机的工作原理；
6. 将前面的数据通路，时序电路，微程序控制器等模块进行整合；
7. 在整合电路的基础上完成模型机的设计仿真和下载验证。
8. 模型机顶层电路+文字说明

顶层电路设计



**4**

**3**

**2**

**1**

文字说明

1. -为产生节拍信号的时序电路：接收 时钟信号（clock）单拍（dp）启动（qd）停机（tj）信号，输出四个节拍电位；
2. -控制器电路（controller）：接收 节拍信号（T2,T3,T4）强读（KRD）强写（KWE）清零（CLR）总线高三位（IR7,IR6,IR5）的数据，输出各个控制信号；
3. -数据通路（data\_path）:接收控制器的各个控制信号并执行操作，输出 总线（COUNT）地址寄存器（AD）外部输入（BUS）PC这四个数据分别在数码管上显示。
4. -显示电路：接收时钟以及数据通路传出的数据，输出段选和位选信号。
5. 模型机附加电路+文字说明

文字说明：

数码管显示电路包括四个部件：counter eight、d3to8、mux、ymaq。

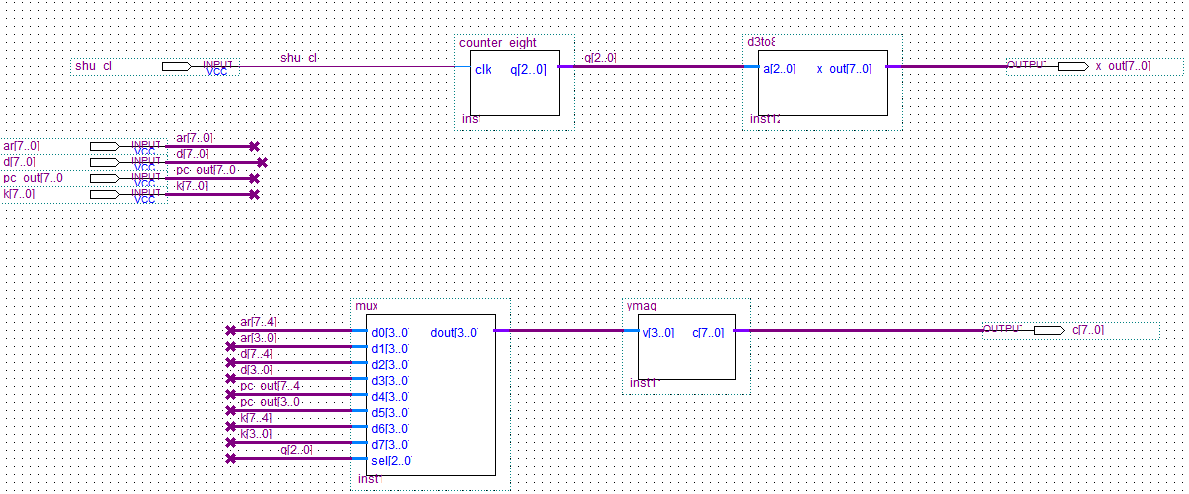
counter eight为模8计数器，发出8个3位控制信号，控制位选信号，以及输入；

d3to8将counter8发出的控制信号翻译成位选信号；

mux是4位的8选1多路复用器，通过counter8发出的控制信号，选择输入数据进行输出；

ymaq将输入翻译成段选信号输出。

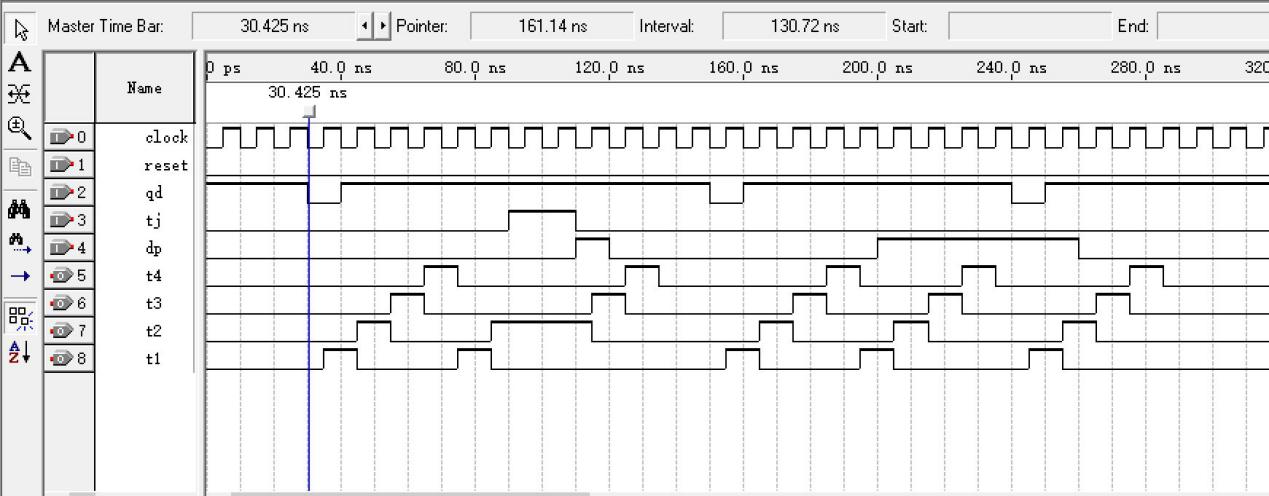
1. --用来输出位选信号；
2. --用一个多路复用器和一个译码器输出段选信号。



**2**

**1**

1. 时序电路仿真波形图+文字说明



文字说明：

在30ns时，当qd信号由1到0时启动时序电路，电路开始工作；

产生t1、t2、t3、t4这4个节拍电位，本来电路会连续工作；

在90ns时tj信号变为1有效，电路停止工作；

在110ns时tj信号由1到0无效，电路又重新开始工作，完成这一指令周期；

在150ns，qd信号从1到0，电路又启动连续工作；

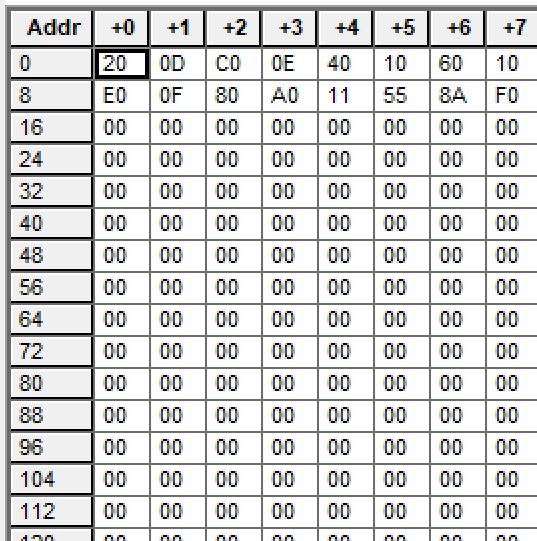
在200ns时，dp信号有效，故在完成这一指令周期后，电路停止工作；

在240ns，qd信号由1到0，启动一次单拍。

单拍执行时，检测到qd为0时，会开始t4t3t2t1的输出，结束后会停止，直到检测到下一个qd为0 的情况；

非单拍执行时，只要检测到一次qd为0时即可持续进行，停机信号为1 的时候，会暂停运行。

1. MIF文件结果



1. 假如控制器中模拟指令码得IR7IR6IR5对应到数据总线D[7..0]得D4D6D1，译码出7条机器指令的指令码。

LDA：0x02

STA：0x40

OUT：0x42

JMP：0x12

ADD：0x50

AND：0x52

COM：0x10

1. 用模型机完成复合运算：NOT（（（NOT（C））加A）and（B加D）），其中A=01，B=02，C=03，D=04。

信号设置

67 强读，69强写，70停机，118-112微地址下址，171单拍 显示bus 强写强读

75 sw\_bus 79 R5\_bus, 80 R4\_bus 81 pc\_bus 86 ALU\_bus 101 rd 103 we

数码管显示：

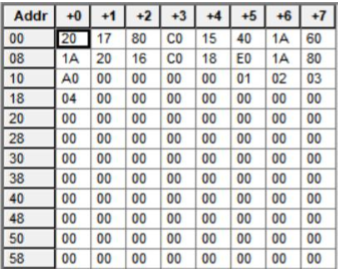
第一第二位 AR寄存器

第三第四位bus数据

第五第六位外部输入

第七第八为显示pc

Mif结果：



初始状态：为全0

pc->ar;pc+1 下一微地址00010

Ram->ir 总线显示00H数据 20 下一微地址01001 执行LDA

pc->ar;pc+1 总线显示pc

ram中01单元数据17给ar 总线显示17

ram中17地址的数据03读出给r5 总线显示03 LDA 结束

继续pc->ar;pc+1

步骤重复，最终结果（NotC）+A 结果 FD

将 FD 放入地址为 1A 的内存单元中

将 ram 中 1A 单元的数据输出到总线（OUT）

LDA（B）

B 加 D

((not(C))加 A)and(B 加 D) FDand06

Not(((not(C))加 A)and(B 加 D))完成 not（04）=FB

文字说明：

程序段为00到15，数据段为16到19。

程序首先将RAM中地址18的C传到R5然后取反与RAM中地址16的A相加；

结果保存在RAM地址1A中，输出1A中的数据查看是否以及保存进去；

接着将RAM中地址17的B传到R5，然后与RAM中地址19的D相加；

接下来将结果与1A的结果相加；

取反得到最终结果FB。

1. 回答问题
2. Microcomputer.vhd代码中ct1、ct2、ct3、ct4功能划分依据是什么？

答：

ct1：微序列控制器下址跳转。

ct2：实现各种指令，主要集中在实现从存储器或者寄存器释放数据到总线上。

ct3：完成各种指令，从总线上装载数据到相应的存储器或者寄存器中。

ct4：生成下址，判断下址生成方式，根据不太那个的方式生成下址。

1. Microcomputer.vhd代码中如何定义并初始化RAM？

答：

type ram is array(0 to 37)of std\_logic\_vector(7 downto 0);--38\*ram

Signal ram8:ram:=(x”20”,x”le”,x”80”,x”40”,x”20”,x”20”,x”ld”,x”c0”, x”20”,x”40”,x”21”,x”20”,x”1f”,x”80”,x”40”,x”22”,x”20”,x”le”,x”c0”,x”22”,x”80”,x”e0”,x”21”,x”40”,x”23”,x”60”,x”23”,x”a0”,x”00”,x”55”,x”8a”,x”f0”, others=>x”00”)---initialize ram4

1. Microcomputer.vhd代码中bus\_reg\_t2<=ram8(conv\_integer(ar))与ram8(conv\_integer(ar))<=r5的含义是什么？

答：

1. 将ram8存储器中对应于ar中地址单元的数据取出来放到bus\_reg\_t2寄存器中
2. 将r5寄存器中的数据装载到ram8存储器对应于ar中地址单元中。
3. VHDL语言中如果考虑多个时钟的情况。

答：多个时钟，必须要弄清楚多个时钟之间的关系，然后选择相应的对策。有的时钟是另一个时钟的分频。

1. 模型机与控制器实验总结

实验开始的时候对于具体的如何实现自动操作并不是很了解，拿到数据通路无从下手，不知道哪个节拍具体做什么。之前在做控制器实验的时候只验证了部分指令，导致在模型及实验中仿真图在某一节拍开始数据总线上的数不再发生变化，找bug找了好久好久，最后分析是在某条指令最后一步没有发生地址他、跳转，找到了问题的根源。最后改正后，仿真正确。

通过本次实验，我收获颇丰，此次实验，提高了我对组成原理实验的积极性，更教育我在以后的实验中要特别的认真，要用严谨的态度对待每一次实验，将课本知识运用到实践之中，也提高了对课程学习的热情。