

## 实验一 译码器的实现（实验报告格式案例）

班级 计科 1808 姓名 张继伟 学号 201808010829

### 一、实验目的

1. 熟悉 Quartus II 软件的基本操作，了解各种设计方法（原理图设计、文本设计、波形设计）
2. 设计一个异或门，设计一个 3-8 译码器以及设计模型机指令译码器。

### 二、实验内容

1. 熟悉 Quartus II 软件的基本操作，了解各种设计方法（原理图设计、文本设计、波形设计）
2. 用逻辑图和 VHDL 语言设计一个异或门。
3. 用逻辑图和 VHDL 语言设计一个 3-8 译码器。
4. 用 VHDL 语言设计模型机指令译码器。

### 三、实验方法

#### 1、实验方法

采用基于 FPGA 进行数字逻辑电路设计的方法。

采用的软件工具是 Quartus II。

#### 2、实验步骤

##### 1、新建，编写源代码。

- (1).选择保存项和芯片类型：**【File】-【new project wizard】-【next】**（设置文件路径+设置 project name 为 xor2）-**【next】**（设置文件名 xor2.vhd—在**【add】**）-**【properties】**（type=AHDL）-**【next】**（family=FLEX10K; name=EPF10K10TI144-4）-**【next】**-**【finish】**

- (2).新建：**【file】-【new】**（第二个 AHDL File）-**【OK】**

##### 2、写好源代码，保存文件（xor2.vhd）。

##### 3、编译与调试。确定源代码文件为当前工程文件，点击**【processing】-【start compilation】**进行文件编译，编译成功。

##### 4、波形仿真及验证。新建一个 vector waveform file。按照程序所述插入 a,b,c 三个节点（a、b 为输入节点，c 为输出节点）。（操作为：右击 -**【insert】-【insert node or bus】-【node finder】**（pins=all; **【list】**）-**【>>】-【ok】-【ok】**）。任意设置 a,b 的输入波形...点击保存按钮保存。（操作为：点击 name（如：A）-右击-**【value】-【clock】**（如设置 period=200; offset=0），同理设置 name B（如 120, ,60），保存）。然后**【start simulation】**，出 name C 的输出图。

##### 5、时序仿真或功能仿真。

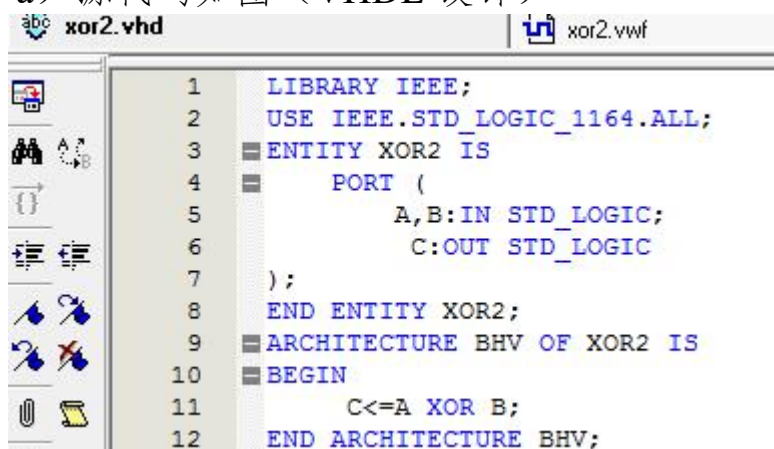
##### 6、查看 RTL Viewer: **【Tools】-【netlist viewer】-【RTL viewer】**。

## 四、实验过程

### 异或门

#### 1、编译过程

##### a) 源代码如图（VHDL 设计）



##### b) 编译、调试过程

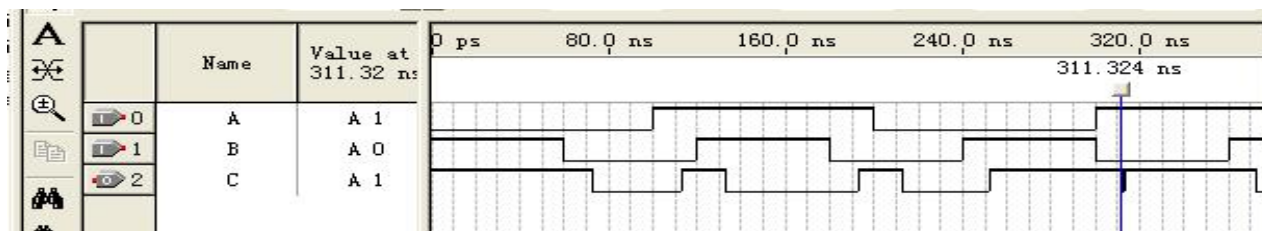
##### c) RTL 视图

##### d) 结果分析及结论

#### 2、波形仿真

##### a) 波形仿真过程（详见实验步骤）

##### b) 波形仿真波形图



##### c) 结果分析及结论

0-60ns: 异或门, 0\$1=1 正确

60-70ns: A\$B=0\$0=0;由于有时间延迟, 反应慢了 10ns。C 显示的是 0\$1 的情况

70-100ns: A\$B=0\$0=0;正确

100-110ns: 由于时间延迟, 显示的是 0\$0=0

311.324ns 分析: 由于 AB 在 310ns 时同时变, 造成在滞后时, 出现此种情况。

#### 3、时序仿真

##### a) 时序仿真过程

做好上述步骤后, 编译【classic timing analysis】-在 compilation report 中选择【timing analysis】-【tpd】(引脚到引脚的延时)

## b) 时序仿真图

| tpd |       |                   |                 |      |    |  |
|-----|-------|-------------------|-----------------|------|----|--|
|     | Slack | Required P2P Time | Actual P2P Time | From | To |  |
| 1   | N/A   | None              | 12.900 ns       | A    | C  |  |
| 2   | N/A   | None              | 12.400 ns       | B    | C  |  |

## b) 结果分析及结论

A 引脚到 C 引脚的实际 p2p 时间为 12.9ns，二 B 引脚到 C 引脚的实际 p2p 时间为 12.4ns。A 比 B 慢 0.5ns，可由于结果是由时间长决定，故整体为 12.9ns。

tpd (引脚到引脚的延时)

## 3-8 译码器

## 1, 编译过程




## a) 源代码如图 (VHDL 设计)

```

1  library ieee;
2  use ieee.std_logic_1164.all, ieee.std_logic_func.all;
3
4  entity zjw2018 is
5  port (A:in std_logic_vector(0 to 2);
6        D:out std_logic_vector(0 to 7));
7  end zjw2018;
8
9  architecture structural of zjw2018 is
10
11     signal A0_n,A1_n,A2_n,and00_out,and01_out,and02_out,and03_out,and10_out,and11_out,
12     and12_out,and13_out,and14_out,and15_out,and16_out,and17_out:std_logic;
13
14  begin
15     inv_0:not1 port map(in1 => A(0),out1 => A0_n);
16     inv_1:not1 port map(A(1),A1_n);
17     inv_2:not1 port map(A(2),A2_n);
18
19     and_00:and_2 port map(A0_n,A1_n,and00_out);
20     and_01:and_2 port map(A(0),A1_n,and01_out);
21     and_02:and_2 port map(A0_n,A(1),and02_out);
22     and_03:and_2 port map(A(0),A(1),and03_out);
23
24     and_10:and_2 port map(and10_out,A2_n,D(0));
25     and_11:and_2 port map(and11_out,A2_n,D(1));
26     and_12:and_2 port map(and12_out,A2_n,D(2));
27     and_13:and_2 port map(and13_out,A2_n,D(3));
28     and_14:and_2 port map(and10_out,A(2),D(4));
29     and_15:and_2 port map(and11_out,A(2),D(5));
30     and_16:and_2 port map(and12_out,A(2),D(6));
31     and_17:and_2 port map(and13_out,A(2),D(7));
32
33  end structural;

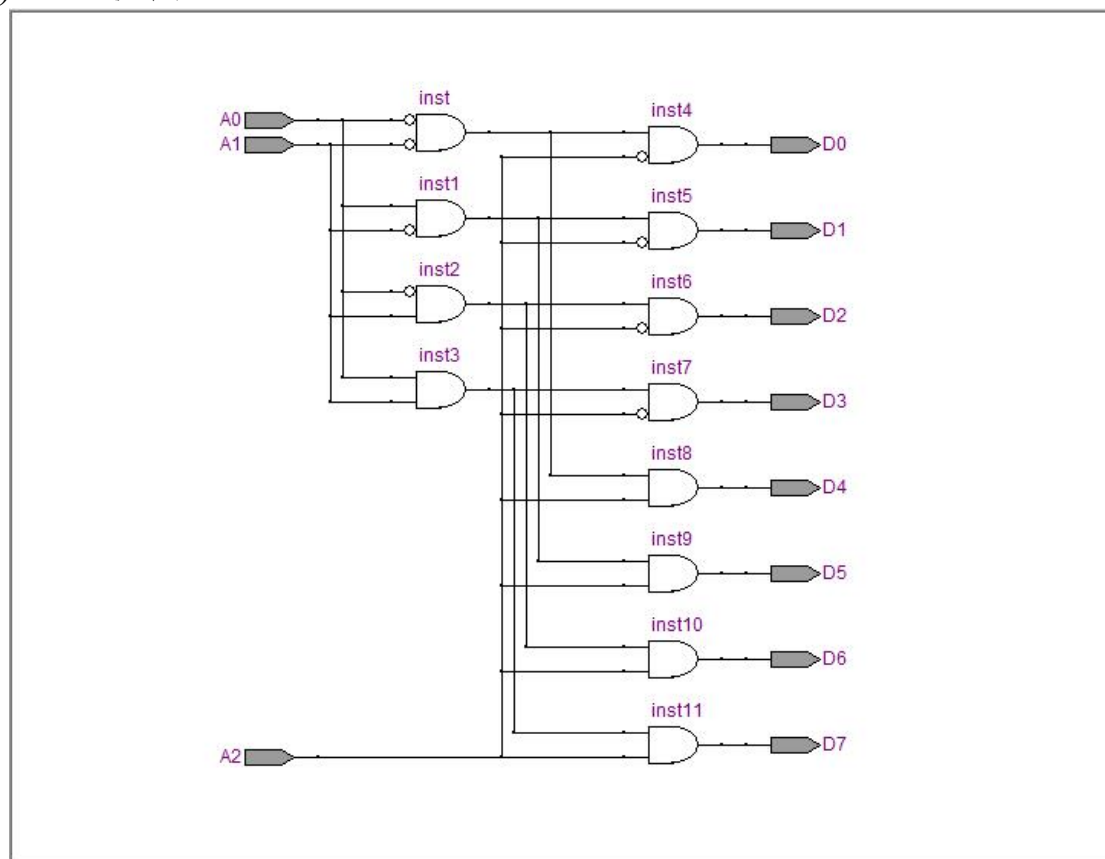
```

## b) 编译、调试过程

| Type  | Message  |
|---|--|
|   | Warning: Feature LogicLock is not available with your current license  |
|  | Warning: No exact pin location assignment(s) for 11 pins of 11 total pins  |
|  | Warning: The Reserve All Unused Pins setting has not been specified, and will default to 'As output driving ground'. |

System (2) Processing (57) Extra Info Info (54) **Warning (3)** Critical Warning Error Suppressed (5) Flag

## c) RTL 视图



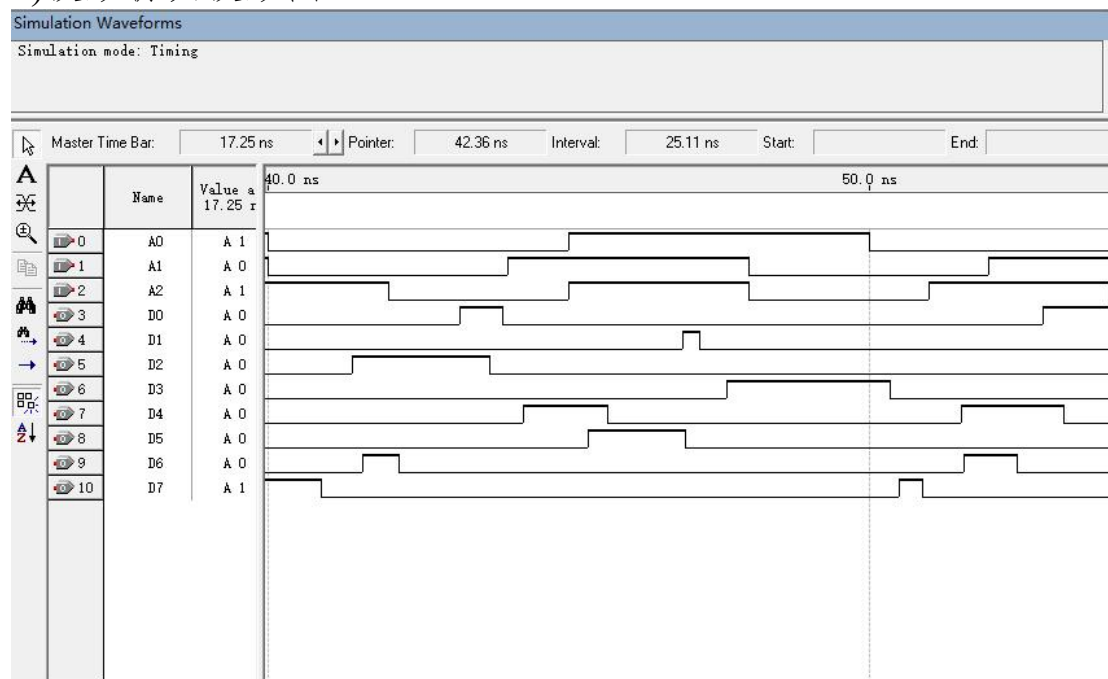
## d) 结果分析及结论

3-8 译码器由一个 1-2 译码器和两个 2-4 译码器组成，2-4 译码器由两个 1-2 组成。通过 3 个输入，得到 8 个输出。

## 2. 波形仿真

## a) 波形仿真过程（详见实验步骤）

## b) 波形仿真波形图



## c) 结果分析及结论

通过 A0,A1,A2 的三个输入，得到 D0,D1,D2,D3,D4,D5,D6,D7 八个输出，通过功能仿真波形可以看出：40ns-50ns 的波形图基本正确，无滞后情况的出现。

## 3. 时序仿真

## d) 时序仿真过程

做好上述步骤后，编译【classic timing analysis】-在 compilation report 中选择【timing analysis】-【tpd】（引脚到引脚的延时）

## b) 时序仿真图

| Registered Performance |       |                   |                 |      |    | tpd | tsu | tco | th | Custom Delays |  |
|------------------------|-------|-------------------|-----------------|------|----|-----|-----|-----|----|---------------|--|
|                        | Slack | Required P2P Time | Actual P2P Time | From | To |     |     |     |    |               |  |
| 1                      | N/A   | None              | 12.472 ns       | A1   | D6 |     |     |     |    |               |  |
| 2                      | N/A   | None              | 12.190 ns       | A2   | D6 |     |     |     |    |               |  |
| 3                      | N/A   | None              | 11.774 ns       | A1   | D7 |     |     |     |    |               |  |
| 4                      | N/A   | None              | 11.684 ns       | A1   | D2 |     |     |     |    |               |  |
| 5                      | N/A   | None              | 11.635 ns       | A1   | D3 |     |     |     |    |               |  |
| 6                      | N/A   | None              | 11.583 ns       | A0   | D6 |     |     |     |    |               |  |
| 7                      | N/A   | None              | 11.535 ns       | A1   | D4 |     |     |     |    |               |  |
| 8                      | N/A   | None              | 11.493 ns       | A2   | D7 |     |     |     |    |               |  |
| 9                      | N/A   | None              | 11.404 ns       | A2   | D2 |     |     |     |    |               |  |
| 10                     | N/A   | None              | 11.353 ns       | A2   | D3 |     |     |     |    |               |  |
| 11                     | N/A   | None              | 11.250 ns       | A2   | D4 |     |     |     |    |               |  |
| 12                     | N/A   | None              | 11.218 ns       | A1   | D5 |     |     |     |    |               |  |
| 13                     | N/A   | None              | 11.186 ns       | A1   | D1 |     |     |     |    |               |  |
| 14                     | N/A   | None              | 11.185 ns       | A1   | D0 |     |     |     |    |               |  |
| 15                     | N/A   | None              | 10.941 ns       | A2   | D5 |     |     |     |    |               |  |
| 16                     | N/A   | None              | 10.910 ns       | A2   | D1 |     |     |     |    |               |  |
| 17                     | N/A   | None              | 10.899 ns       | A2   | D0 |     |     |     |    |               |  |
| 18                     | N/A   | None              | 10.882 ns       | A0   | D7 |     |     |     |    |               |  |
| 19                     | N/A   | None              | 10.805 ns       | A0   | D2 |     |     |     |    |               |  |
| 20                     | N/A   | None              | 10.750 ns       | A0   | D3 |     |     |     |    |               |  |
| 21                     | N/A   | None              | 10.655 ns       | A0   | D4 |     |     |     |    |               |  |
| 22                     | N/A   | None              | 10.330 ns       | A0   | D5 |     |     |     |    |               |  |
| 23                     | N/A   | None              | 10.305 ns       | A0   | D0 |     |     |     |    |               |  |
| 24                     | N/A   | None              | 10.299 ns       | A0   | D1 |     |     |     |    |               |  |

## e) 结果分析及结论

两个引脚之间的实际 p2p 基本控制在 10.0ns-12.5ns 之间。根据时序仿真结果看出：仿真结果良好。

tpd (引脚到引脚的延时)

## 模型机指令译码器

## 1.编译过程

## a) 源代码如图 (VHDL 设计)

```

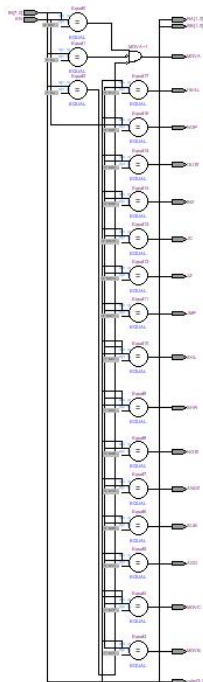
1  library ieee;
2  use ieee.std_logic_1164.all;
3  entity zjw is
4  port (EN:in std_logic;
5        IR: in std_logic_vector(7 downto 0);
6        order: out std_logic_vector(3 downto 0);
7        RA,RB: out std_logic_vector(1 downto 0);
8        MOVA,MOVB,MOV,ADD,SUB,AND0,NOT0,SHR,SHL,JMP,JZ,JC,INO,OUT0,NOP,HEAL: out std_logic);
9  end zjw;
10
11 architecture dec of zjw is
12 signal instruct: std_logic_vector(3 downto 0);
13 signal R1, R2: std_logic_vector(1 downto 0);
14 begin
15     order <= instruct;
16     RA <= R2;
17     RB <= R1;
18     instruct <= IR(7 downto 4);
19     R1 <= IR(3 downto 2);
20     R2 <= IR(1 downto 0);
21     MOVA <= '1' when instruct & EN = "00111" and (R1 /= "11" and R2 /= "11") else '0';
22     MOVB <= '1' when instruct & R1 & EN = "1111111" else '0';
23     MOV <= '1' when instruct & R2 & EN = "1111111" else '0';
24     ADD <= '1' when instruct & EN = "10011" else '0';
25     SUB <= '1' when instruct & EN = "01101" else '0';
26     AND0 <= '1' when instruct & EN = "11101" else '0';
27     NOT0 <= '1' when instruct & EN = "01011" else '0';
28     SHR <= '1' when instruct & EN & R2 = "1010100" else '0';
29     SHL <= '1' when instruct & EN & R2 = "1010111" else '0';
30     JMP <= '1' when IR & EN = "000100001" else '0';
31     JZ <= '1' when IR & EN = "000100011" else '0';
32     JC <= '1' when IR & EN = "000100101" else '0';
33     INO <= '1' when instruct & EN = "00101" else '0';
34     OUT0 <= '1' when instruct & EN = "01001" else '0';
35     NOP <= '1' when instruct & EN = "01111" else '0';
36     HEAL <= '1' when instruct & EN = "10001" else '0';
37 end dec;

```

## b) 编译、调试过程

| Type  | Message  |
|---|--|
| Warning   | Warning: Feature LogicLock is not available with your current license  |
| Warning   | Warning: No exact pin location assignment(s) for 33 pins of 33 total pins  |
| Warning   | Warning: The Reserve All Unused Pins setting has not been specified, and will default to 'As output driving ground'. |
| System (2) Processing (61) Extra Info Info (58) <b>Warning (3)</b> Critical Warning Error Suppressed (5) Flag |  |

## c) RTL 视图





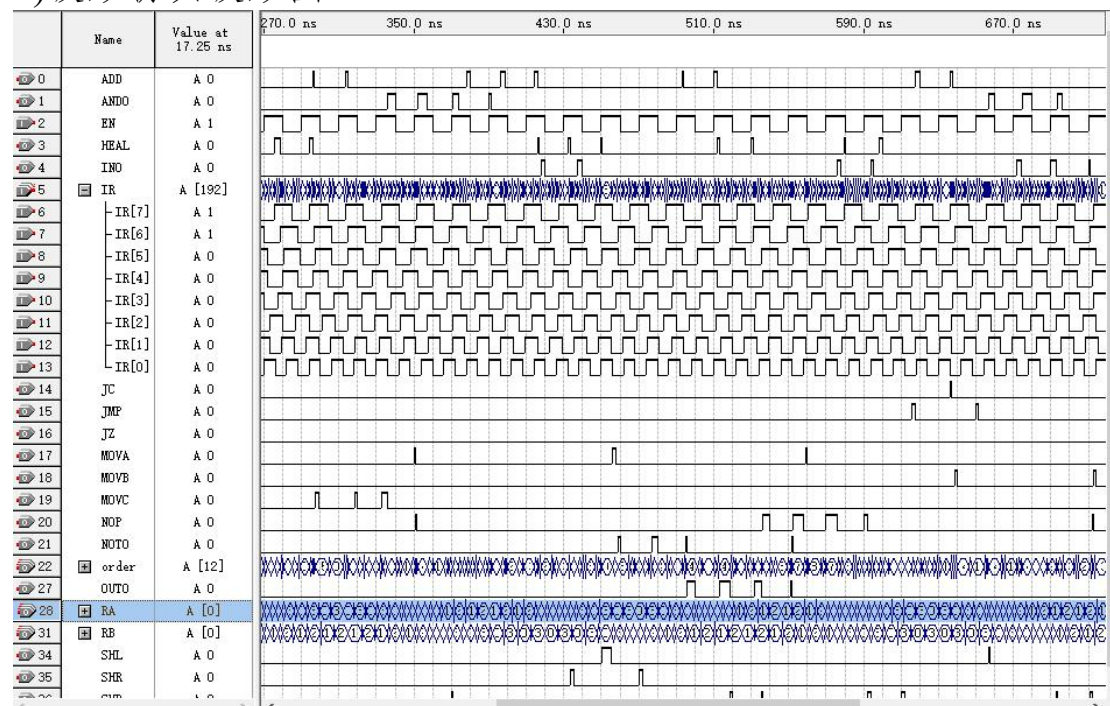
## d) 结果分析及结论

由八个输出，根据指令表得到 16 个指令。某些组合可以操作某个指令，而剩下的组合为无效组合，指令均为 0。根据视图看出：代码正确，结构清晰，具体是否实现功能看功能仿真和时序仿真结果。

## 2. 波形仿真

## a) 波形仿真过程（详见实验步骤）

## b) 波形仿真波形图



## c) 结果分析及结论

八个输入：IR(7 to 0)，再加上使能 EN。

功能仿真结果可以看出：功能仿真结果正确，并且没有明显的滞后现象，功能仿真成功。

## 3. 时序仿真

## f) 时序仿真过程

做好上述步骤后，编译【classic timing analysis】-在 compilation report 中选择【timing analysis】-【tpd】（引脚到引脚的延时）



## b)时序仿真图

|    | Slack | Required P2P Time | Actual P2P Time | From  | To   |  |
|----|-------|-------------------|-----------------|-------|------|--|
| 1  | N/A   | None              | 16.523 ns       | IR[5] | NOT0 |  |
| 2  | N/A   | None              | 16.478 ns       | IR[7] | NOT0 |  |
| 3  | N/A   | None              | 16.153 ns       | IR[5] | MOVB |  |
| 4  | N/A   | None              | 15.639 ns       | IR[6] | MOVB |  |
| 5  | N/A   | None              | 15.429 ns       | IR[5] | JC   |  |
| 6  | N/A   | None              | 15.384 ns       | IR[7] | JC   |  |
| 7  | N/A   | None              | 15.186 ns       | IR[5] | SUB  |  |
| 8  | N/A   | None              | 15.164 ns       | IR[4] | NOT0 |  |
| 9  | N/A   | None              | 15.146 ns       | IR[7] | SHR  |  |
| 10 | N/A   | None              | 14.999 ns       | IR[7] | MOVB |  |
| 11 | N/A   | None              | 14.989 ns       | IR[5] | IN0  |  |
| 12 | N/A   | None              | 14.804 ns       | IR[4] | MOVB |  |
| 13 | N/A   | None              | 14.606 ns       | IR[5] | NOP  |  |
| 14 | N/A   | None              | 14.464 ns       | IR[0] | MOVA |  |
| 15 | N/A   | None              | 14.424 ns       | IR[6] | SHR  |  |
| 16 | N/A   | None              | 14.399 ns       | IR[5] | JMP  |  |
| 17 | N/A   | None              | 14.354 ns       | IR[7] | JMP  |  |
| 18 | N/A   | None              | 14.343 ns       | IR[5] | SHR  |  |
| 19 | N/A   | None              | 14.202 ns       | IR[5] | AND0 |  |
| 20 | N/A   | None              | 14.199 ns       | IR[1] | MOVA |  |
| 21 | N/A   | None              | 14.092 ns       | IR[6] | NOP  |  |
| 22 | N/A   | None              | 14.070 ns       | IR[4] | JC   |  |
| 23 | N/A   | None              | 14.050 ns       | IR[7] | ADD  |  |
| 24 | N/A   | None              | 13.984 ns       | IR[7] | HEAL |  |
| 25 | N/A   | None              | 13.754 ns       | IR[6] | JC   |  |
| 26 | N/A   | None              | 13.666 ns       | IR[5] | JZ   |  |
| 27 | N/A   | None              | 13.647 ns       | IR[5] | MOVC |  |
| 28 | N/A   | None              | 13.621 ns       | IR[7] | JZ   |  |
| 29 | N/A   | None              | 13.612 ns       | IR[4] | IN0  |  |
| 30 | N/A   | None              | 13.558 ns       | IR[7] | NOP  |  |
| 31 | N/A   | None              | 13.328 ns       | IR[6] | ADD  |  |
| 32 | N/A   | None              | 13.291 ns       | IR[0] | SHL  |  |
| 33 | N/A   | None              | 13.262 ns       | IR[6] | HEAL |  |
| 34 | N/A   | None              | 13.257 ns       | IR[4] | NOP  |  |
| 35 | N/A   | None              | 13.165 ns       | IR[6] | MOVA |  |
| 36 | N/A   | None              | 13.162 ns       | IR[7] | SUB  |  |
| 37 | N/A   | None              | 13.154 ns       | IR[7] | MOVA |  |
| 38 | N/A   | None              | 13.133 ns       | IR[6] | MOVC |  |
| 39 | N/A   | None              | 13.103 ns       | IR[5] | SHL  |  |
| 40 | N/A   | None              | 13.046 ns       | IR[2] | MOVB |  |
| 41 | N/A   | None              | 13.040 ns       | IR[4] | JMP  |  |
| 42 | N/A   | None              | 13.036 ns       | IR[5] | MOVA |  |
| 43 | N/A   | None              | 13.026 ns       | IR[1] | SHL  |  |
| 44 | N/A   | None              | 12.973 ns       | IR[1] | JC   |  |
| 45 | N/A   | None              | 12.972 ns       | IR[6] | NOT0 |  |
| 46 | N/A   | None              | 12.966 ns       | IR[4] | SHR  |  |
| 47 | N/A   | None              | 12.964 ns       | IR[4] | SUB  |  |
| 48 | N/A   | None              | 12.948 ns       | IR[5] | OUT0 |  |
| 49 | N/A   | None              | 12.846 ns       | IR[0] | JC   |  |
| 50 | N/A   | None              | 12.724 ns       | IR[6] | JMP  |  |
| 51 | N/A   | None              | 12.670 ns       | IR[6] | OUT0 |  |
| 52 | N/A   | None              | 12.666 ns       | IR[7] | OUT0 |  |
| 53 | N/A   | None              | 12.645 ns       | IR[2] | JC   |  |
| 54 | N/A   | None              | 12.605 ns       | IR[1] | SHR  |  |
| 55 | N/A   | None              | 12.588 ns       | IR[0] | SHR  |  |
| 56 | N/A   | None              | 12.483 ns       | IR[7] | MOVC |  |
| 57 | N/A   | None              | 12.442 ns       | IR[6] | SUB  |  |
| 58 | N/A   | None              | 12.397 ns       | IR[4] | JZ   |  |

|    | Slack | Required P2P Time | Actual P2P Time | From  | To   |  |
|----|-------|-------------------|-----------------|-------|------|--|
| 52 | N/A   | None              | 12.666 ns       | IR[7] | OUT0 |  |
| 53 | N/A   | None              | 12.645 ns       | IR[2] | JC   |  |
| 54 | N/A   | None              | 12.605 ns       | IR[1] | SHR  |  |
| 55 | N/A   | None              | 12.588 ns       | IR[0] | SHR  |  |
| 56 | N/A   | None              | 12.483 ns       | IR[7] | MOVC |  |
| 57 | N/A   | None              | 12.442 ns       | IR[6] | SUB  |  |
| 58 | N/A   | None              | 12.307 ns       | IR[4] | JZ   |  |
| 59 | N/A   | None              | 12.299 ns       | EN    | NOT0 |  |
| 60 | N/A   | None              | 12.298 ns       | IR[4] | MOVC |  |
| 61 | N/A   | None              | 12.189 ns       | IR[7] | IN0  |  |
| 62 | N/A   | None              | 12.182 ns       | IR[7] | AND0 |  |
| 63 | N/A   | None              | 12.101 ns       | IR[5] | ADD  |  |
| 64 | N/A   | None              | 12.046 ns       | IR[5] | HEAL |  |
| 65 | N/A   | None              | 11.997 ns       | IR[6] | SHL  |  |
| 66 | N/A   | None              | 11.995 ns       | IR[7] | SHL  |  |
| 67 | N/A   | None              | 11.991 ns       | IR[6] | JZ   |  |
| 68 | N/A   | None              | 11.984 ns       | IR[4] | AND0 |  |
| 69 | N/A   | None              | 11.952 ns       | IR[1] | JMP  |  |
| 70 | N/A   | None              | 11.940 ns       | EN    | MOV8 |  |
| 71 | N/A   | None              | 11.844 ns       | IR[4] | MOVA |  |
| 72 | N/A   | None              | 11.827 ns       | IR[0] | JMP  |  |
| 73 | N/A   | None              | 11.726 ns       | IR[4] | SHL  |  |
| 74 | N/A   | None              | 11.615 ns       | IR[2] | JMP  |  |
| 75 | N/A   | None              | 11.538 ns       | IR[1] | MOVC |  |
| 76 | N/A   | None              | 11.462 ns       | IR[6] | IN0  |  |
| 77 | N/A   | None              | 11.459 ns       | EN    | SUB  |  |
| 78 | N/A   | None              | 11.455 ns       | IR[4] | OUT0 |  |
| 79 | N/A   | None              | 11.455 ns       | IR[6] | AND0 |  |
| 80 | N/A   | None              | 11.414 ns       | IR[0] | MOVC |  |
| 81 | N/A   | None              | 11.315 ns       | IR[1] | JZ   |  |

## g) 结果分析及结论

引脚较多，引起实际 p2p 较长，但是基本控制在 11ns-16.5ns 之间。并且相邻两个引脚之间延时并不明显。

tpd (引脚到引脚的延时)

## 五、实验结论（实验总结与实验心得）

在本次实验的预习过程中，由于并不能熟练掌握 QuartusII 导致编写的 VHDL 程序和原理图编译不成功，错误信息和警告信息很多。在其他同学的帮助下和自己的查阅资料之后，逐步熟练了 QuartusII 的使用，以及易错点，改正了初步程序的错误之后，3-8 译码器的程序和原理图编译成功，紧接着进行功能仿真和时序仿真，结果与理论结果完全符合。再进行模拟机指令译码器的编写，根据实验一实验的文档得到指令译码器功能表，根据功能表，使用 when-else 语言进行编写，在丰富查阅资料和询问学长学姐之后，程序完成，编译成功，再根据程序得到原理图和 RTL 视图。

通过本次实验，已经基本掌握了 QuartusII 的使用，并且熟悉了 3-8 译码器和模拟机指令译码器的原理，熟悉了 3-8 译码器的内部构造。